Aufgabe 1: Datenpfad - Wiederholung

Gehen Sie für diese Aufgabe von einem einfachen MIPS-Datenpfad (z.B. Folie 23 (Prozessor)) aus. Der Prozessor holt folgenden Befehl aus dem Speicher von der Adresse 0x00400058:

10101100100000100000000001111100

Gehen Sie weiters von folgenden Registerbelegungen aus (Registernummer/Belegung als Dezimalwert):

1/-1000, 2/200, 3/123, 4/2000000

Hinweis: Hier sind mehrere Register angegeben. Wählen Sie jene Register aus, die sie für den Befehl benötigen.

Beantworten Sie folgende Fragen!

a) Welchen Output liefert die Komponente Sign-extend für dieses Befehlswort?

b) Wie lauten die Inputs für die Komponente ALU-control und welcher Input wird von der ALU-control benutzt?

c) Wie lauten die Inputs für die ALU und die zwei weiteren Addierer (Add-Komponenten)?

Aufgabe 2: Pipelining - Bubbles

Sie haben folgende Befehlssequenz gegeben:

```
lw $2, 0($1)
add $1, $2, $3
or $1, $1, $2
add $8, $6, $7
```

Gehen Sie von einem MIPS-Prozessor mit Pipelining und Forwarding aus. Beantworten Sie bitte folgende Fragen:

a) Wo müssen Sie Leertakte (Bubbles) einführen, damit der Code korrekt verarbeitet werden kann. Gehen Sie in diesem Fall wie zum Beispiel auf Folie 41 (Prozessor) vor.

b) Ordnen Sie die Befehle so um, dass Sie keine Leertakte mehr benötigen!

Aufgabe 3: Pipelining - Steuerkonflikte

Sie haben folgendes MIPS-Fragment gegeben:

```
        sub $t1, $t5, $t3
Label1: sw $t1, 0($t2)
        add $t2, $t2, $t3
        add $t1, $t3, $t3
        beq $t2, $t4, Label1
        sub $t5, $t5, $t1
        sw $t5, 0($t2)
```

Geben Sie an, wo es hier zu Steuerkonflikten kommt und wie sich diese auswirken, wenn dieses Fragment auf einem Prozessor mit Pipelining und Forwarding ausgeführt wird. Muss man auch noch zusätzliche Leertakte an anderen Stellen einführen?
Hinweise:

- Der Branch-Befehl entscheidet in der MEM-Stufe, ob gesprungen wird.
- Bei der Ausführung wird immer angenommen, dass der Sprung ausgeführt wird.

Aufgabe 4: RAM Speicher

Gehen Sie von einer DRAM-Speicherorganisation wie auf Folie 14 (Speicherhierarchie) aus.
Ein DRAM Speicher ist 2 MiB groß.

- Wie viele Zeilen hat dieser Speicher?
- Wie groß ist eine Adresse?

  Hinweis: Hier geht es nur um eine Adresse für eine einzelne Speicherzelle. Diese wird nur ein Bit beinhalten. Es können aber z.B. 8 solche Speicher parallel abgefragt werden und damit wieder ein Byte ausgelesen werden.
- Wie viele Bits werden für die Spaltenadressierung verwendet?
- Nehmen Sie an, dass eine Speicherzelle alle 64 ms einen Refresh benötigt. Der periodische Refresh wird immer auf eine ganze Zeile ausgeführt. Wie viel Zeit darf maximal zwischen dem Refresh von zwei aufeinanderfolgenden Zeilen liegen?

Aufgabe 5: Caching - Allgemein

Gehen Sie von einem Rechner aus, in dem ein 128 KiB großer Cache zwischen Prozessor und Hauptspeicher realisiert werden soll. Die einzelnen Blöcke sind 16 Byte groß. Der Hauptspeicher hat 4 GiB und jedes einzelne Byte kann durch eine N Bit große Adresse angesprochen werden. Beantworten Sie folgende Fragen:

a) Wie groß muss N sein, damit alle Bytes im Hauptspeicher addressiert werden können?

b) Wie groß sind Tag, Index und Offset, wenn der Cache als direkt abgebildeter Cache realisiert wird?

c) In welchem Cache-Block bzw. in welchen Cache-Blöcken werden die Bytes mit den Speicheradressen 0x00100000, 0xFFFE0000 und 0x00000020 gespeichert?

d) Wie viele Sätze (Sets) hat der Cache bei gleicher Größe, wenn er als vierfach satzassoziativer Cache realisiert wird?