

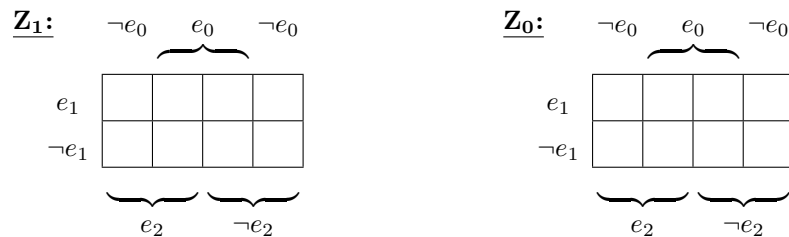
Aufgabe 1: Vereinfachung mittels KV-Diagramm

Gegeben ist folgende Wahrheitstafel:

e_2	e_1	e_0	Z_1	Z_0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

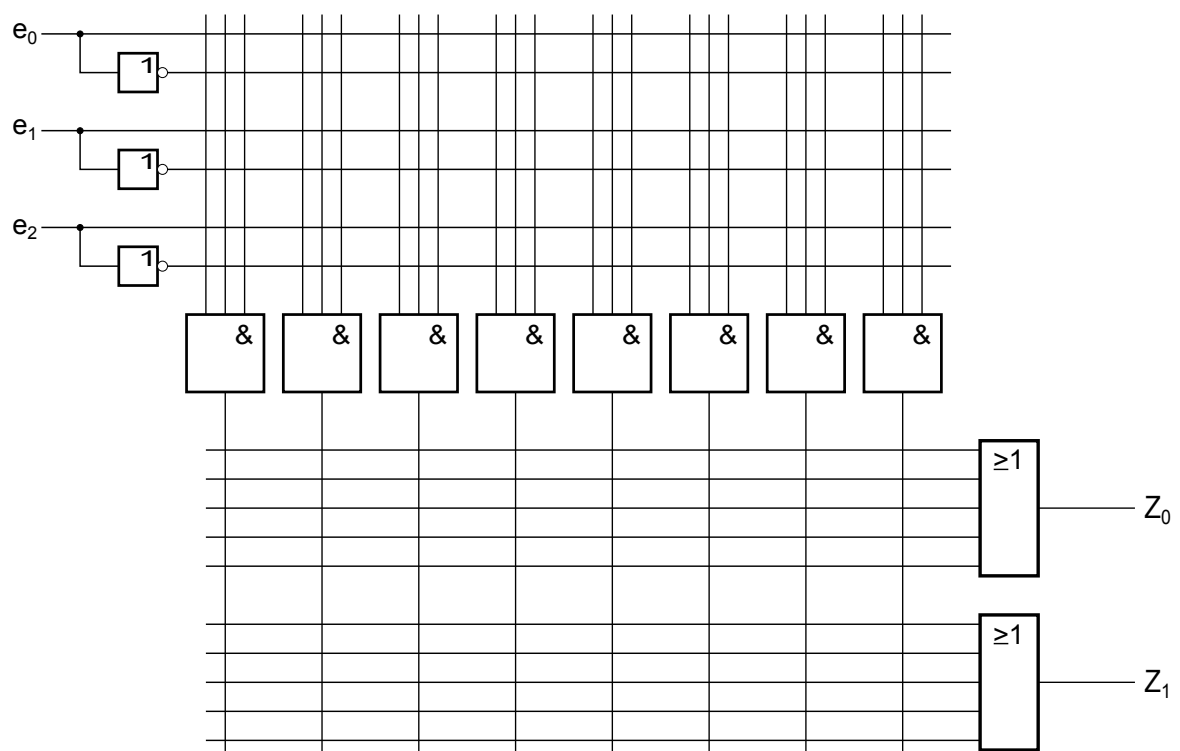
Benutzen Sie die vorgegebenen KV-Diagramme und ermitteln Sie die minimale Form für Z_0 und Z_1 . Tragen Sie diese durch Setzen geeigneter Verbindungspunkte in das unten dargestellte PLA ein. Überlegen Sie vorab, welche minimale Form (konjunktive vs. disjunktive) bei diesem PLA zur Anwendung kommen muss!

Hinweis: Nicht benötigte Leitungen des PLA können hier einfach ignoriert werden.



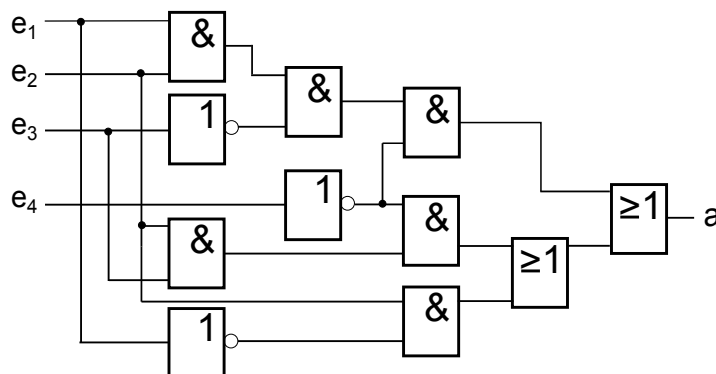
minimale Form:

PLA:



Aufgabe 2: Schaltungsminimierung

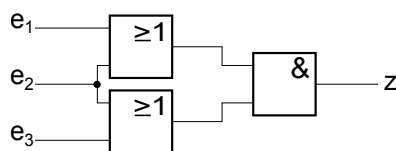
Gegeben ist folgendes Schaltnetz:



- Wie lautet die im Schaltnetz realisierte Boolesche Funktion?
- Vereinfachen Sie diese Funktion anschließend mit einem KV-Diagramm. Wie lautet die Funktion in minimaler disjunktiver Form?
- Realisieren Sie die vereinfachte Funktion in einem Schaltnetz wobei Ihnen ausschließlich nachfolgende Gatter zur Verfügung stehen:
 - NOT (1 Eingang; 1 Ausgang)
 - AND (2 Eingänge; 1 Ausgang)
 - OR (2 Eingänge; 1 Ausgang)
- Wieviele NOT-/AND-/OR-Gatter können durch die Minimierung in Punkt b) eingespart werden?

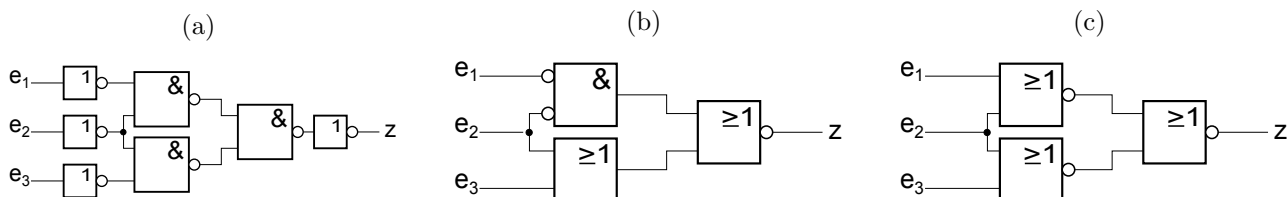
Aufgabe 3: Umformungen

Gegeben ist folgende Schaltung:



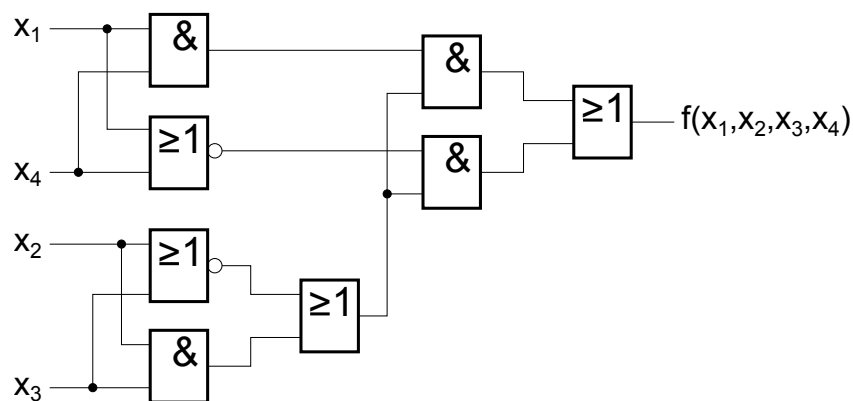
Betrachten Sie die Schaltnetze (a) bis (c) und zeigen Sie, ob es sich um gültige Umformungen des oben dargestellten Schaltnetzes handelt oder nicht. Eine Umformung ist gültig, wenn das umgeformte Schaltnetz dieselbe Funktion wie das ursprünglich gegebene Schaltnetz realisiert.

Lösungshinweis: In den meisten Fällen führt eine grafische Umformung am schnellsten zum Ziel, Sie können die Umformung aber auch algebraisch durchführen.



Aufgabe 4: Analyse

Gegeben ist folgendes Schaltnetz:



- a) Wie lautet die realisierte Boolesche Funktion?
- b) Stellen Sie die zugehörige Wahrheitstafel auf und tragen Sie Ihr Ergebnis in nachfolgender Tabelle ein:

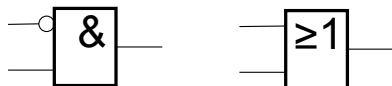
x_1	x_2	x_3	x_4	$f(x_1, x_2, x_3, x_4)$
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Aufgabe 5: Realisierung mit vorgegebenen Gattern

Gegeben ist folgende Boolesche Funktion:

$$f(x_1, x_2, x_3, x_4) = (x_1 \wedge \neg x_2) \vee (\neg x_1 \wedge x_2) \vee (x_1 \wedge \neg x_3 \wedge \neg x_4)$$

Realisieren Sie diese Funktion als Schaltnetz, wobei Ihnen folgende Gatterarten zur Verfügung stehen (Sie dürfen jedes dieser Gatter beliebig oft verwenden!):



Aufgabe 6: Realisierung nur mit NAND

Gegeben ist folgende Boolesche Funktion:

$$(e_1 \wedge \overline{e_2}) \vee \overline{(e_1 \wedge e_3)}$$

Realisieren Sie diese Funktion nur unter Verwendung von NAND. Führen Sie die Umformung zunächst algebraisch durch und zeichnen Sie anschließend das entsprechende Schaltnetz.

Verwenden Sie die folgende Notation für die NAND-Operation:

$$e \text{ NAND } e \equiv e \uparrow e$$

Lösungshinweis: Zunächst Umformen des Ausdrucks durch doppeltes Negieren!

Aufgabe 7: Realisierung nur mit NOR

Gegeben ist die Boolesche Funktion aus Aufgabe 6.

- Realisieren Sie diese Funktion nur unter Verwendung von NOR-Gattern mit maximal 2 Eingängen. Nehmen Sie die Transformation grafisch vor (vgl. Foliensatz 4, Folie 12ff).
- Lesen Sie die realisierte Funktion unter Verwendung der folgenden Notation für NOR aus:

$$e \text{ NOR } e \equiv e \downarrow e$$

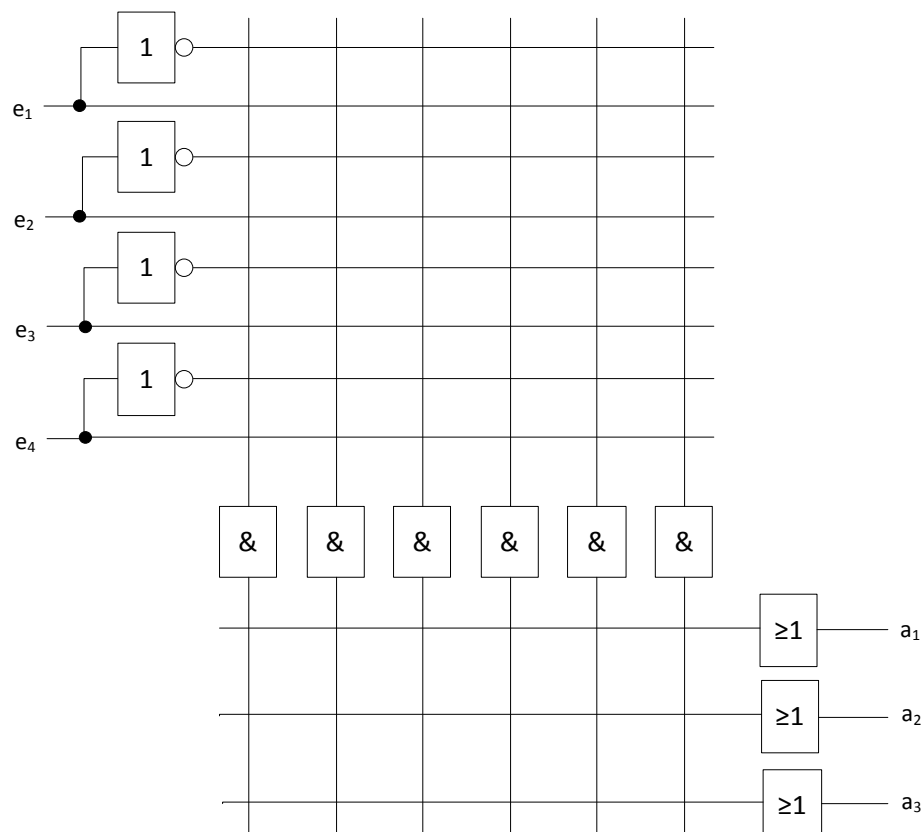
Aufgabe 8: Darstellungsformen

Gegeben ist der folgende vereinfachte Ausdruck:

$$\begin{aligned} & (\neg e_1 \wedge e_2 \wedge e_3 \wedge \neg e_4) \vee \\ & (e_1 \wedge e_2 \wedge \neg e_3) \vee \\ & (e_4) \end{aligned}$$

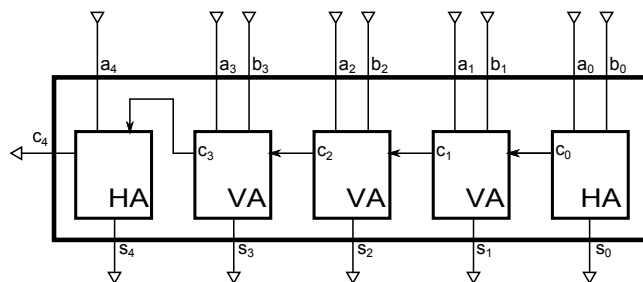
Für die Realisierung (vgl. Foliensatz 4, Folie 4) stehen Ihnen Gatter mit maximal 3 Eingängen zur Verfügung.

- Zeichnen Sie das entsprechende Schaltnetz unter Verwendung der europäischen Norm.
- Zeichnen Sie das entsprechende Schaltnetz unter Verwendung der angloamerikanischen Norm.
- Realisieren Sie das Schaltnetz in folgendem PLA:

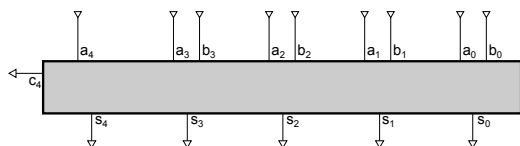
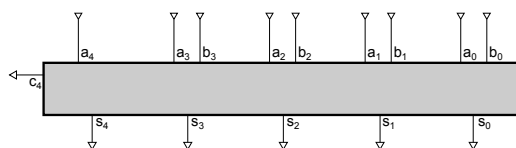
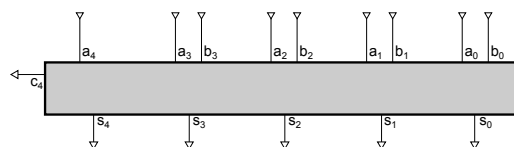


Aufgabe 9: Addierer

Sie benötigen dringend einen 8 Bit Addierer, in Ihrem Bauteilekasten finden Sie jedoch nur drei Bauteile vom Typ des folgenden $4\frac{1}{2}$ Bit Addierers:

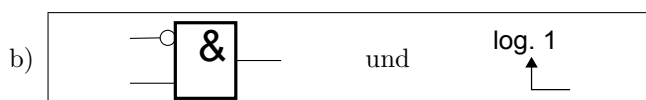
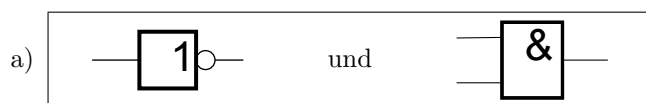


Wie können Sie damit den benötigten 8 Bit Addierer bauen und wieviele der drei Bauteile benötigen Sie dafür? Zeichnen Sie ein geeignetes Schaltbild indem Sie die Ein-/Ausgänge der $4\frac{1}{2}$ Bit Addier-Bausteine in nachfolgender Grafik verbinden und die Ein-/Ausgänge Ihres resultierenden 8 Bit Addierers entsprechend beschriften.



Aufgabe 10: Funktionale Vollständigkeit

Für die Realisierung einer digitalen Schaltung stehen Ihnen jeweils entweder nur die beiden Bausteine in a) oder jene in b) zur Verfügung. Zeigen Sie für beide Fälle, dass Sie durch Kombination der beiden gegebenen Bausteine die logischen Grundfunktionen NOT, AND und OR realisieren können.



Hinweis: $\log. 1$ bedeutet, dass an einem Eingang eine konstante Verbindung mit logisch '1' hergestellt wird.