

Vorlesungsprüfung aus Digitales Design

9. Juni 2020

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

Die nachfolgende Tabelle nicht beschriften!

Beispiel		Mögliche Punkte	Erhaltene Punkte
Theoriefragen		48	
Rechenbeispiel	1	20	
	2	16	
	3	12	
Gesamt		96	

Theoriefragen

Frage 1 (4P):

Mit welcher logischen Verknüpfung kann man einen steuerbaren/programmierbaren Inverter am effizientesten realisieren?

Frage 2 (4P):

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand $R = 75\Omega$) zum Eingang eines Gatters G2 (Eingangskapazität $C = 1\text{pF}$) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die Zeitkonstante ergibt!

Frage 3 (4P):

Was ist resistenter gegen Störungen: ein mask-ROM oder ein UV-EPROM? Warum?

Frage 4 (4P):

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

Frage 5 (8P):

Stellen Sie ein NAND-Gate mit Hilfe von Schaltern schematisch dar! Wählen Sie eine Schalterstellung, bei der HI ausgegeben wird.

Frage 6 (8P):

Beschreiben Sie den Aufbau einer DRAM-Zelle! Warum muss man einen Refresh durchführen?

Frage 7 (8P):

Skizzieren Sie die Badewannenkurve (Achsen beschriften!) und bezeichnen Sie die Bereiche kurz!

Frage 8 (8P):

Erläutern Sie das Prinzip des Boundary-Scan!

Rechenbeispiele

Beispiel 1

Gesucht ist eine Schaltung, für ein 2-aus-3 Threshold Gate mit Hysterese: Sie soll den Ausgang (y) genau dann auf 1 setzen, wenn an zumindest zwei der drei Eingänge (a,b,c) logisch 1 anliegt. Der Ausgang wird genau dann auf 0 gesetzt, wenn an allen drei Eingängen logisch 0 anliegt. Für alle anderen Eingangskombinationen wird der letzte gesetzte Wert gehalten (Hysterese).

- (a) Da die Schaltung ein „Gedächtnis“ für den letzten gesetzten Wert benötigt, brauchen Sie ein Speicherelement. Verwenden Sie dafür ein SR-Latch mit Beschaltung laut Abbildung 1.1. Erstellen Sie KV-Diagramm und DNF für die kombinatorischen Blöcke „set“ und „reset“!

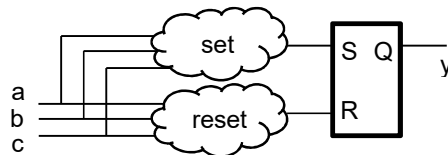


Abbildung 1.1

Nehmen Sie für (b) bis (e) an, Sie hätten zur Implementierung nur NOR-Gatter (mit bis zu 4 Eingängen) und Inverter zur Verfügung.

- (b) Wie würden Sie das SR-Latch mit NOR Gattern realisieren (Schaltplan)?
- (c) Beim SR-Latch gibt es eine illegale Eingangskombination für R und S. Welche ist dies und wie verhält sich Ihr Latch dann?
- (d) Kann diese Kombination in Ihrer Implementierung des Threshold Gate auftreten? Falls ja, für welches (a,b,c)? Falls nein, warum nicht?
- (e) Betrachten Sie die kombinatorische Funktion für die „set“ Logik: Wie können Sie diese nur mit NOR und Invertern realisieren (Schaltplan)?
- (f) Ihr Chef hat vor seinem Urlaub die in Abb. 1.2 dargestellte Implementierung für die set-Logik skizziert. Beschalten Sie die Eingänge e1 ... e4 passend!

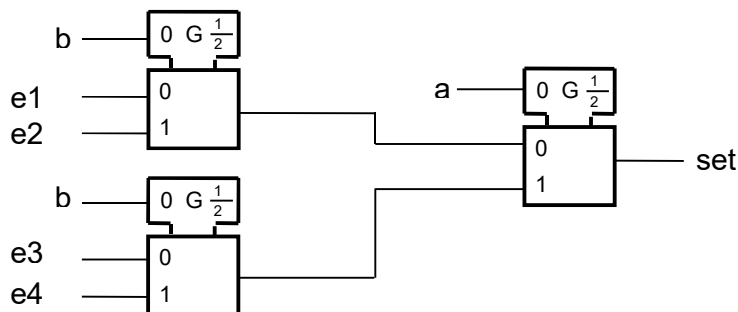


Abbildung 1.2

- (g) Erarbeiten Sie eine alternative Implementierung der gesamten Threshold-Funktion mittels LUT (ohne Verwendung eines SR-Latch!): Erstellen Sie dazu die Wahrheitstabelle $y(a,b,c,y')$, wobei y' der aktuelle Wert von y ist.
- (h) Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!

Beispiel 2

Gegeben ist der in Abbildung 2.1 dargestellte Synchronizer mit 500MHz Taktfrequenz (f_{clk}). Ein asynchrones Eingangssignal (λ_{input}) mit 103MHz liegt am Eingang von Flip-Flop FF_{sync} . Der Ausgang von FF_{sync} geht direkt an den Eingang von Flip-Flop FF_{int} . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

setup time $t_{SU} = 100\text{ps}$; hold time $t_H = 140\text{ps}$; clock to output delay $t_{CO} = 200\text{ps}$;
metastability characteristics: $\tau_C = 50\text{ps}$; $T_0 = 120\text{ps}$

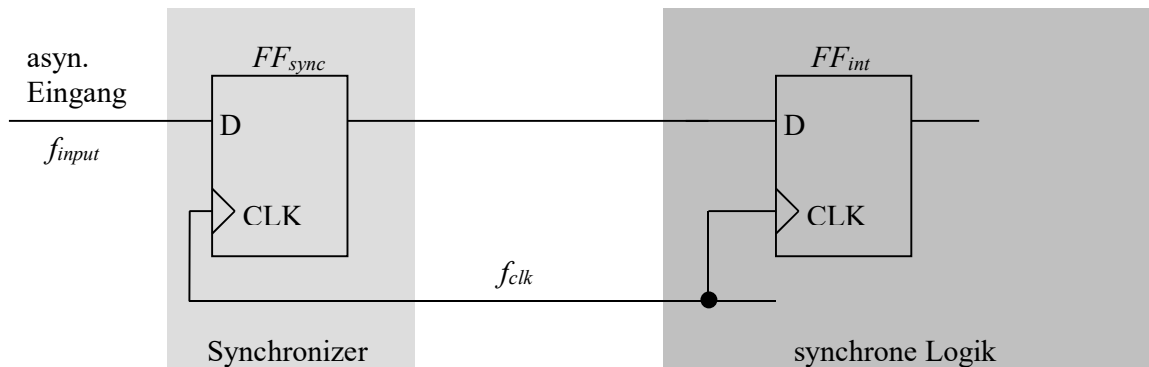


Abbildung 2.1

Die zulässige Upset-Rate für diese Schaltung ist 1 Upset in 5 Jahren.

- Wie groß ist die Resolution Time für FF_{sync} ?
- Welche MTBU ist zu erwarten? Kann damit die Vorgabe bezüglich Upset-Rate eingehalten werden?
- Welche Resolution Time wird mindestens benötigt, um die vorgegebene MTBU einzuhalten?
- Welche Möglichkeiten sehen Sie, die Resolution Time entsprechend zu verändern (die verwendeten Flip Flops mit den gegebenen Bauteilparametern sollen beibehalten werden)? Nennen Sie zwei Möglichkeiten und erläutern Sie jeweils deren wesentlichste negative Auswirkung.

Beispiel 3

Von einer Versorgungsleitung in einem Chip seien folgende Kennwerte bekannt:

Querschnitt = $16\mu\text{m}^2$; Material: Aluminium ($E_{\text{act}} = 0.7\text{eV}$); $k = 8.6 \cdot 10^{-5}\text{eV/K}$

Bei Betrieb mit folgenden Parametern

- Versorgungsspannung $V_{\text{DD}} = 1.2\text{V}$,
- Strom $I_{\text{DD}} = 2\text{A}$,
- Junction-Temperatur $T_{\text{J}} = 90^\circ\text{C}$
- Umgebungstemperatur $T_{\text{amb}} = 25^\circ\text{C}$

beträgt die MTTF dieser Leitung 16 Jahre.

Aufgrund eines Maskenfehlers bei der Fertigung beträgt der Querschnitt dieser Leitung jedoch nur $4\mu\text{m}^2$.

- (a) Welche MTTF ist zu erwarten?
- (b) Beim Burn-in wird der Chip mit $V_{\text{DD}} = 1.35\text{V}$ und $T_{\text{J}} = 140^\circ\text{C}$ betrieben. Welcher Betriebsdauer entspricht dies bei Normalbetrieb? ($\gamma = 4,5\text{V}^{-1}$)
- (c) Wie groß muss für einen Betrieb nach (b) die Umgebungstemperatur gewählt werden? (Nehmen Sie an, dass die dynamische Verlustleistung überwiegt)
- (d) Ihr Chef besteht darauf, während des Burn-in den Chip mit einem Kühlkörper zu versehen (Bedingungen weiterhin wie in (b)). Hat das einen Einfluss auf die zu wählende Umgebungstemperatur? Begründen Sie!

