

# Vorlesungsprüfung aus Digitales Design

29. September 2020

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel		Mögliche Punkte	Erhaltene Punkte
Theoriefragen		48	
Rechenbeispiel	1	20	
	2	16	
	3	12	
Gesamt		96	

# Theoriefragen

## Frage 1 (4 Punkte):

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 75\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die Zeitkonstante ergibt und begründen Sie Ihre Schätzung!

## Frage 2 (4 Punkte):

Stellen Sie ein NOR-Gate mit Hilfe von Schaltern schematisch dar! Wählen Sie eine Schalterstellung, bei der HI ausgegeben wird.

## Frage 3 (4 Punkte):

Skizzieren Sie den Querschnitt durch einen n-Kanal Feldeffekt-Transistor! Zeichnen Sie die Anschlüsse ein und beschriften Sie diese!

## Frage 4 (4 Punkte):

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Frage 5 (8 Punkte):

Skizzieren Sie den Aufbau eines SR-Latches (aus Gattern)! Erklären Sie anhand dieser Schaltung was passiert, wenn man beide Eingänge gleichzeitig aktiviert!

## Frage 6 (8 Punkte):

Beschreiben Sie den physikalischen Aufbau von mask-ROM und EEPROM! Was ist resistenter gegen Störungen? Warum?

## Frage 7 (8 Punkte):

Erklären Sie Zweck, Prinzip und Ablauf des Scan-Tests! Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

## Frage 8 (8 Punkte):

Nennen Sie die Schritte im Design-Flow eines ASIC, von der Idee bis zur Übergabe an die Fertigung. Erklären Sie kurz jeweils den Zweck der einzelnen Schritte.

# Rechenbeispiele

## Beispiel 1

Gegeben ist die Multiplexer-basierte Implementierung einer Funktion  $F(A,B,C)$  laut Abbildung 1.1.

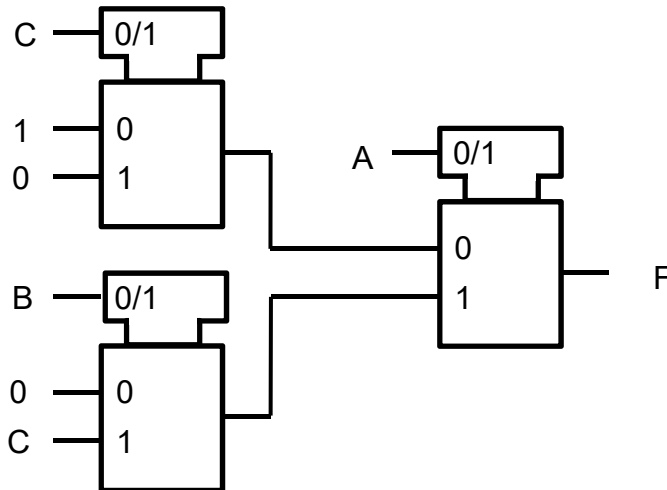


Abbildung 1.1: Implementierung der Funktion  $F$  mittels Multiplexern

- Ermitteln Sie anhand der Schaltung (nicht Wahrheitstabelle) die Funktion  $F(A,B,C)$ !
- Zeichnen Sie das KV-Diagramm und geben sie die konjunktive Normalform an!
- Geben Sie für die verwendeten Multiplexer eine Realisierung mittels Transmission Gates und Invertern an (mit geeigneter Entkopplung von Eingang und Ausgang)! Wie viele Transistoren benötigt ein Multiplexer, wie viele die gesamte Implementierung von  $F(A,B,C)$  lt. Abbildung 1.1 (für interne Verbindungen können Sie die Entkopplung nun einsparen)?
- Entwerfen Sie eine alternative Realisierung von  $F(A,B,C)$  mittels AOI bzw. OAI! Welche Variante (OAI oder AOI) ist günstiger und warum?
- Stellen Sie den Aufbau Ihrer Lösung als Transistorschaltung aus p-Stack und n-Stack dar (vergessen Sie nicht, den Ausgang zu kennzeichnen)! Falls Sie Inverter benötigen, geben Sie einmal den Aufbau eines Inverters aus Transistoren an, und verwenden Sie in Ihrer Schaltung für  $F(A,B,C)$  zur besseren Übersichtlichkeit nur das Invertersymbol.
- Wie viele Transistoren benötigen Sie nun für die Implementierung von  $F(A,B,C)$ ? Vergessen Sie nicht, die Transistoren für die Inverter zu berücksichtigen!

## Beispiel 2

Gegeben ist die in Abbildung 2.1 dargestellte Schaltung mit 300MHz Takt. Ein asynchrones Eingangssignal mit einer Frequenz von 25MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über die kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,25\text{ns} ; t_{CO} = 0,15\text{ns} ; \tau_C = 0,05\text{ns} ; T_0 = 0,1\text{ns} .$$

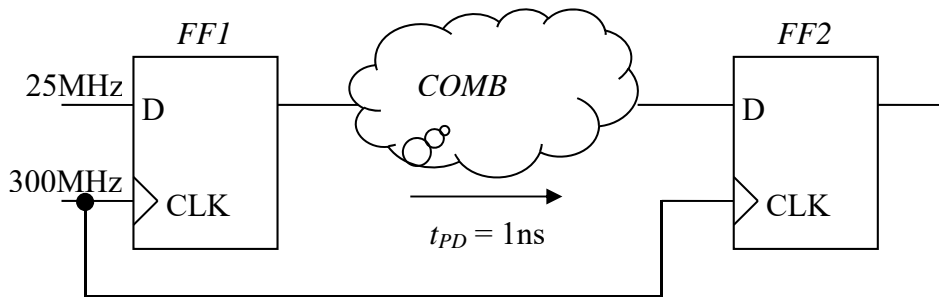


Abbildung 2.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 1,2V Versorgungsspannung 5A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit  $\Theta_{JA} = 10\text{K/W}$ ?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 2.1 die Werte für  $t_{PD}$  und  $t_{CO}$  bei der nach (b) errechneten Temperatur! Welche Resolution Time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser oder schlechter als bei (a)? Begründen Sie!

	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 2.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 1.3V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

### Beispiel 3

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
 $X^{16} = X^8 \oplus X^5 \oplus X^2 \oplus X^0$   
(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0111101010110110“ initialisiert. Welchen Wert hat der Ausgang nach 4 Taktzyklen (= aktiven Taktflanken)?



