

2003	-	5
2004	-	6
2005	-	6
2006	-	5
2007	-	6
2008	-	6
2009	-	6
2010	-	2
2011	-	6
2012	-	5
2013	-	3
2014	-	5
2015	-	1
2016	-	
2017	-	
2018	-	
2019	-	

62

# Vorlesungsprüfung aus Digitales Design

11. März 2003

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was ist eine Sign-off Simulation?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Handelt es sich bei einem ROM um rein kombinatorische oder sequentielle Logik? Begründen Sie!

**Frage 4:**

Wodurch unterscheidet sich im Aufbau ein Tri-State-Ausgang von einem open-Drain-Ausgang?

**Frage 5:**

Was besagt das Moore'sche Gesetz

**Frage 6:**

Was ist ein IP-Core?

**Frage 7:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 9:**

Nennen Sie zwei Maßnahmen um die Wahrscheinlichkeit für Upsets infolge von Metastabilität zu vermeiden!

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Die folgende Funktion ist in Hardware zu realisieren:

$$Y = (\neg A \vee \neg B) \wedge \neg C$$

- (a) Geben Sie die Wahrheitstabelle und das KV-Diagramm für diese Funktion an!
- (b) Wenn Sie die Wahl zwischen einer Realisierung als AOI oder als OAI haben, was würden Sie bevorzugen? Begründen Sie!
- (c) Entwerfen Sie zunächst den n-Stack für Ihre bevorzugte Lösung!
- (d) Entwerfen Sie weiters den dazugehörigen p-Stack!
- (e) Stellen Sie die Realisierung der Gesamtlösung mittels FETs dar (Schaltbild)!

### Beispiel 2

Gegeben sind zwei Variable A und B mit 2 Bit Wortbreite, d.h.  $A = (a_1, a_0)$ ,  $B = (b_1, b_0)$ . Gesucht ist die Realisierung einer Funktion, die genau dann „1“ ausgibt, wenn  $A > B$ . A und B sind binär codierte positive Integer-Werte, es gilt also  $(0,0) < (0,1) < (1,0) < (1,1)$ .

- (a) Skizzieren Sie, wie Sie diese Funktion mittels eines ROM implementieren würden:
  - Wie viele Adressleitungen benötigen Sie?
  - Welche Signale schließen sie daran an?
  - Welche Speichergröße benötigen Sie?
  - Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!
- (b) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:
  - Wie viele p-Terms benötigen Sie?
  - Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert werden müssen mit „O“

### Beispiel 3

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=3,3V$  einen mittleren Strom von 3A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

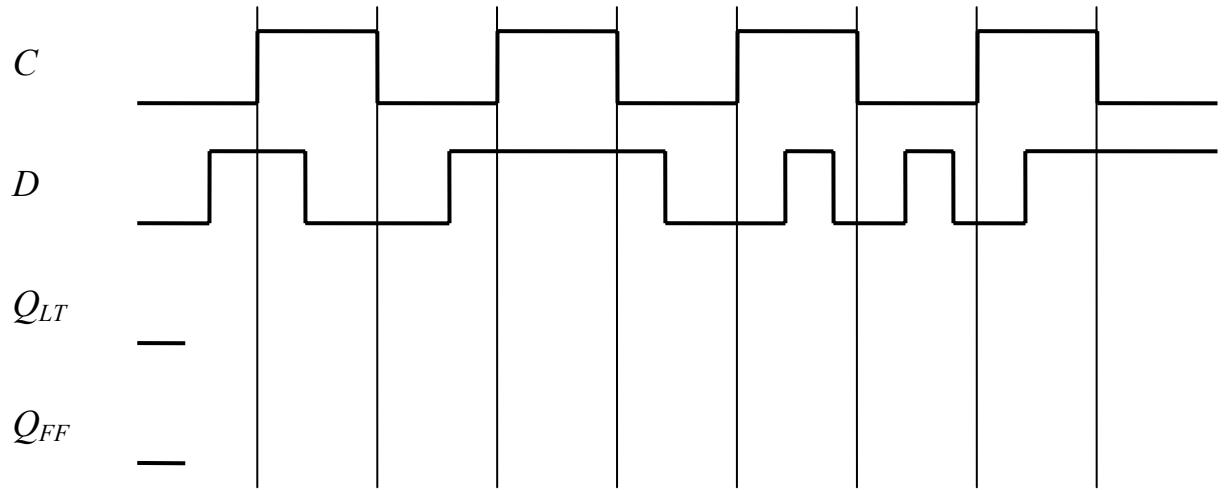
$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 5\text{K/W}$  für Betrieb ohne Kühlkörper.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=25^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 4,0\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 4,0\text{V}$  und  $T_{AMB} = 25^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 3,3\text{V}$  und  $T_{AMB} = 25^\circ\text{C}$ !  
 $k = 8,6 \cdot 10^{-5} \text{eV/K}$  ;  $E_{act} = 0,7 \text{eV}$  ;  $\gamma = 3,2 \text{V}^{-1}$
- (d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 24 Stunden um 1 Jahr altert (als Normalbetrieb gilt wieder  $T_{AMB} = 25^\circ\text{C}$ ;  $V_{DD} = 3,3\text{V}$ ). Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?  
Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 4,0V)?  
Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben? Ist das technisch machbar?

## Beispiel 4

Gegeben sind die in Abbildung 1 dargestellten Signalverläufe für ein Datensignal  $D$  und ein Clock-Signal bzw. Enable-Signal  $C$ .



- (a) Tragen Sie in die Zeile  $Q_{LT}$  das zugehörige Ausgangssignal Q eines D-Latch ein! („0“ = „Hold“)
- (b) Tragen Sie in die Zeile  $Q_{FF}$  das zugehörige Ausgangssignal Q eines D-Flip-Flop ein! (steigende Flanke ist aktiv)
- (c) Beschreibt der folgende VHDL-Code ein D-Flip-Flop, ein D-Latch oder keines von beiden? Begründen Sie!

```

Architecture BEISPIEL_3 of PRÜFUNG is
begin
  signal CLK, DATA, NEXT, OUT : std_logic;

  CAPTURE: process (CLK)
  begin
    if CLK'event and CLK = '1' then
      OUT <= NEXT;
    else
      NEXT <= OUT;      ←
    end if;
  end process CAPTURE;

  NEXT <= DATA;

end BEISPIEL_3;

```

- (d) Wenn Sie den „else“-Zweig (mit Pfeilen markiert) weglassen – was beschreibt der Code dann?

# Vorlesungsprüfung aus Digitales Design

17. November 2003

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	10
	4	15
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was versteht man unter einem Minterm?

**Frage 2:**

Warum sind Wafer rund?

**Frage 3:**

Wie ist ein Transmission-Gate aufgebaut und wozu wird es verwendet?

**Frage 4:**

Was versteht man im Zusammenhang mit der Simulation unter einem „Delta-Cycle“?

**Frage 5:**

Was ist ein EEPROM?

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Was versteht man unter Metastabilität?

**Frage 8:**

Was versteht man unter infant mortality?

**Frage 9:**

Was besagt die „Rule of Ten“?

**Frage 10:**

Welche Werte kann ein Signal bei der Null Convention Logik (NCL) annehmen ?

## Rechenbeispiele

### Beispiel 1

Gegeben ist die folgende Funktion:

$$Y = (\neg A \wedge B) \vee (C \wedge D) \vee (A \wedge \neg B \wedge \neg C)$$

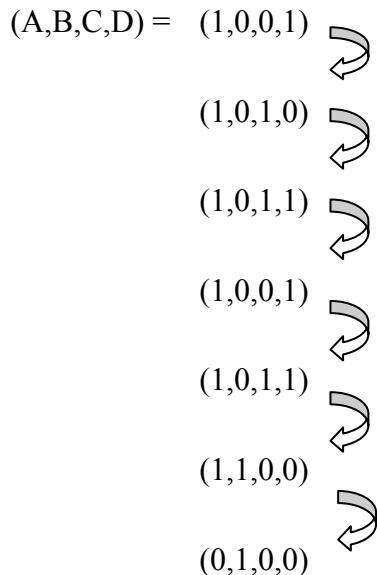
(a) Zeichnen Sie das KV-Diagramm dieser Funktion Y !

(b) Zeigen Sie, wie Sie diese Funktion Y mit einer PAL-Struktur realisieren können:

- Wie viele P-Terme benötigen Sie ?
- Wie viele Programmierelemente weist die Verbindungsmaatrix insgesamt auf ? Wie viele davon werden programmiert (d.h. eine Verbindung wird erstellt) ?
- Zeichnen Sie das Schaltbild !
- Skizzieren Sie, wie man am Ausgang einen programmierbaren Inverter realisieren könnte!
- Wie viele P-Terme würde man bei Verwendung des Inverters benötigen ?

(c) Sie wollen diese Schaltung nun im Fundamental Mode betreiben.

- Kennzeichnen Sie in der folgenden Sequenz jene Übergänge mit „X“, die dabei nicht zulässig sind:



- Kennzeichnen Sie weiters jenen Übergang mit „O“, der zwar im Fundamental Mode zulässig ist, bei dem aber dennoch ein Glitch auftreten könnte! Begründen Sie!
- Welchen P-Term müssten Sie hinzufügen, damit dieser Glitch sicher vermieden werden kann (Huffman Circuit) ?

## Beispiel 2

Gegeben ist der Spannungsverlauf  $U_{in}$  in Abbildung 1:

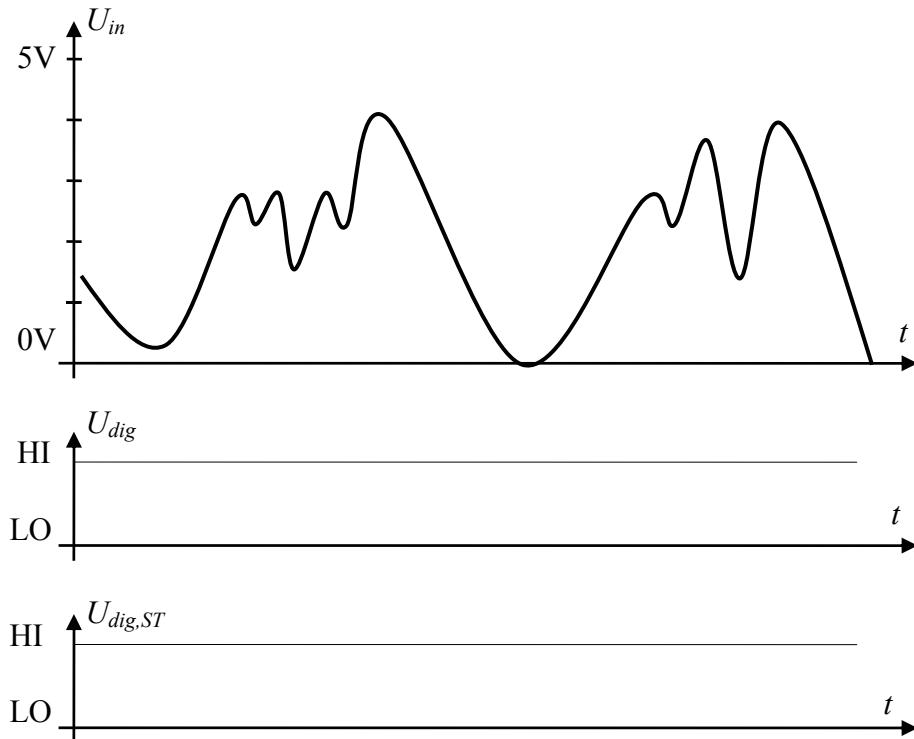


Abbildung 1

- (a) Tragen Sie in die Abbildung den Spannungsverlauf  $U_{dig}$  nach der Digitalisierung dieser Eingangsspannung ein, wenn der Schwellwert fix bei 2,5V liegt.

In Abbildung 2 ist die Kennlinie eines Schmitt-Trigger gegeben.

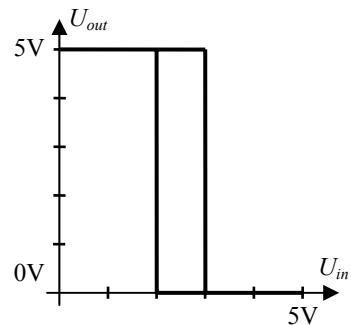


Abbildung 2

- (b) Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- (c) Wie groß ist die Hysteresis dieses Schmitt-Trigger (incl. Einheit!) ?
- (d) Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!
- (e) Wie sieht die Ausgangsspannung  $U_{dig,ST}$  am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 1 anlegen? Tragen Sie den Verlauf in Abbildung 1 ein!

### Beispiel 3

Ein Chip hat bei einer Versorgungsspannung von  $V_{DD} = 5V$  einen Stromverbrauch von 2A. Bei einer Umgebungstemperatur von  $T_{amb} = 20^\circ C$  erreicht der Die im Betrieb eine Temperatur von  $T_J = 100^\circ C$ . Laut Datenblatt beträgt die MTBF des Chips unter diesen Bedingungen 10 Jahre.  $E_{act} = 0,7\text{eV}$ ;  $k = 8,6 \cdot 10^{-5} \text{ eV/K}$

(a) Wie groß ist die Verlustleistung des Chips unter diesen Bedingungen ?

(b) Wie groß ist der Thermische Widerstand  $T_{JA}$  des Chips (incl. Einheit)?

Aufgrund eines Fehlers in der Dimensionierung der Spannungsversorgung wird der Chip nun mit  $V_{DD} = 6V$  betrieben.

(c) Wie groß ist nun die Verlustleistung?

(Nehmen Sie an, daß die dynamischen Ladeströme dominieren)

(d) Welche Temperatur erreicht der Die nun ?

(e) Welche MTBF ist zu erwarten ?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine, die die Steuersignale `select`, `enable` und `addr` für einen Zugriff auf ein ROM generiert:

```
library IEEE;
use      IEEE.std_logic_1164.all;
use      IEEE.std_logic_UNSIGNED.all;

entity RAMaccess is
port(
  mega  : in std_logic;
  energy : in std_logic;
  chipsel: out std_logic;
  enable : out std_logic;
  addr: out std_logic_vector(0 to 3)
);
end RAMaccess;
```

```
architecture making of RAMaccess is
  signal cat, dog:
    std_logic_vector(0 to 1);

begin
  kirk: process(cat)
  begin
    case cat is
      when "00"  => dog <= "01";
      when "01"  => dog <= "10";
      when "10"  => dog <= "11";
      when others => dog <= "00";
    end case;
  end process kirk;

  spock: process(mega, energy)
  begin
    if energy = '0' then
      cat <= "00";
    else
      if mega'event and mega = '0' then
        cat <= dog;
      end if;
    end if;
  end process spock;

  scotty: process(cat)
  variable bee: std_logic_vector(0 to 3);
  begin
    if energy = '0' then
      bee := "0000";
    end if;
    case cat is
      when "00"  => chipsel <= '1';
                      enable <= '1';
      when "01"  => chipsel <= '0';
                      bee := bee + '1';
                      enable <= '1';
      when others => chipsel <= '0';
                      enable <= '0';
    end case;
    addr <= bee;
  end process scotty;
end making;
```

(a) Identifizieren Sie Taktsignal und Reset!

(b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!

(c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!

(d) Tragen Sie den Zeitverlauf von `chipsel`, `enable` und `addr` in Abbildung 3 ein!

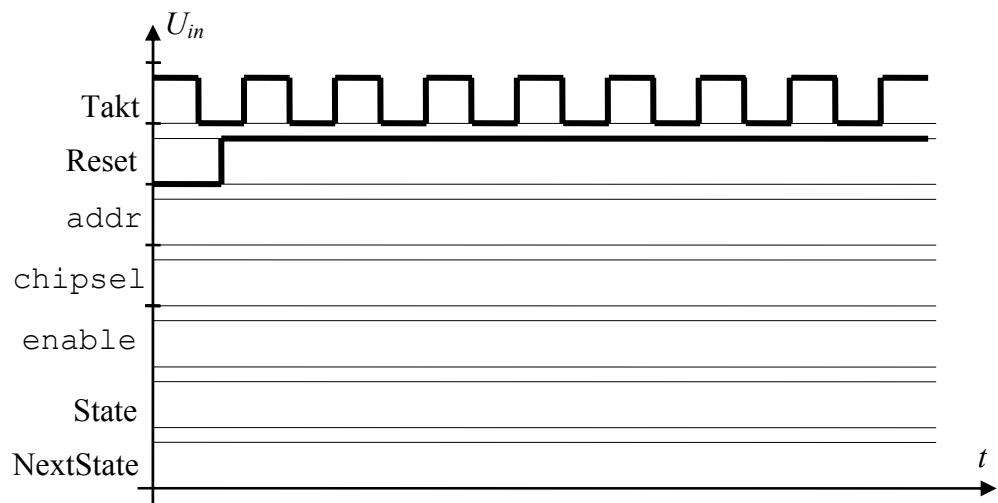


Abbildung 3

# Vorlesungsprüfung aus Digitales Design

22. Oktober 2003

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	10
	4	15
Gesamt	100	

## Theoriefragen

**Frage 1:**

Skizzieren Sie die Prinzipschaltung eines Latch!

**Frage 2:**

Warum eignet sich Silizium besonders gut für die Herstellung integrierter Schaltungen?

**Frage 3:**

Was ist der Vorteil von BiCMOS-Logik?

**Frage 4:**

Was ist der Unterschied zwischen Floorplanning und Partitionierung?

**Frage 5:**

Was ist ein OTP-ROM?

**Frage 6:**

Wie werden beim Gate-Array mittels lauter gleicher Zellen unterschiedliche Funktionen realisiert?

**Frage 7:**

Nennen Sie drei Faktoren, von denen der thermische Widerstand eines Gehäuses abhängt!

**Frage 8:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 9:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

**Frage 10:**

Was versteht man unter einem „Hazard“?

## Rechenbeispiele

### Beispiel 1

Abbildung 1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

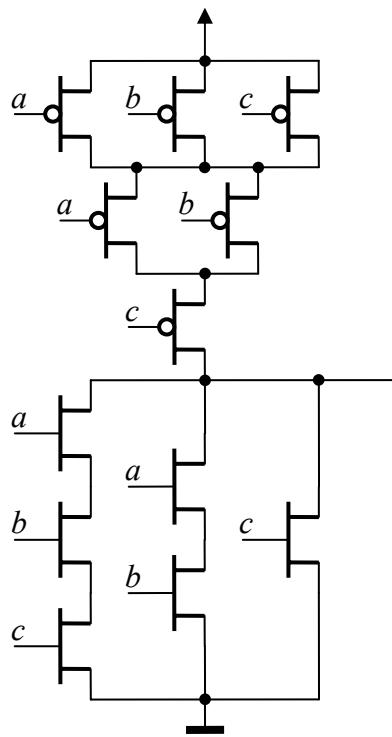


Abbildung 1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,1)$  !
- Geben Sie die Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Leiten Sie aus dem KV Diagramm eine vereinfachte Darstellung der Funktion  $y$  her
- Zeichnen Sie die FET-Realisierung dieser vereinfachten Form. Was hat sich geändert? Warum?

## Beispiel 2

Zu realisieren ist eine Schaltung, die von einer Zahl  $b$  das Quadrat  $y$  berechnet. Der Eingangswert  $b$  ist als positive Binärzahl  $(b_2, b_1, b_0)$  dargestellt, ebenso das Ergebnis  $y$   $(y_5, y_4, y_3, y_2, y_1, y_0)$ .

- Beschreiben Sie eine Realisierung als ROM: Welches ROM benötigen Sie (Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie die logischen Verknüpfungen, die Sie für  $y_0, y_1, y_3$  und  $y_5$  realisieren müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten.
- Leiten Sie eine Realisierung für die Funktion  $y_3(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 3

Gegeben ist die in Abbildung 2 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 2MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt 2ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,25\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

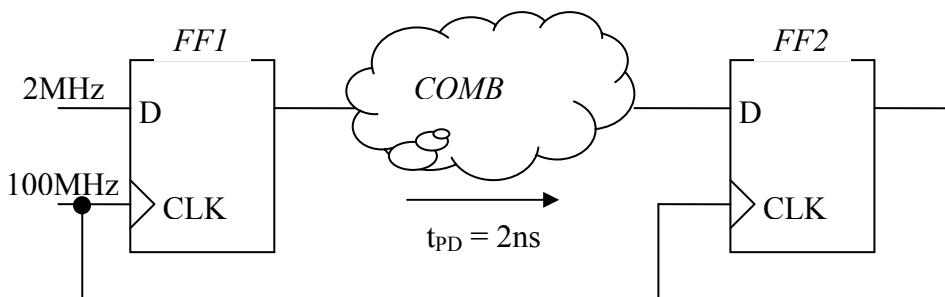


Abbildung 2

- Welche MTBU ist zu erwarten ?
- Die Testabteilung schreibt nun vor, dass vor die D-Eingänge der beiden Flipflops jeweils ein Multiplexer geschaltet werden muss. Welchen Grund wird die Testabteilung dafür haben?
- Die Multiplexer verursachen im Datenpfad ein Delay von 2ns. Welche MTBU ergibt sich nun?
- Auf welchen Wert müssten Sie die Frequenz des asynchronen Eingangssignals verringern, um wieder die ursprüngliche MTBU zu erreichen?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity silence is
  port(
    yes  : in std_logic;
    no   : in std_logic;
    upset: in std_logic;
    alpha: out std_logic_vector(0 to 1);
  );
end silence;
```

```
architecture sound of silence is
  signal one, two:
    std_logic_vector(0 to 1);

begin
  tick: process(one)
  begin
    case one is
      when "00"  => two <= "01";
      when "01"  => two <= "10";
      when "10"  => two <= "11";
      when others => two <= "00";
    end case;
  end process tick;

  trick: process(yes, no)
  begin
    if no = '0' then
      one <= "00";
    else
      if yes'event and yes = '1' then
        one <= two;
      end if;
    end if;
  end process trick;

  track: process(one)
  begin
    if upset = "1" then
      alpha <= "111";
    else
      case one is
        when "00"  => alpha <= "101";
        when "01"  => alpha <= "001";
        when "10"  => alpha <= "110";
        when others => alpha <= "010";
      end case;
    end if;
  end process track;
end sound;
```

- Identifizieren Sie Taktsignal und Reset!
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Um welchen Typ von State-Machine (Moore oder Mealy) handelt es sich? Begründen Sie!
- Verändern Sie den Code so, dass der Reset nun synchron anstelle von asynchron wird (Schreiben Sie den Code für den entsprechend veränderten Process vollständig an)!

# Vorlesungsprüfung aus Digitales Design

28. April 2003

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	10
	4	15
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was passiert wenn man bei einem SR-Latch ohne Enable sowohl S als auch R aktiviert?

**Frage 2:**

Welche elektrische Funktion hat das Siliziumdioxid im Chip?

**Frage 3:**

Was ist ein Transmission Gate und wie ist es aufgebaut?

**Frage 4:**

Geben Sie die Signal-Resolution-Table für die Funktion OR und die Zustände {0,1,X} an!

**Frage 5:**

Warum haben EPROMs ein Fenster im Gehäuse?

**Frage 6:**

Was versteht man unter dem Elmore-Delay?

**Frage 7:**

Angenommen die Versorgungsspannung eines Chip liegt am unteren Ende des Toleranzbereiches. Wird der Chip dadurch schneller oder langsamer als beim Nominalwert?

**Frage 8:**

Was ist Latch-up?

**Frage 9:**

Welche Probleme treten beim „exhaustive Test“ in der praktischen Anwendung auf?

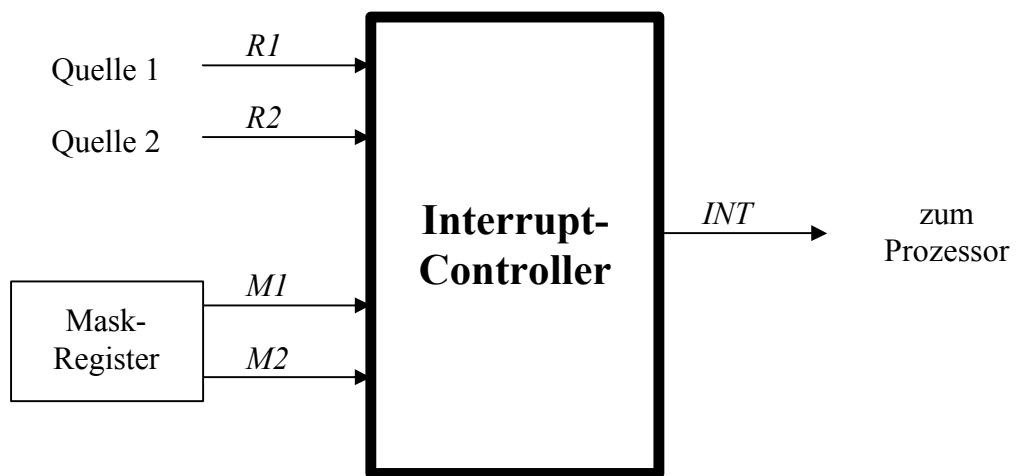
**Frage 10:**

Was versteht man unter Metastabilität?

## Rechenbeispiele

### Beispiel 1

Die Abbildung zeigt einen einfachen Interrupt-Controller: Die von 2 Quellen kommenden Request-Signale  $R1$  und  $R2$  werden zu einem gemeinsamen Interrupt-Request  $INT$  zusammengefasst, das schließlich an den Prozessor geleitet wird. Für jede Quelle kann mittels eines Mask-Bits ( $M1, M2$ ) der zugehörige Request maskiert oder freigegeben werden. Alle Request-Signale sind LO aktiv, d.h.  $INT$  ist dann LO wenn zumindest einer der freigegebenen Requests LO ist. Ein Request ist freigegeben, wenn das zugehörige Mask-Bit HI ist.



- Geben Sie Wahrheitstabelle und KV-Diagramm für die Funktion dieses Interrupt-Controllers an!
- Entwerfen Sie eine Realisierung mittels LUT (Welche LUT benötigen Sie, wie ist die LUT zu programmieren, wie ist sie anzuschliessen?)
- Entwerfen Sie eine Realisierung mittels Standard-PLD (3 p-Terms, programmierbarer Ausgangsinverter)  
Markieren Sie im gezeichneten Schaltbild die programmierten Verbindungen mit 'O'.

## Beispiel 2

Von einer Versorgungsleitung in einem Chip seien folgende Kennwerte bekannt:

Querschnitt =  $10\mu\text{m}^2$ ; Material: Aluminium ( $E_{\text{act}} = 0.7\text{eV}$ );  $k = 8,6 \cdot 10^{-5}\text{eV/K}$

Bei Betrieb mit einem Strom von 2A und einer Junction-Temperatur  $T_J = 80^\circ\text{C}$  beträgt die MTTF dieser Leitung 10 Jahre.

Aufgrund eines Maskenfehlers bei der Fertigung beträgt der Querschnitt dieser Leitung jedoch nur  $4\mu\text{m}^2$ .

- (a) Welche MTTF ist zu erwarten?
- (b) Beim Burn-in wird der Chip 100 Stunden lang (bei unveränderter Versorgungsspannung) mit  $T_J = 140^\circ\text{C}$  betrieben. Welcher Betriebsdauer entspricht dies bei Normalbetrieb?
- (c) Ist der Test geeignet, den Defekt zu erkennen? Begründen Sie!

## Beispiel 3

Von einem bestimmten Server werden 1 Million Stück gefertigt. Jeder dieser Server ist mit einem DMA-Controller-Chip ausgerüstet. Ein solcher Controller Chip kostet 3€ und weist bei der Fertigung einen Defect Level von 5% auf. Die Kosten für die Reparatur des Servers aufgrund eines defekten DMA-Controllers betragen im Mittel 1000€.

- (a) Welchen finanziellen Schaden verursachen die Reparaturkosten für die nicht entdeckten Controller-Chips?
- (b) Durch einen Funktionstest aller mit dem Controller bestückten Platinen vor dem Einbau in den Server könnte man 70% der verbliebenen Defekte erkennen, für die sich die Reparaturkosten dann auf 200€ reduzieren. Ist die Anwendung eines solchen Tests wirtschaftlich sinnvoll, wenn dadurch Testkosten von 40€ je Platine anfallen?
- (c) Durch einen Built-in Self-Test kann die Defektrate des Chips von 5% auf 1% vermindert werden. Ist die Anwendung des BIST wirtschaftlich sinnvoll, wenn die zusätzlich benötigte Testlogik den Preis des Controllers auf 4€ erhöht?

## Beispiel 4

Als erste Aufgabe in einer neuen Firma bekommen Sie von Ihrem Chef ein Stück VHDL-Code. Es beschreibt angeblich eine State-Machine, die ein Spiel implementiert. Ihr Vorgänger hat den Code kurz vor seiner Entlassung geschrieben und Ihre Aufgabe besteht nun darin, die Funktion des Codes nachzuvollziehen.

```
architecture cryptic of game is
    signal a, b, k, p, x, y: std_logic;
begin
    ONE: process(k, p)
        if k = '1' then
            x <= '0';
        else
            if p'event and p = '1' then
                x <= y;
            end if;
        end if;
    end process ONE;

    TWO: process(a, x)
        if a = '0' then
            y <= x;
        else
            y <= NOT(x);
        end if;
    end process TWO;

    THREE: process(a, x)
        if a = '1' then
            b <= '0';
        else
            b <= x;
        end if;
    end process THREE;
end cryptic;
```

- (a) Welches Signal entspricht dem Takt? Begründen Sie!  
Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Welches Signal entspricht dem Reset?  
Handelt es sich um einen synchronen oder einen asynchronen Reset?  
Ist der Reset HI-aktiv oder LO-aktiv? Begründen Sie!
- (c) Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type?  
Begründen Sie!  
Beschreiben Sie die Teilaufgaben der einzelnen Prozesse!
- (d) Beschreiben Sie die Funktion des Spiels:  
Welches Signal entspricht dem Eingang, welches dem Ausgang?  
Was passiert mit dem Zustand und dem Ausgang wenn der Eingang auf '1' geht?  
Was passiert beim Reset?

# Vorlesungsprüfung aus Digitales Design

## 29. Jänner 2003

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was signalisiert das Busy-Flag beim Dual-Port RAM?

**Frage 2:**

Skizzieren Sie die Badewannenkurve (Achsen beschriften) und bezeichnen Sie die Bereiche kurz!

**Frage 3:**

Nennen Sie zwei Effekte, die die Geschwindigkeit von VLSI-Chips maßgeblich begrenzen!

**Frage 4:**

Über welchen Faktor hängen die Komplexitätsmaße „Gate-Count“ und „Anzahl der Transistoren“ zusammen? Erklären Sie diesen Faktor!

**Frage 5:**

Was ist der Unterschied zwischen Floorplanning und Partitionierung?

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Was versteht man im Zusammenhang mit einem PLD unter einem Product Term?

**Frage 8:**

Wozu benötigt man bei der Fertigung eines ICs die Masken?

**Frage 9:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 10:**

Was versteht man unter einem Glitch? Wie kommt es zu seinem Auftreten?

## Rechenbeispiele

### Beispiel 1

Zu realisieren ist die folgende Funktion:

$$Y = (A \wedge B) \vee (B \wedge C) \vee (A \wedge C)$$

- (a) Geben Sie die Wahrheitstabelle und das KV-Diagramm für diese Funktion an!
- (b) Skizzieren Sie, wie man die Funktion mittels einer LUT-basierten Logik realisieren kann!  
Wie viele Eingänge braucht die LUT, und wie viele Bit benötigt sie?
- (c) Entwerfen Sie eine Realisierung mittels Multiplexer-basierter Logik!  
Skizzieren Sie Ihre Lösung!  
Wie viele Multiplexer mit 2 Eingängen benötigen Sie?

### Beispiel 2

Gegeben ist die Schaltung in Abbildung 1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.

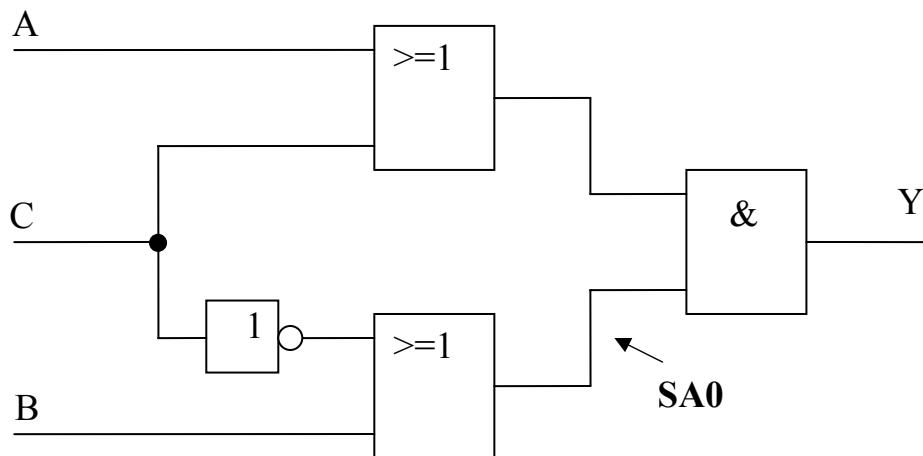


Abbildung 1

- (a) Welche Grundfunktion erfüllt diese Schaltung ?
- (b) Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- (c) In Abbildung 1 ist ein Knoten mit „SA0“ gekennzeichnet. Ermitteln Sie alle Testvektoren die geeignet sind, diesen Fehler zu entdecken. Bezeichnen Sie die dazu nötigen Schritte.
- (d) Zeigen Sie in der Schaltung ein Beispiel für Fehleräquivalenz!
- (e) Zeigen Sie in der Schaltung ein Beispiel für Fehlerdominanz!

### Beispiel 3

Gegeben ist der folgende VHDL-Code:

```
Architecture BEISPIEL_3 of PRÜFUNG is
begin
  signal A, B, C : std_logic ;
  A <= '1';

  ZUWEISUNGEN: process(B)
  variable D: integer;
  begin
    A <= '0';
    B <= '1';
    D := 1;
    C <= not(B);
    D:= D + 3;
  end process ZUWEISUNGEN;

end BEISPIEL_3;
```

(a) Zeigen Sie den Ablauf der Simulation, indem Sie Tabelle 1 vervollständigen!

Wie viele Delta-Cycles werden durchlaufen?

(b) Welche stabilen Werte ergeben sich für A, B, C und D schlussendlich?

t	A	B	C	D
0 (init)	'0'	'0'	'0'	0

**Tabelle 1**

## Beispiel 4

Gegeben ist die in Abbildung 2 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 100kHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt 3ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,25\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

- (a) Wann spricht man bei dieser Schaltung von einem „Upset“?
- (b) Welche MTBU ist zu erwarten?
- (c) Die beiden FFs werden durch Scan-FFs ersetzt, bei denen dem eigentlichen Flip-Flop ein Multiplexer vorgeschaltet ist. Dieser Multiplexer hat einen Delay von 2ns. Welche MTBU ist nun zu erwarten?

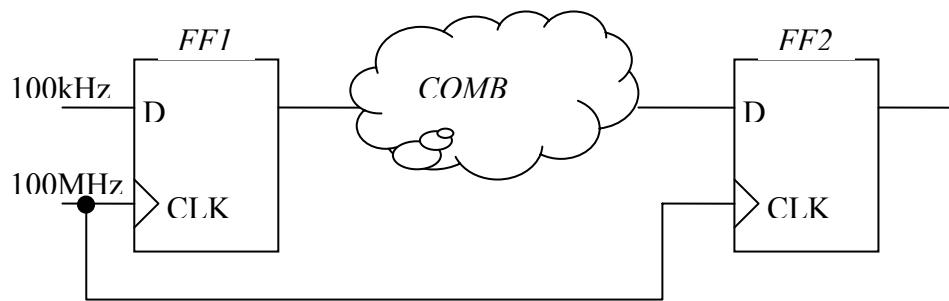


Abbildung 2

# Vorlesungsprüfung aus Digitales Design

3. März 2004

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 2:**

Warum sind Wafer rund?

**Frage 3:**

Wie würden Sie in CMOS ein OR2-Gatter realisieren?

**Frage 4:**

Was sind die Besonderheiten beim Clock-Routing?

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Welche Motivation steht hinter der „Fast Fuse“ beim ACT2/3, die eine direkte Ankopplung an den Long Vertical Track erlaubt?

**Frage 7:**

Welchen Unterschied macht es, ob Sie den Ausgang eines Gatters mit einem oder mit 10 Eingängen nachfolgender Gatter belasten?

**Frage 8:**

Was versteht man unter Electromigration?

**Frage 9:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

**Frage 10:**

Was versteht man unter dem „Delay insensitive Model“ ?

## Rechenbeispiele

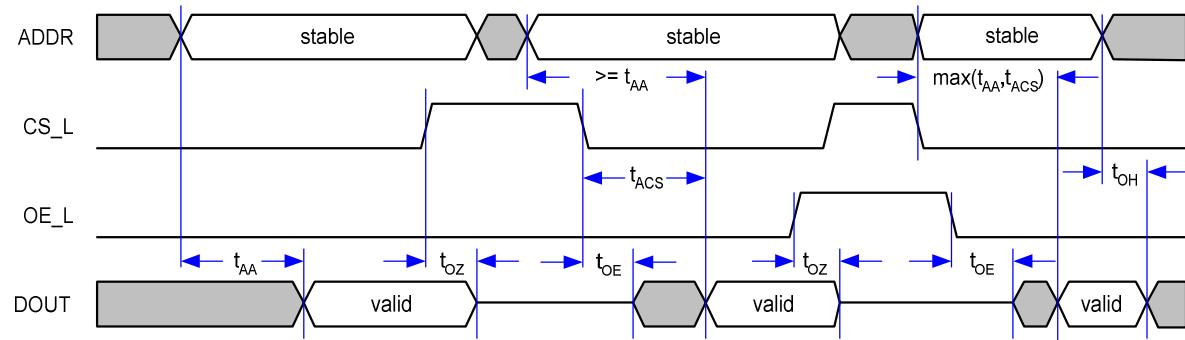
### Beispiel 1

Zu realisieren ist eine Schaltung, die für eine Zahl  $b$  den Wert  $y = 8 - b$  berechnet. Der Eingangswert  $b$  ist als positive Binärzahl ( $b_2, b_1, b_0$ ) dargestellt, ebenso das Ergebnis  $y$ .

- Beschreiben Sie eine Realisierung mittels ROM: Welches ROM benötigen Sie (Anzahl der Adressleitungen und der Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie für jedes Ausgangsbit ( $y_n \dots y_0$ ) die logische Verknüpfung, die realisieren müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten!
- Leiten Sie eine Realisierung für die Funktion  $y_1(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

### Beispiel 2

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 2.1)

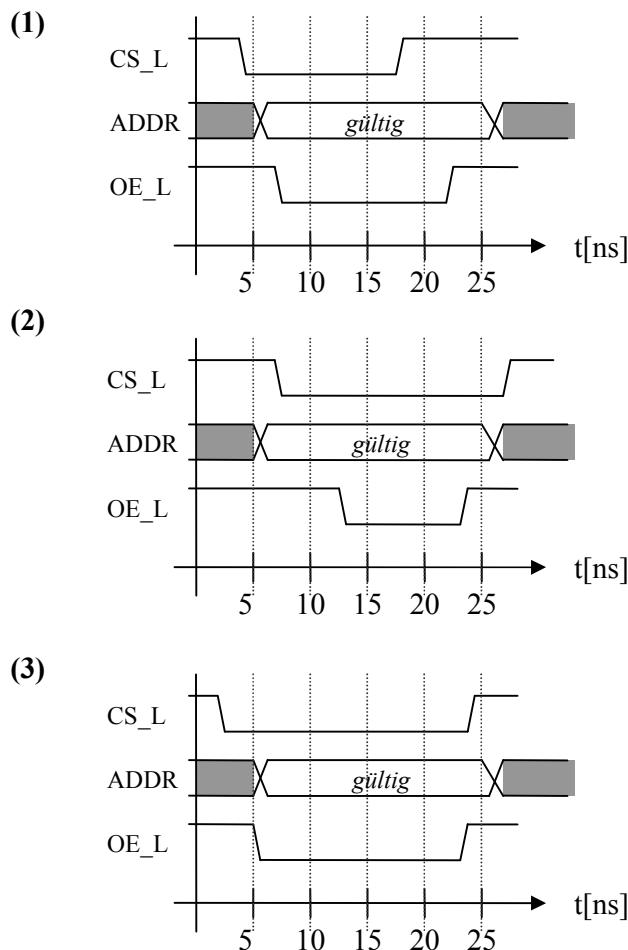


$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}$$

Abbildung 2.1

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 2.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?



**Abbildung 2.2**

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 200MHz Takt. Ein asynchrones Eingangssignal mit 50kHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt nominal 2ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,25\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

- (a) Wann spricht man bei dieser Schaltung von einem „Upset“?
- (b) Welche MTBU ist bei Betrieb unter Nominal-Bedingungen zu erwarten?

Die Derating Factors für die kombinatorische Logik sind in Tabelle 3.1 gegeben.

- (c) Welche Temperatur und welche Betriebsspannung stellen nach dieser Tabelle den ungünstigsten Betriebsfall dar? Warum?
- (d) Welche Verzögerungszeit hat die kombinatorische Logik in diesem ungünstigsten Fall? Welche MTBU ergibt sich damit?

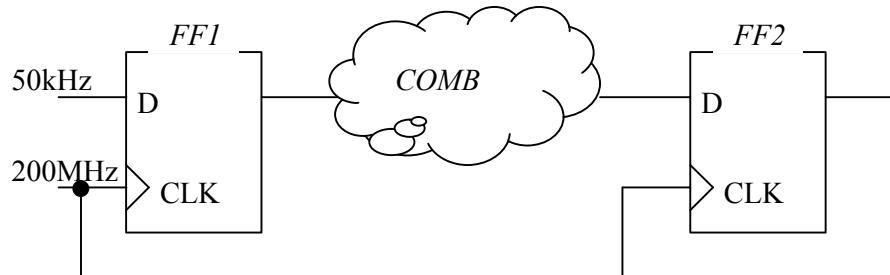


Abbildung 3.1

	4.50 V	4.75 V	5.00 V	5.25 V	5.50 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
85°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

## Beispiel 4

Ihr Chef gibt Ihnen den folgenden VHDL Code, den er auf dunklen Wegen von der Konkurrenz erschlichen hat. Ihre Aufgabe ist es nun, zu analysieren, wie das Produkt der Konkurrenz funktioniert:

```
library IEEE;
use     IEEE.std_logic_1164.all;

entity world is
  port(
    risk    : in std_logic;
    gun     : in std_logic;
    danger  : in std_logic;
    love    : out std_logic
  );
end world;
```

```
architecture man of world is
  signal money, penny: std_logic;

  DR_NO: process(gun, danger)
    if gun = '0' then
      money <= '0';
    else
      if danger'event and danger = '0' then
        money <= penny;
      end if;
    end if;
  end process DR_NO;

  BOND: process(risk, money)
    if risk = '1' then
      love <= '0';
    else
      love <= money;
    end if;
  end process BOND;

  OCTOPUSSY: process(risk, money)
    if risk = '0' then
      penny <= money;
    else
      penny <= NOT(money);
    end if;
  end process OCTOPUSSY;

end man;
```

- (a) Welches Signal entspricht dem Takt? Begründen Sie!  
Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Welches Signal entspricht dem Reset?  
Handelt es sich um einen synchronen oder einen asynchronen Reset?  
Ist der Reset HI-aktiv oder LO-aktiv? Begründen Sie!
- (c) Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type?  
Begründen Sie! Beschreiben Sie die Teilaufgaben der einzelnen Prozesse!
- (d) Beschreiben Sie die Funktion der Schaltung:  
Welches Signal entspricht dem Eingang, welches dem Ausgang?  
Was passiert mit dem Zustand und dem Ausgang wenn der Eingang auf '1' liegt, was bei Eingang '0'?

# Vorlesungsprüfung aus Digitales Design

12. Januar 2004

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 2:**

Was versteht man unter einem „Flip-Chip“ ?

**Frage 3:**

Nennen Sie zwei Möglichkeiten, in CMOS einen Multiplexer zu realisieren!

**Frage 4:**

Nennen Sie drei typische Beispiele für Datenpfad-Elemente!

**Frage 5:**

Was versteht man unter „Refresh“? Bei welchem Speichertyp wird er benötigt? Warum?

**Frage 6:**

Kann man mit einer LUT mit 32 Bit *alle* Funktionen mit 5 Variablen realisieren? Begründen Sie!

**Frage 7:**

Was versteht man unter dem „Störspannungsabstand“?

**Frage 8:**

Erklären Sie Zweck und Prinzip des Burn-in!

**Frage 9:**

Was ist ein IDDQ-Test? Benötigt man dafür auch Testvektoren? Begründen Sie!

**Frage 10:**

Welche Zustände unterscheidet man bei der Null-Convention Logic?

## Rechenbeispiele

### Beispiel 1

Die folgende Funktion ist in Hardware zu realisieren:

$$Y = (\neg A \vee \neg B) \wedge (\neg A \vee \neg C)$$

- (a) Geben Sie die Wahrheitstabelle und das KV-Diagramm für diese Funktion an!
- (b) Vereinfachen Sie die Funktion bevor Sie die HW-Realisierung weiter planen!
- (c) Wenn Sie die Wahl zwischen einer Realisierung als AOI oder als OAI haben, was würden Sie bevorzugen? Begründen Sie!
- (d) Entwerfen Sie zunächst den n-Stack für Ihre bevorzugte Lösung!
- (e) Entwerfen Sie weiters den dazugehörigen p-Stack!
- (f) Stellen Sie die Realisierung der Gesamtlösung mittels FETs dar (Schaltbild)! Bezeichnen Sie Eingänge und Ausgang!

### Beispiel 2

Zu realisieren ist eine Schaltung, die von einer Zahl  $b$  die Restklasse Modulo 3  $y = b \bmod 3$  berechnet. Der Eingangswert  $b$  ist als positive Binärzahl  $(b_2, b_1, b_0)$  dargestellt, ebenso das Ergebnis  $y$ .

- (a) Beschreiben Sie eine Realisierung als ROM: Welches ROM benötigen Sie (Anzahl der Adressleitungen und der Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- (b) Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie für jedes Ausgangsbit  $y_i$  die logische Verknüpfung, die realisieren müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten!
- (c) Leiten Sie eine Realisierung für die Funktion  $y_1(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.

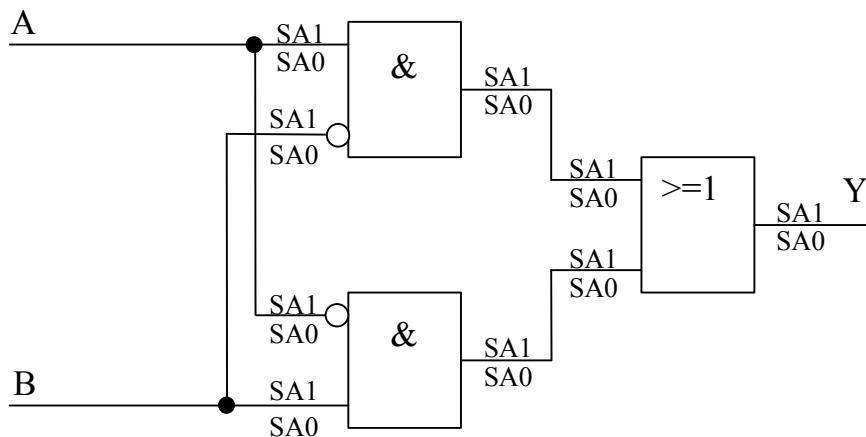


Abbildung 1

- Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!  
Welche Grundfunktion erfüllt die Schaltung ?
- Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- In Abbildung sind alle möglichen Stuck-at Fehler eingetragen (SA0, SA1). Streichen Sie jene Fehler durch ein Kreuz durch („X“), die Sie aufgrund von Fehleräquivalenz nicht weiter zu berücksichtigen brauchen!
- Streichen Sie weiters jene Fehler durch einen einfachen Schrägstreich durch („/“), die Sie aufgrund von Fehlerdominanz nicht weiter zu berücksichtigen brauchen!
- Ermitteln Sie alle Testvektoren, die geeignet sind, den SA1-Fehler am Ausgang des oberen UND-Gatters zu erkennen! Beschreiben Sie die für die Ermittlung nötigen Schritte!  
Ermitteln Sie ebenso alle Vektoren für SA1 am Ausgang des unteren UND-Gatters sowie für SA0 am Ausgang des OR-Gatters!
- Geben Sie einen minimalen Satz von Testvektoren an, der geeignet ist, alle in Abbildung 1 eingetragenen Fehler zu erkennen!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity love is
  port(
    pink      : in std_logic;
    panther : in std_logic;
    popeye:out std_logic_vector(0 to 2)
  );
end love;
```

```
architecture sea of love is
  signal tom, jerry:
    std_logic_vector(0 to 1);

begin
  happy: process(tom)
  begin
    case tom is
      when "00"  => jerry <= "01";
      when "01"  => jerry <= "10";
      when "10"  => jerry <= "11";
      when others => jerry <= "00";
    end case;
  end process happy;

  new: process(tom)
  begin
    case tom is
      when "00"  => popeye <= "101";
      when "01"  => popeye <= "001";
      when "10"  => popeye <= "110";
      when others => popeye <= "010";
    end case;
  end process new;

  year: process(pink, panther)
  begin
    if panther = '0' then
      tom <= "00";
    else
      if pink'event and pink = '1' then
        tom <= jerry;
      end if;
    end if;
  end process year;
end sea;
```

- Identifizieren Sie Taktsignal und Reset! Ist der Reset synchron oder asynchron?
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Um welchen Typ von State-Machine (Moore oder Mealy) handelt es sich? Begründen Sie!
- Angenommen beim Process `year` fehlt das Signal `panther` in der Sensitivity List. Was würde sich dadurch ändern?

# Vorlesungsprüfung aus Digitales Design

16. Juni 2004

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was versteht man unter einem Maxterm?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Handelt es sich bei einem ROM um rein kombinatorische oder sequentielle Logik? Begründen Sie!

**Frage 4:**

Geben Sie die Signal-Resolution-Table für die Funktion OR und die Zustände {0,1,X} an!

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Wie werden beim Gate-Array mittels lauter gleicher Zellen unterschiedliche Funktionen realisiert?

**Frage 7:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 9:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Gegeben sind die in Abbildung 1 dargestellten Signalverläufe für die Eingangssignale J und K und CLK eines JK-Flip-Flop.

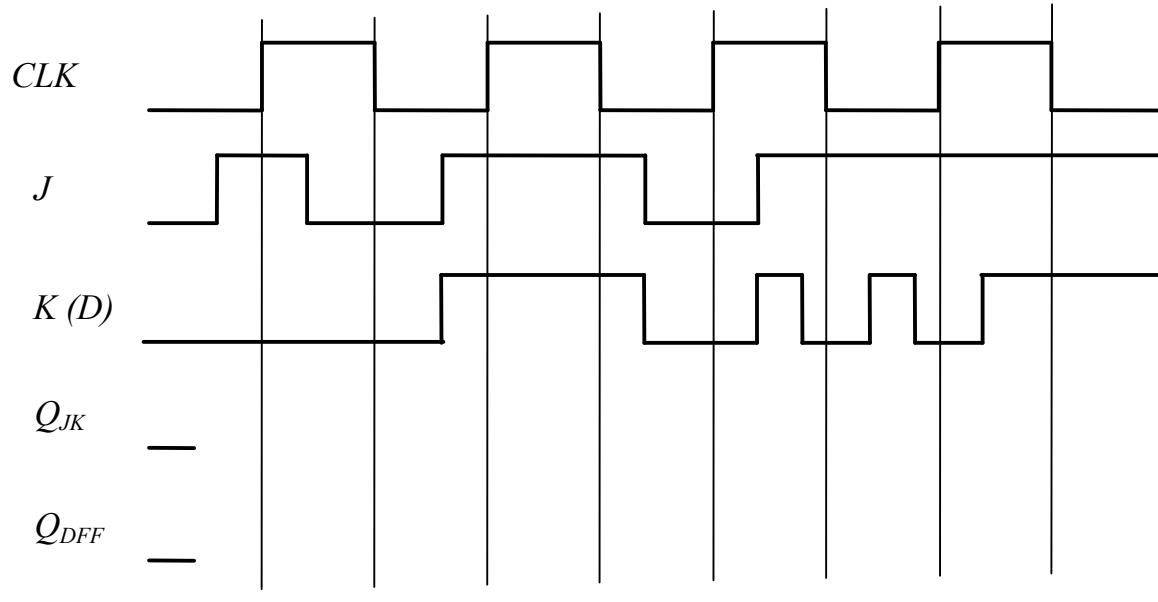


Abbildung 1

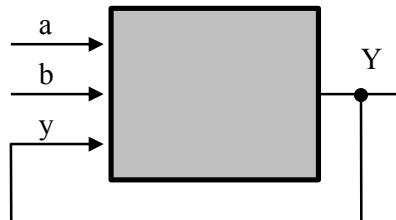
(a) Tragen Sie in die Zeile  $Q_{JK}$  das zugehörige Ausgangssignal Q ein! Beschreiben Sie jeweils, in welcher Funktion das Flip-Flop gerade betrieben wird!

(b) Skizzieren Sie eine Schaltung, mit der Sie unter Verwendung eines JK-Flip-Flop die Frequenz eines Taktsignals CLK halbieren!

(c) Interpretieren Sie nun die Signale CLK als Takt und K als D-Eingang eines D-Flipflop (J hat hier keine Verwendung). Zeichnen Sie wieder das zugehörige Ausgangssignal in die Zeile  $Q_{DFF}$ !

## Beispiel 2

Das in Abbildung 2 dargestellte Feedback Gate realisiert eine logische Verknüpfung in Null-Convention Logic (NCL).



a	N			F			T			N			F			T			N			F			T		
b	N		F	T		N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	
y	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T
Y	N	N	N	N	F	T	N	F	T	N	F	T	F	F	F	F	F	F	N	F	T	T	T	T	F	F	F

**Abbildung 2**

(a) Die Eingänge (a,b) der Schaltung durchlaufen folgende Sequenz:

(F,F)

(F,N)

(N,N)

(N,T)

(F,T)

(N,T)

(F,T)

Geben Sie neben jedem Eingangswort jeweils den zugehörigen Ausgang an!

- (b) Kennzeichnen Sie in Abbildung 1 alle instabilen Zustände (Spalten in der Tabelle), also jene, in denen die Schaltung sich nur vorübergehend befinden kann, durch ein „x“ unter der jeweiligen Spalte.
- (c) Welche logische Verknüpfung von a und b wird durch die Schaltung realisiert?
- (d) Welche Einträge müsste man ändern, um aus der Schaltung die Verknüpfung  $Y=a \text{ XOR } b$  zu machen? (Rahmen Sie die zu ändernden Einträge in der Tabelle ein und geben Sie die neuen Einträge an)
- (e) Welchen Zweck hat die Rückkopplung für die Realisierung der NCL-Schaltung?

### Beispiel 3

Gegeben ist die in Abbildung 3 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 2MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt 2ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

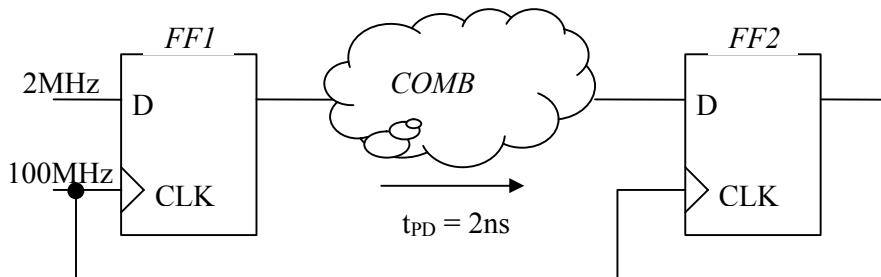


Abbildung 3

- (a) Welche MTBU ist zu erwarten ?
- (b) Die Testabteilung schreibt nun vor, dass vor die D-Eingänge der beiden Flipflops jeweils ein Multiplexer geschaltet werden muss. Welchen Grund wird die Testabteilung dafür haben?
- (c) Die Multiplexer verursachen im Datenpfad ein Delay von 2ns. Welche MTBU ergibt sich nun?
- (d) Auf welchen Wert müssten Sie die Frequenz des asynchronen Eingangssignals verringern, um wieder die ursprüngliche MTBU zu erreichen?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity championship is
port(
  italy:  in std_logic;
  france : in std_logic;
  germany: out std_logic_vector(0 to 2)
);
end championship;
```

```
architecture leader of championship is
  signal cyprus, greece:
    std_logic_vector(0 to 1);

begin
  corner: process(cyprus)
  begin
    case cyprus is
      when "10"  => greece <= "00";
      when "11"  => greece <= "10";
      when "01"  => greece <= "11";
      when others => greece <= "11";
    end case;
  end process corner;

  foul: process(cyprus)
  begin
    case cyprus is
      when "00"  => germany <= "101";
      when "11"  => germany <= "000";
      when "10"  => germany <= "111";
      when others => germany <= "010";
    end case;
  end process foul;

  goal: process(italy, france)
  begin
    if france = '0' then
      cyprus <= "00";
    else
      if italy'event and italy = '1' then
        cyprus <= greece;
      end if;
    end if;
  end process goal;
end leader;
```

- Identifizieren Sie Taktsignal und Reset! Ist der Reset synchron oder asynchron? Begründen Sie!
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Wie viele Bit umfasst der Ausgang dieser Schaltung? Begründen Sie!
- Wie viele interne Zustände nimmt die State-Machine im Betrieb ein? In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen?

# Vorlesungsprüfung aus Digitales Design

17. November 2004

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	10
	3	15
	4	15
Gesamt	100	

## Theoriefragen

**Frage 1:**

Skizzieren Sie die Prinzipschaltung eines D-Latch!

**Frage 2:**

Warum eignet sich Silizium besonders gut für die Herstellung integrierter Schaltungen?

**Frage 3:**

Was ist der Vorteil von BiCMOS-Logik?

**Frage 4:**

Was ist der Unterschied zwischen Floorplanning und Partitionierung?

**Frage 5:**

Was ist ein OTP-ROM?

**Frage 6:**

Wie werden beim Gate-Array mittels lauter gleicher Zellen unterschiedliche Funktionen realisiert?

**Frage 7:**

Nennen Sie drei Faktoren, von denen der thermische Widerstand eines Gehäuses abhängt!

**Frage 8:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 9:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

**Frage 10:**

Was versteht man unter einem „Hazard“?

## Rechenbeispiele

### Beispiel 1

Gegeben ist das KV-Diagramm einer logischen Funktion lt. Abbildung 1.1:

		$\neg C$	$C$	$\neg C$	
		0	1	0	0
		0	1	1	0
		0	0	1	0
		0	0	1	1
				$\neg D$	$D$
$\neg A$	$A$			$\neg B$	$B$

Abbildung 1.1

(a) Geben Sie die zugehörige logische Funktion als konjunktive Normalform an!

(b) Beschreiben Sie, wie Sie diese Funktion mittels eines ROM realisieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

(c) Leiten Sie eine Realisierung für die Funktion mittels Multiplexer-basierter Logik her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=3,25\text{V}$  einen mittleren Strom von 4A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

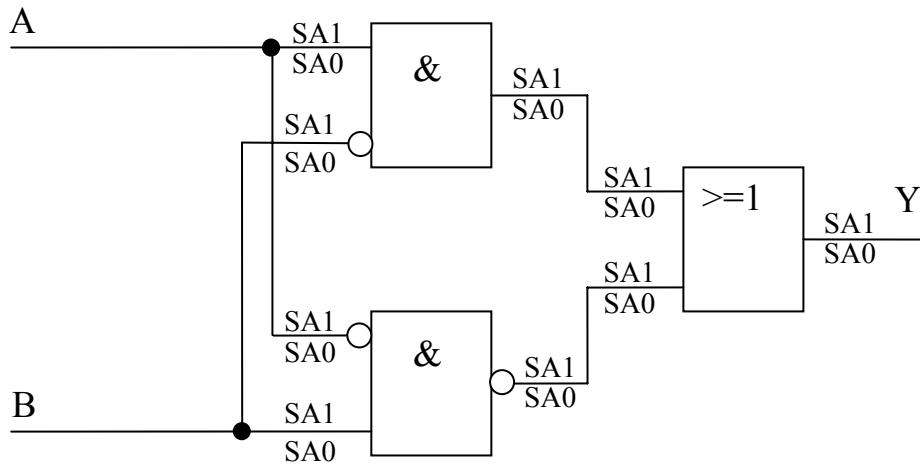
$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 4\text{K/W}$  für Betrieb ohne Kühlkörper.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=25^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 4,0\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 4,0\text{V}$  und  $T_{AMB} = 25^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 3,25\text{V}$  und  $T_{AMB} = 25^\circ\text{C}$ !  
 $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{act} = 0,7 \text{ eV}$  ;  $\gamma = 3,2 \text{ V}^{-1}$
- (d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 36 Stunden um 1 Jahr altert (als Normalbetrieb gilt wieder  $T_{AMB} = 25^\circ\text{C}$ ;  $V_{DD} = 3,25\text{V}$ ).  
Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?  
Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 4,0V)?  
Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben?

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.



**Abbildung 3.1**

- Geben Sie Wahrheitstabelle und KV-Diagramm für die Schaltung in Abbildung 3.1 an!  
Leiten Sie aus dem Schaltbild die logische Funktion dieser Schaltung ab, und versuchen Sie diese durch Umformungen zu vereinfachen.
- Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- In Abbildung 3.1 sind alle möglichen Stuck-at Fehler eingetragen (SA0, SA1). Streichen Sie jene Fehler durch ein Kreuz durch („X“), die Sie aufgrund von Fehleräquivalenz nicht weiter zu berücksichtigen brauchen!
- Streichen Sie weiters jene Fehler durch einen einfachen Schrägstreich durch („/“), die Sie aufgrund von Fehlerdominanz nicht weiter zu berücksichtigen brauchen!
- Ermitteln Sie alle Testvektoren, die geeignet sind, den SA1-Fehler am Ausgang des UND-Gatters zu erkennen! Beschreiben Sie die für die Ermittlung nötigen Schritte!
- Wiederholen Sie (e), diesmal jedoch für einen SA0-Fehler am Ausgang des UND-Gatters.  
Was ist nun anders? Begründen Sie!
- Geben Sie einen minimalen Satz von Testvektoren an, der geeignet ist, möglichst viele der in Abbildung 3.1 eingetragenen Fehler zu erkennen!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use     IEEE.std_logic_1164.all;
use     IEEE.std_logic_UNSIGNED.all;

entity glass is
  port(
    beat  : in std_logic;
    energy : in std_logic;
    polka : out std_logic;
    waltz : out std_logic;
    tango : out std_logic_vector(0 to 3)
  );
end glass;
```

```
architecture heart of glass is
  signal girl, boy:
    std_logic_vector(0 to 1);

begin
  ball: process(girl)
  begin
    case girl is
      when "00"  => boy <= "01";
      when "01"  => boy <= "10";
      when "10"  => boy <= "11";
      when others => boy <= "00";
    end case;
  end process ball;

  contest: process(girl, energy)
  variable chacha: std_logic_vector(0 to 3);
  begin
    if energy = '0' then
      chacha := "0000";
    end if;
    case girl is
      when "10"  => polka <= '1';
                      waltz  <= '1';
      when "01"  => polka <= '0';
                      chacha := chacha + '1';
                      waltz  <= '1';
      when others => polka <= '0';
                      waltz  <= '0';
    end case;
    tango <= chacha;
  end process contest;

  party: process(beat, energy)
  begin
    if energy = '0' then
      girl <= "00";
    else
      if beat'event and beat = '1' then
        girl <= boy;
      end if;
    end if;
  end process party;
end heart;
```

- Identifizieren Sie Taktsignal und Reset!
- Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Tragen Sie den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf von polka, waltz und tango !

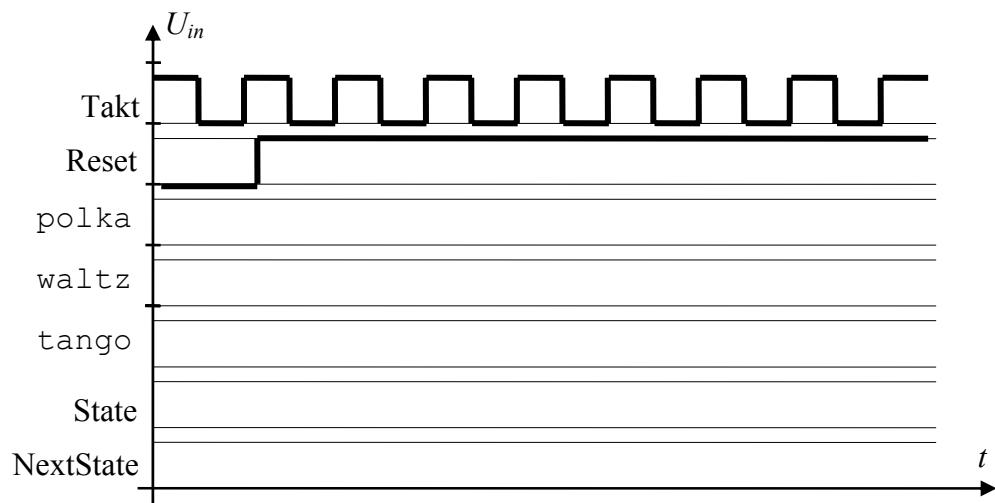


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

## 20. Oktober 2004

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche 4 Funktionen lassen sich mit einem JK-Flip-Flop realisieren (Bitkombinationen von J und K)

**Frage 2:**

Was besagt das Moore'sche Gesetz

**Frage 3:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 4:**

Erläutern Sie die Auswirkung einer verspäteten Markteinführung eines Produktes auf den Gewinn.

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Angenommen die Versorgungsspannung eines Chip liegt am unteren Ende des Toleranzbereiches. Wird der Chip dadurch schneller oder langsamer als beim Nominalwert?

**Frage 8:**

Was versteht man unter infant mortality?

**Frage 9:**

Was ist redundante Logik? Warum sollte sie im Design vermieden werden?

**Frage 10:**

Nennen Sie zwei Beispiele für den negativen Einfluss hoher Temperatur auf einen VLSI-Chip!

## Rechenbeispiele

### Beispiel 1

Entwerfen Sie eine Schaltung, die für eine Eingangsvariable  $b$  ( $b_3 \dots b_0$ ) die Ausgangsvariable  $m$  nach folgender Funktion berechnet:  $m = b \bmod 3$ , wobei  $b$  und  $m$  als positive Binärzahlen zu interpretieren sind. Eingang  $b$  und Ausgang  $m$  sind jeweils mittels Register zu synchronisieren. Für die Realisierung steht ihnen ein FPGA mit Logic Elements (LE) bestehend aus LUTs mit nachgeschalteten Flip-Flops (siehe Abbildung 1.1) zur Verfügung.

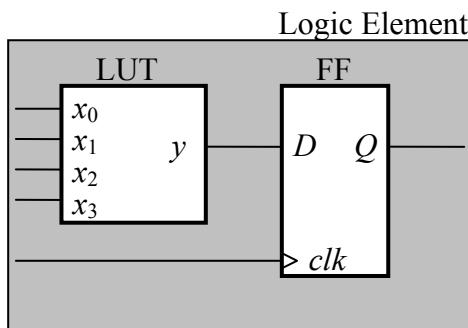


Abbildung 1.1

- Zeichnen Sie ein Schaltbild für Ihre Lösung, in dem alle benötigten Logic Elements dargestellt sind. Wie viele Logic Elements benötigen Sie ?
- Geben Sie für alle (!) LUTs in diesem Schaltbild Anschlussbelegung und Programmierabelle an!

Im Datenblatt finden Sie für das FPGA unter anderem die folgenden Timing-Angaben:

Symbol	Parameter	Value
$t_{LUT}$	LUT delay	1.4 ns (max)
$t_{SU}$	register setup time for data before clock	1.3 ns (min)
$t_H$	register hold time for data after clock	1.4 ns (min)
$t_{CO}$	register clock-to-output delay	0.9 ns (max)
$t_{route}$	interconnect delay from any LE output to any LE input	1.2 ns (max)

- Ermitteln Sie anhand dieser Angaben die Laufzeit im kritischen Pfad. Mit welcher Taktfrequenz dürfen Sie die Schaltung maximal betreiben?

## Beispiel 2

In Abbildung 2.1 ist die Kennlinie eines Schmitt-Trigger gegeben.

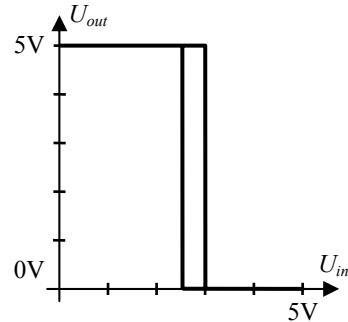


Abbildung 2.1

- Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- Wie groß ist die Hysteresis dieses Schmitt-Trigger (incl. Einheit!) ?
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

Gegeben ist weiters der Spannungsverlauf  $U_{in}$  in Abbildung 2.2:

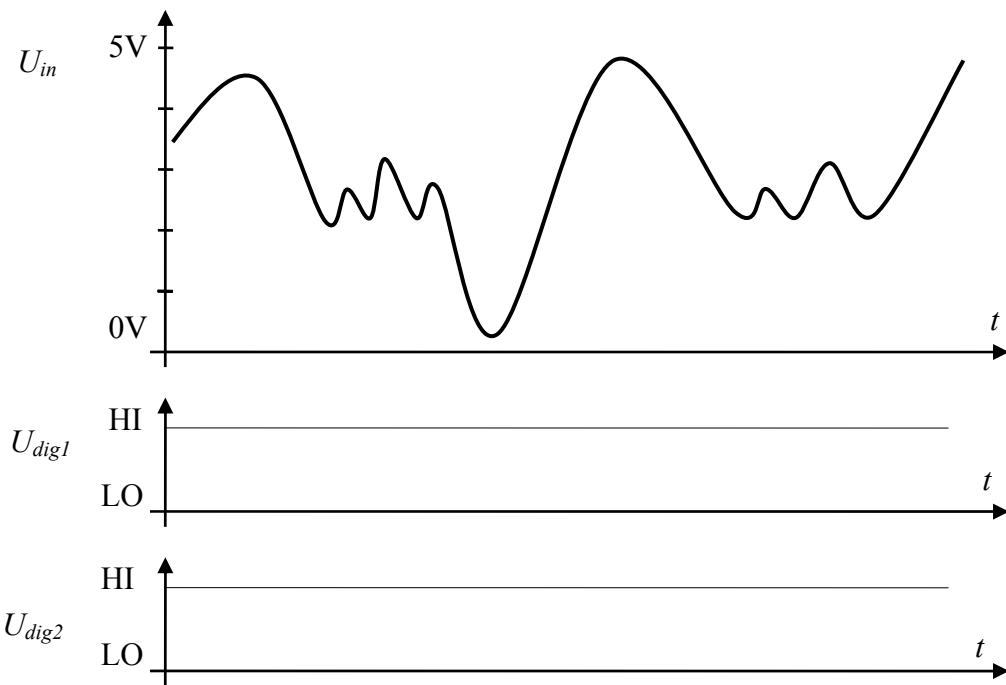


Abbildung 2.2

- Wie sieht die Ausgangsspannung am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 2.2 anlegen? Tragen Sie den Verlauf als  $U_{dig1}$  in Abbildung 2.2 ein!
- Wie könnte man die untere Schwellspannung des Schmitt-Trigger für diese Eingangsspannung besser auslegen, um Störimpulse im mittleren Spannungsbereich wirkungsvoller zu unterdrücken? Tragen Sie Ihren Verbesserungsvorschlag in die Kennlinie ein und stellen Sie den Ausgangsspannungsverlauf der verbesserten Schaltung als  $U_{dig2}$  in Abbildung 2.2 dar!

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1:

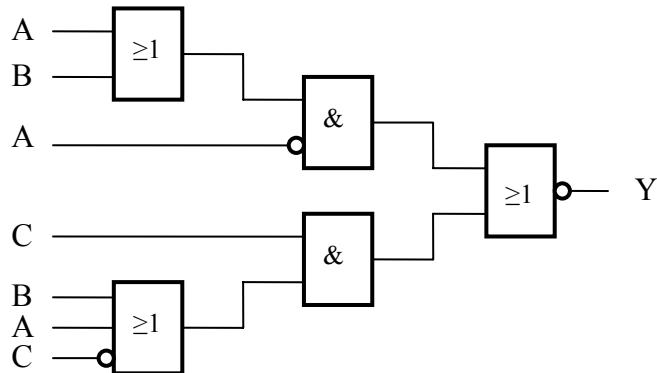


Abbildung 3.1

- (a) Ermitteln Sie für diese Schaltung die logische Gleichung, die Wahrheitstabelle und das KV-Diagramm!

Erarbeiten Sie für diese logische Funktion eine Implementierung mittels OAI-Gatter.

- (b) Leiten Sie dazu aus dem KV-Diagramm eine vereinfachte Darstellung der Gleichung ab, die Sie als OAI implementieren können!

- (c) Entwerfen und zeichnen Sie die entsprechende Schaltung für den n-Stack!

- (d) Entwerfen und zeichnen Sie die entsprechende Schaltung für den p-Stack!

- (e) Zeigen Sie, wie man die beiden Stacks richtig zur Gesamtschaltung zusammenfügt!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity mine is
port(
  robert:  in std_logic;
  monica :  in std_logic;
  paula: out std_logic_vector(0 to 2)
);
end mine;
```

```
architecture friends of mine is
  signal jessica, david:
    std_logic_vector(0 to 1);

begin
  party: process(jessica)
  begin
    case jessica is
      when "00"  => paula <= "101";
      when "01"  => paula <= "001";
      when "10"  => paula <= "110";
      when others => paula <= "010";
    end case;
  end process party;

  holiday: process(jessica)
  begin
    case jessica is
      when "00"  => david <= "01";
      when "11"  => david <= "01";
      when "01"  => david <= "10";
      when others => david <= "00";
    end case;
  end process holiday;

  dinner: process(robert, monica)
  begin
    if monica = '1' then
      jessica <= "00";
    else
      if robert'event and robert = '0'
      then
        jessica <= david;
      end if;
    end if;
  end process dinner;
end friends;
```

- (a) Identifizieren Sie Taktsignal und Reset! Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (c) Ist der Reset synchron oder asynchron? Begründen Sie
- (d) Wie viele interne Zustände nimmt die State-Machine im normalen Betrieb ein? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen?

# Vorlesungsprüfung aus Digitales Design

21. April 2004

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	10
	4	15
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was ist eine Sign-off Simulation?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Handelt es sich bei einem ROM um rein kombinatorische oder sequentielle Logik? Begründen Sie!

**Frage 4:**

Was versteht man im Zusammenhang mit der Simulation unter einem „Delta-Cycle“?

**Frage 5:**

Was ist ein EEPROM?

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Angenommen die Versorgungsspannung eines Chip liegt am unteren Ende des Toleranzbereiches. Wird der Chip dadurch schneller oder langsamer als beim Nominalwert?

**Frage 8:**

Was ist Latch-up?

**Frage 9:**

Welche Probleme treten beim „exhaustive Test“ in der praktischen Anwendung auf?

**Frage 10:**

Was versteht man unter dem „Delay insensitive Model“?

## Rechenbeispiele

### Beispiel 1

Die folgende Funktion ist in Hardware zu realisieren:

$$Y = (\neg A \vee \neg C) \wedge (B \vee \neg C)$$

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Funktion an und vereinfachen Sie!
- (b) Wenn Sie die Wahl zwischen einer Realisierung als AOI oder als OAI haben, was würden Sie bevorzugen? Begründen Sie!
- (c) Entwerfen Sie zunächst den n-Stack für Ihre bevorzugte Lösung!
- (d) Entwerfen Sie weiters den dazugehörigen p-Stack!
- (e) Stellen Sie die Realisierung der Gesamtlösung mittels FETs dar (Schaltbild)! Stellen Sie dabei auch eventuell benötigte Inverter an Ein- oder Ausgang als Transistorschaltung dar.

### Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=3,3V$  einen mittleren Strom von 2A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 3K/W$$

$$\theta_{JA} = 5K/W \text{ für Betrieb ohne Kühlkörper.}$$

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ C$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD}=4,0V$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 4,0V$  und  $T_{AMB} = 20^\circ C$  gegenüber einem Normalbetrieb bei  $V_{DD} = 3,3V$  und  $T_{AMB} = 20^\circ C$ !

$$k = 8,6 \cdot 10^{-5} \text{ eV/K} ; E_{act} = 0,7 \text{ eV} ; \gamma = 3,2 \text{ V}^{-1}$$

- (d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 20 Stunden um 1 Jahr altert (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ C$ ;  $V_{DD} = 3,3V$ ).  
Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?  
Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 4,0V)?  
Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben? Ist das technisch machbar? Begründen Sie!

### Beispiel 3

Gegeben ist der Spannungsverlauf  $U_{in}$  in Abbildung 1:

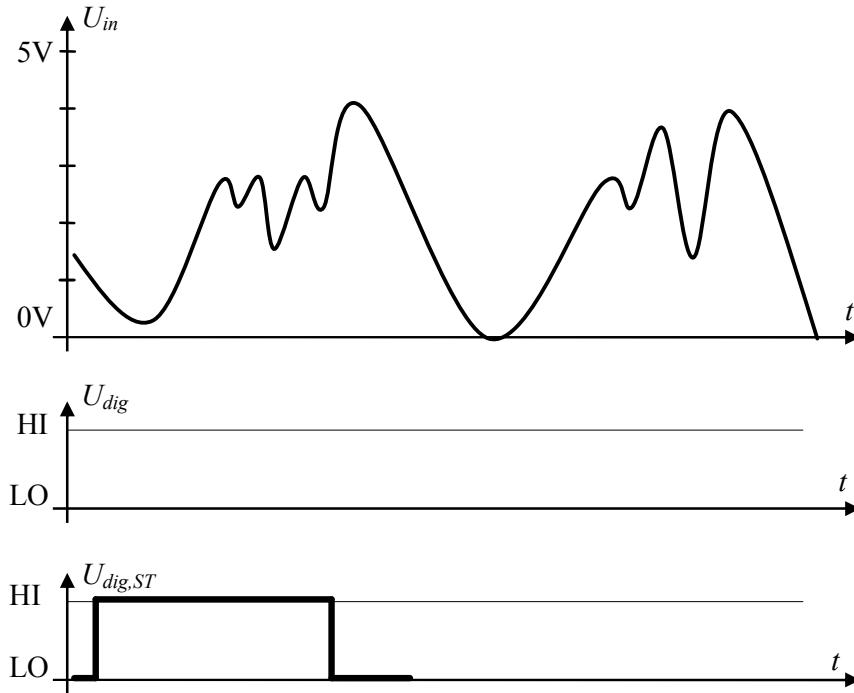


Abbildung 1

- (a) Tragen Sie in die Abbildung den Spannungsverlauf  $U_{dig}$  nach der Digitalisierung dieser Eingangsspannung ein, wenn der Schwellwert fix bei 2,0V liegt.

Angenommen Sie legen  $U_{in}$  am Eingang eines Schmitt Trigger an und erhalten am Ausgang die in Abbildung 1 unten dargestellte Spannung  $U_{dig,ST}$ .

- (b) Wo liegen die Schwellwerte dieses Schmitt-Trigger?  
 (c) Wie groß ist die Hysterese dieses Schmitt-Trigger (incl. Einheit)?  
 (d) Stellen Sie die Kennlinie dieses Schmitt-Trigger dar (Achsen beschriften!). Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird!  
 (e) Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!  
 (f) Vervollständigen Sie den Verlauf der Spannung  $U_{dig,ST}$  in Abbildung 1 unten!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity universe is
port(
  moon:      in std_logic;
  jupiter : in std_logic;
  neptun:out std_logic_vector(0 to 2)
  );
end universe;
```

```
architecture master of universe is
  signal earth, pluto:
    std_logic_vector(0 to 1);

begin
  fire: process(earth)
  begin
    case earth is
      when "00"  => neptun <= "101";
      when "01"  => neptun <= "001";
      when "10"  => neptun <= "110";
      when others => neptun <= "010";
    end case;
  end process fire;

  water: process(earth)
  begin
    case earth is
      when "00"  => pluto <= "01";
      when "10"  => pluto <= "11";
      when "01"  => pluto <= "10";
      when others => pluto <= "00";
    end case;
  end process water;

  ice: process(moon, jupiter)
  begin
    if jupiter = '1' then
      earth <= "00";
    else
      if moon'event and moon = '1' then
        earth <= pluto;
      end if;
    end if;
  end process ice;
end master;
```

- Identifizieren Sie Taktsignal und Reset! Ist der Reset HI-aktiv oder LO-aktiv?
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Wie viele Bit umfasst der Eingang dieser Schaltung? Wie viele der Ausgang? Begründen Sie!
- Wie viele interne Zustände kann die State-Machine einnehmen? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen?

# Vorlesungsprüfung aus Digitales Design

7. Juni 2005

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	10
	4	15
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was versteht man unter einem Maxterm?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Geben Sie die logische Funktion eines OAI11 an!

**Frage 4:**

Geben Sie die Signal-Resolution-Table für die Funktion OR und die Zustände {0,1,X} an!

**Frage 5:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 6:**

Wie werden beim Gate-Array mittels lauter gleicher Zellen unterschiedliche Funktionen realisiert?

**Frage 7:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 8:**

Altet ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 9:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c,d)$ .

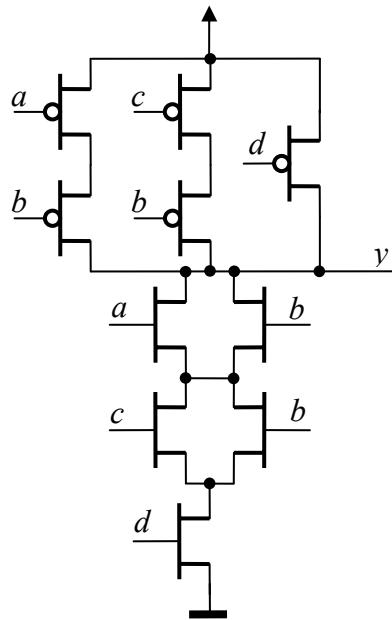


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c,d) = (0,1,0,1)$  ! Welche Transistoren leiten? Zeichnen Sie den aktiven Strompfad zum Ausgang ein!
- Geben Sie die Funktion  $y$  in Form einer Booleschen Gleichung an!
- Geben Sie die genaue Schaltungsbezeichnung an, also „AOIxxx“ bzw. „OAIxxx“!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Leiten Sie für die Funktion  $y$  eine LUT-basierte Realisierung her! Wie viele Eingänge benötigt die LUT? Wie beschalten Sie Eingänge und Ausgang/Ausgänge (Skizze)? Wie viele Speicherbits benötigt die LUT? Geben Sie eine Liste für die Speicherinhalte der LUT an!

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=3,3V$  einen mittleren Strom von 5A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 5\text{K/W}$  für Betrieb ohne Kühlkörper.

Der Chip wird mit einem Kühlkörper versehen, für den  $\theta_{CA} = 1\text{K/W}$  spezifiziert ist.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD}=4,0\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 4,0\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 3,3\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV} ; \gamma = 3,2 \text{V}^{-1}$$

(d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 12 Stunden um 6 Monate altern (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 3,3\text{V}$ ).

Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?

Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 4,0V)?

Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben? Ist das technisch machbar?

### Beispiel 3

Gegeben ist die in Abbildung 3 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 2MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt 2ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

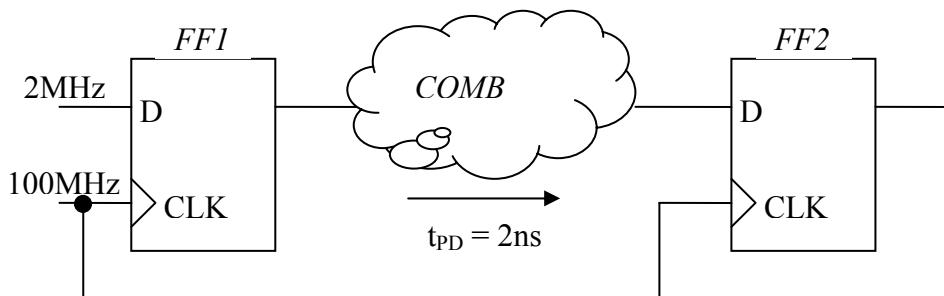


Abbildung 3

- Welche MTBU ist zu erwarten ?
- Die Testabteilung schreibt nun vor, dass vor die D-Eingänge der beiden Flipflops jeweils ein Multiplexer geschaltet werden muss. Welchen Grund wird die Testabteilung dafür haben?
- Die Multiplexer verursachen im Datenpfad ein Delay von 1ns. Welche MTBU ergibt sich nun?
- Auf welchen Wert müssten Sie die Frequenz des asynchronen Eingangssignals verringern, um wieder die ursprüngliche MTBU zu erreichen?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use     IEEE.std_logic_1164.all;
use     IEEE.std_logic_UNSIGNED.all;

entity fact is
  port(
    knife:  in std_logic;
    brian:   in std_logic;
    monty:   out std_logic;
    gun:     in std_logic;
    rock:    in std_logic;
    python:  out std_logic;
  );
end fact;

architecture matter of fact is
  signal kill, bill, bob:
    std_logic_vector(0 to 1);
begin
  quentin: process(knife, gun)
  begin
    kill <= '1';
    if knife = '1' then
      kill <= '0';
    end if;
    if gun = '1' then
      kill <= '0';
    end if;
  end process quentin;

  tarantino: process(rock, kill, bob)
  begin
    if rock'event and rock = '1' then
      if kill = '0' then
        bill <= "00";
      else
        bill <= bob;
      end if;
    end if;
  end process tarantino;

  cinema: process(bill, brian)
  begin
    monty <= '1';
    python <= '1';
    if brian = '0' then
      python := '0';
    end if;
    case bill is
      when "10"    => bob <= "11";
      when "00"    => bob <= "01";
                           monty <= '0';
      when "01"    => bob <= "10";
                           python <= '0';
      when others => bob <= "00";
                           monty <= '0';
                           python <= '0';
    end case;
  end process cinema;
end matter;
```

- Identifizieren Sie Taktsignal und Reset! Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- Welches Signal repräsentiert den Zustand der State-Machine? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen synchrone Aktualisierung erfolgt! Begründen Sie!
- Welches Signal repräsentiert den Folgezustand (Next-State)? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen Aktualisierung erfolgt! Begründen Sie!
- Welche Signale sind Inputs, welche Outputs? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem die Aktualisierung der Outputs erfolgt!
- Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type? Begründen Sie!

# Vorlesungsprüfung aus Digitales Design

8. März 2005

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Warum benötigt man beim JK-Flip-Flop keinen Clock-Enable-Eingang?

**Frage 2:**

Welche elektrische Funktion hat das Siliziumdioxid im Chip?

**Frage 3:**

Beschreiben Sie die logische Funktion eines AOI211! Skizzieren Sie seinen Aufbau aus Transistoren!

**Frage 4:**

Was wird in Zukunft immer kritischer für das Timing: der Interconnect-Delay oder der Gate-Delay? Begründen Sie?

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 6:**

Was ist ein IP-Core?

**Frage 7:**

Angenommen die Versorgungsspannung eines Chip liegt am oberen Ende des Toleranzbereiches. Wird der Chip dadurch schneller oder langsamer als beim Nominalwert?

**Frage 8:**

Wie wirkt sich hohe Temperatur auf die Lebenserwartung eines Chips aus? Durch welches Gesetz wird diese Auswirkung quantitativ beschrieben?

**Frage 9:**

Was ist ein struktureller Test?

**Frage 10:**

Was ist „Burn-in“ und welchen Zweck hat es?

## Rechenbeispiele

### Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

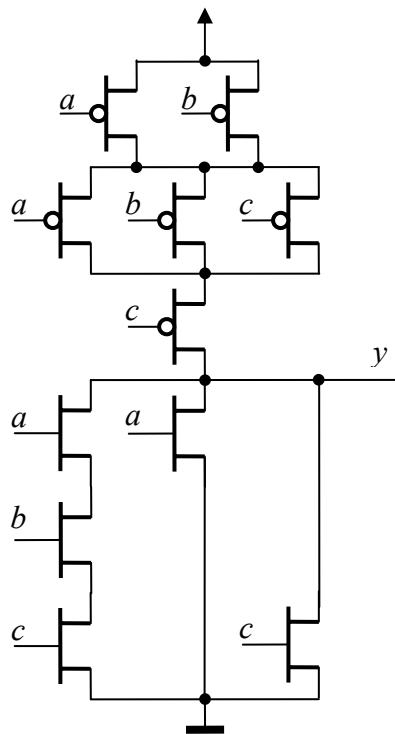


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,1,0)$  !
- Was passiert beim Anlegen des Musters  $(a,b,c) = (1,0,0)$ ? Begründen Sie!
- Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Leiten Sie aus dem KV Diagramm eine vereinfachte Darstellung der Funktion  $y$  her
- Zeichnen Sie die FET-Realisierung dieser vereinfachten Form. Was hat sich geändert? Warum?

## Beispiel 2

Gegeben sind zwei Variable A und B mit 2 Bit Wortbreite, d.h.  $A = (a_1, a_0)$ ,  $B = (b_1, b_0)$ . Gesucht ist die Realisierung einer Funktion  $Y = f(A, B)$ , die genau dann „1“ ausgibt, wenn  $A < B$ . A und B sind binär codierte positive Integer-Werte, es gilt also  $(0,0) < (0,1) < (1,0) < (1,1)$ .

(a) Skizzieren Sie, wie Sie diese Funktion Y mittels eines ROM implementieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

(b) Skizzieren Sie, wie Sie diese Funktion Y mittels einer PAL-Struktur implementieren würden:

Wie viele p-Terms benötigen Sie?

Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert werden müssen mit „O“

(c) Leiten Sie eine Realisierung für die Funktion Y mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 4MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt 2,5ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,5\text{ns} ; \quad \tau_C = 0,25\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

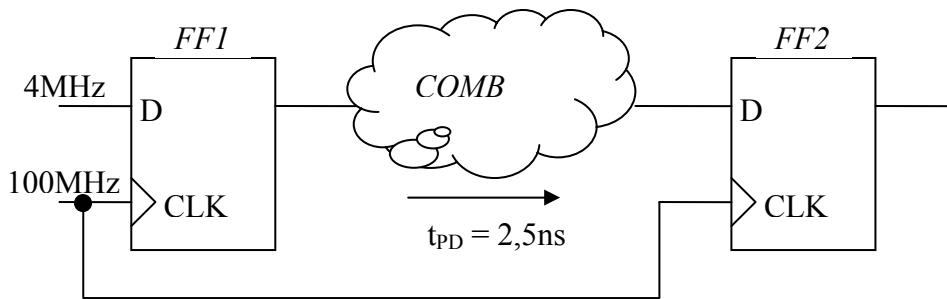


Abbildung 3.1

- Welche MTBU ist zu erwarten ?
- Die Testabteilung schreibt nun vor, dass vor die D-Eingänge der beiden Flipflops jeweils ein Multiplexer geschaltet werden muss. Welchen Grund wird die Testabteilung dafür haben?
- Die Multiplexer verursachen im Datenpfad ein Delay von 2ns. Welche MTBU ergibt sich nun?
- Auf welchen Wert müssten Sie die Frequenz des asynchronen Eingangssignals verringern, um wieder die ursprüngliche MTBU zu erreichen?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine, die die Steuersignale `wind`, `snow` und `ice` generiert:

```
library IEEE;
use      IEEE.std_logic_1164.all;
use      IEEE.std_logic_UNSIGNED.all;

entity winter is
  port(
    cold   : in std_logic;
    freeze : in std_logic;
    wind: out std_logic;
    snow : out std_logic;
    ice: out std_logic_vector(0 to 3)
  );
end winter;
```

```
architecture joys of winter is
  signal ski, bob:
    std_logic_vector(0 to 1);

begin
  peak: process(ski, freeze)
  variable sun: std_logic_vector(0 to 3);
  begin
    if freeze = '1' then
      sun := "0000";
    end if;
    case ski is
      when "00"  => wind <= '1';
                      snow  <= '1';
      when "01"  => wind <= '0';
                      sun  := sun + '1';
                      snow <= '1';
      when others => wind <= '0';
                      snow  <= '0';
    end case;
    ice <= sun;
  end process peak;

  mountain: process(ski)
  begin
    case ski is
      when "00"  => bob <= "01";
      when "01"  => bob <= "10";
      when "10"  => bob <= "11";
      when others => bob <= "00";
    end case;
  end process mountain;

  hill: process(cold, freeze)
  begin
    if freeze = '1' then
      ski <= "00";
    else
      if cold'event and cold = '1' then
        ski <= bob;
      end if;
    end if;
  end process hill;
end joys;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- (d) Tragen Sie den Zeitverlauf von `wind`, `snow` und `ice` in Abbildung 4.1 ein!

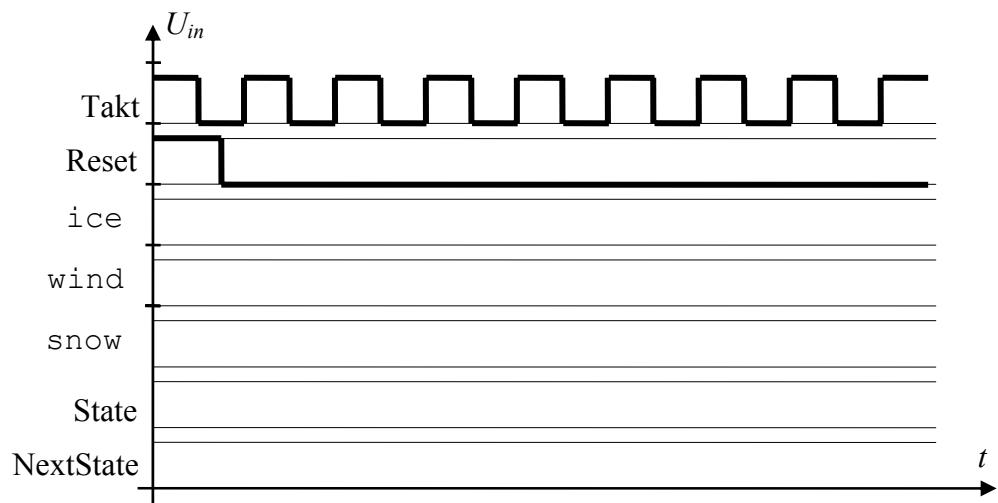


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

8. März 2005

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Warum benötigt man beim JK-Flip-Flop keinen Clock-Enable-Eingang?

**Frage 2:**

Welche elektrische Funktion hat das Siliziumdioxid im Chip?

**Frage 3:**

Beschreiben Sie die logische Funktion eines AOI211! Skizzieren Sie seinen Aufbau aus Transistoren!

**Frage 4:**

Was wird in Zukunft immer kritischer für das Timing: der Interconnect-Delay oder der Gate-Delay? Begründen Sie?

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 6:**

Was ist ein IP-Core?

**Frage 7:**

Angenommen die Versorgungsspannung eines Chip liegt am oberen Ende des Toleranzbereiches. Wird der Chip dadurch schneller oder langsamer als beim Nominalwert?

**Frage 8:**

Wie wirkt sich hohe Temperatur auf die Lebenserwartung eines Chips aus? Durch welches Gesetz wird diese Auswirkung quantitativ beschrieben?

**Frage 9:**

Was ist ein struktureller Test?

**Frage 10:**

Was ist „Burn-in“ und welchen Zweck hat es?

## Rechenbeispiele

### Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

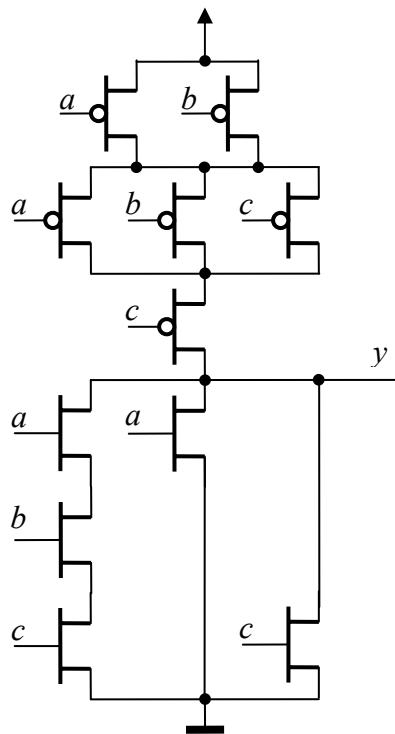


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,1,0)$  !
- Was passiert beim Anlegen des Musters  $(a,b,c) = (1,0,0)$ ? Begründen Sie!
- Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Leiten Sie aus dem KV Diagramm eine vereinfachte Darstellung der Funktion  $y$  her
- Zeichnen Sie die FET-Realisierung dieser vereinfachten Form. Was hat sich geändert? Warum?

## Beispiel 2

Gegeben sind zwei Variable A und B mit 2 Bit Wortbreite, d.h.  $A = (a_1, a_0)$ ,  $B = (b_1, b_0)$ . Gesucht ist die Realisierung einer Funktion  $Y = f(A, B)$ , die genau dann „1“ ausgibt, wenn  $A < B$ . A und B sind binär codierte positive Integer-Werte, es gilt also  $(0,0) < (0,1) < (1,0) < (1,1)$ .

(a) Skizzieren Sie, wie Sie diese Funktion Y mittels eines ROM implementieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

(b) Skizzieren Sie, wie Sie diese Funktion Y mittels einer PAL-Struktur implementieren würden:

Wie viele p-Terms benötigen Sie?

Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert werden müssen mit „O“

(c) Leiten Sie eine Realisierung für die Funktion Y mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 4MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt 2,5ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,5\text{ns} ; \quad \tau_C = 0,25\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

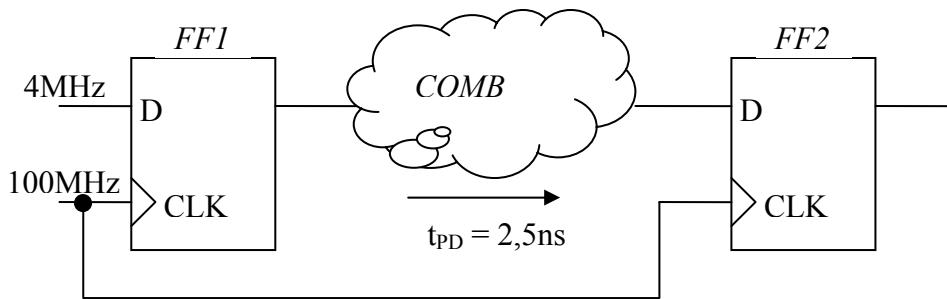


Abbildung 3.1

- Welche MTBU ist zu erwarten ?
- Die Testabteilung schreibt nun vor, dass vor die D-Eingänge der beiden Flipflops jeweils ein Multiplexer geschaltet werden muss. Welchen Grund wird die Testabteilung dafür haben?
- Die Multiplexer verursachen im Datenpfad ein Delay von 2ns. Welche MTBU ergibt sich nun?
- Auf welchen Wert müssten Sie die Frequenz des asynchronen Eingangssignals verringern, um wieder die ursprüngliche MTBU zu erreichen?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine, die die Steuersignale `wind`, `snow` und `ice` generiert:

```
library IEEE;
use      IEEE.std_logic_1164.all;
use      IEEE.std_logic_UNSIGNED.all;

entity winter is
  port(
    cold   : in std_logic;
    freeze : in std_logic;
    wind: out std_logic;
    snow : out std_logic;
    ice: out std_logic_vector(0 to 3)
  );
end winter;
```

```
architecture joys of winter is
  signal ski, bob:
    std_logic_vector(0 to 1);

begin
  peak: process(ski, freeze)
  variable sun: std_logic_vector(0 to 3);
  begin
    if freeze = '1' then
      sun := "0000";
    end if;
    case ski is
      when "00"  => wind <= '1';
                      snow  <= '1';
      when "01"  => wind <= '0';
                      sun  := sun + '1';
                      snow <= '1';
      when others => wind <= '0';
                      snow  <= '0';
    end case;
    ice <= sun;
  end process peak;

  mountain: process(ski)
  begin
    case ski is
      when "00"  => bob <= "01";
      when "01"  => bob <= "10";
      when "10"  => bob <= "11";
      when others => bob <= "00";
    end case;
  end process mountain;

  hill: process(cold, freeze)
  begin
    if freeze = '1' then
      ski <= "00";
    else
      if cold'event and cold = '1' then
        ski <= bob;
      end if;
    end if;
  end process hill;
end joys;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- (d) Tragen Sie den Zeitverlauf von `wind`, `snow` und `ice` in Abbildung 4.1 ein!

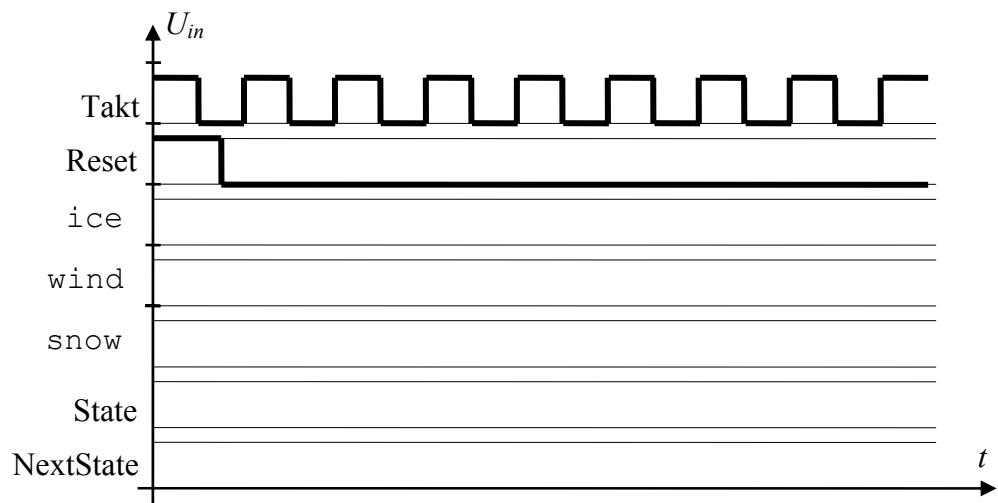


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

11. Oktober 2005

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche 4 Funktionen sind mit einem JK-Flip-Flop realisierbar (Bitkombinationen von J und K)?

**Frage 2:**

Was besagt das Moore'sche Gesetz

**Frage 3:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 4:**

Erläutern Sie die Auswirkung einer verspäteten Markteinführung eines Produktes auf den Gewinn.

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 8:**

Altet ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 9:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Gegeben ist die folgende logische Funktion:

$$Y(A,B,C,D,E,F) = (A \wedge B \wedge E) \vee (A \wedge F \wedge E \wedge \neg F) \vee (C \wedge \neg D) \vee \neg(\neg A \vee B \vee \neg E)$$

(a) Vereinfachen Sie diese Funktion nach Möglichkeit und geben Sie dann Wahrheitstabelle und KV-Diagramm an!

(b) Skizzieren Sie, wie Sie diese Funktion mittels eines ROM implementieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

(c) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:

Wie viele p-Terms benötigen Sie?

Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert werden müssen mit "O"

## Beispiel 2

Gegeben ist die Schaltung in Abbildung 2.1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.

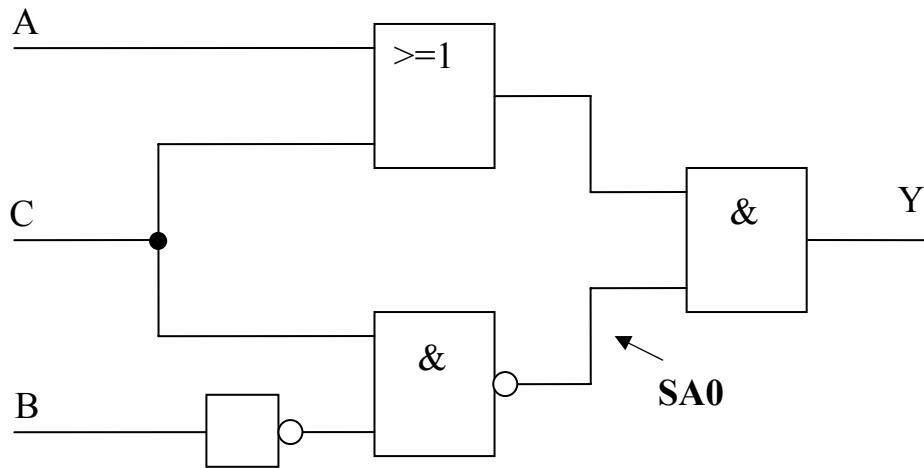
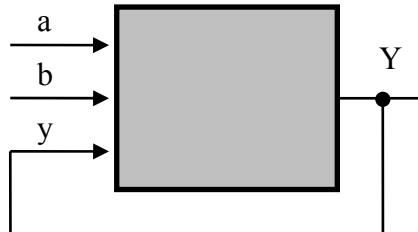


Abbildung 2.1

- Welche Grundfunktion erfüllt diese Schaltung ?
- Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- In Abbildung 2.1 ist ein Knoten mit „SA0“ gekennzeichnet. Ermitteln Sie alle Testvektoren die geeignet sind, diesen Fehler zu entdecken. Bezeichnen Sie die dazu nötigen Schritte.
- Zeigen Sie in der Schaltung ein Beispiel für Fehleräquivalenz!
- Zeigen Sie in der Schaltung ein Beispiel für Fehlerdominanz!

### Beispiel 3

Das in Abbildung 3.1 dargestellte Feedback Gate realisiert eine logische Verknüpfung in Null-Convention Logic (NCL).



a	N						F						T					
b	N		F		T		N		F		T		N		F		T	
y	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T
Y	N	N	N	N	F	T	N	F	T	N	F	T	F	F	F	T	T	F

**Abbildung 3.1**

(a) Die Eingänge (a,b) der Schaltung durchlaufen folgende Sequenz:

(T,T)

(T,N)

(N,N)

(N,T)

(N,N)

(N,F)

(F,F)

Geben Sie neben jedem Eingangswort jeweils den zugehörigen Ausgang an!

- (b) Kennzeichnen Sie in Abbildung 3.1 alle instabilen Zustände (Spalten in der Tabelle), also jene, in denen die Schaltung sich nur vorübergehend befinden kann, durch ein „x“ unter der jeweiligen Spalte.
- (c) Welche logische Verknüpfung von a und b wird durch die Schaltung realisiert?
- (d) Welche Einträge müsste man ändern, um aus der Schaltung die Verknüpfung  $Y = a \text{ OR } b$  zu machen? (Rahmen Sie die zu ändernden Einträge in der Tabelle ein und geben Sie die neuen Einträge an)
- (e) Welchen Zweck hat die Rückkopplung für die Realisierung der NCL-Schaltung?

## Beispiel 4

Gegeben ist folgender VHDL-Code:

library IEEE; use IEEE.std_logic_1164.all; use IEEE.std_logic_UNSIGNED.all;  entity universe is port( sun: in bit_vector(4 downto 1); moon: in bit_vector(0 to 2); mars: in bit; venus: out bit_vector(3 downto 0); pluto: out bit_vector(0 to 5) ); end universe;	architecture master of universe is  signal star: bit_vector(4 to 7);  begin  shine: process(sun, mars) star <= others =>'0'; star <= (5<='1', 4<=mars); star(5) <= sun(2); venus <= star AND sun; pluto <= others =>'1'; end process shine;  pluto <= (moon & moon);  end master;
--	---

Am Eingang der Schaltung liegen folgende Signale:

sun = "1001", moon = "110", mars = '1'

- (a) Welchen Wert nimmt venus an? Begründen Sie!
- (b) Welches Ergebnis erhalten Sie für pluto? Begründen Sie!
- (c) Was würde sich ändern, wenn star kein Signal sondern eine Variable wäre? Begründen Sie!

# Vorlesungsprüfung aus Digitales Design

12. Januar 2005

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was versteht man unter einem Maxterm?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Handelt es sich bei einem ROM um rein kombinatorische oder sequentielle Logik? Begründen Sie!

**Frage 4:**

Geben Sie die Signal-Resolution-Table für die Funktion OR und die Zustände {0,1,X} an!

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Was versteht man im Zusammenhang mit einem PLD unter einem Product Term?

**Frage 8:**

Wozu benötigt man bei der Fertigung eines ICs die Masken?

**Frage 9:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 10:**

Was versteht man unter einem Glitch? Wie kommt es zu seinem Auftreten?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, mit der Sie überprüfen können, ob drei Eingangsbits logisch übereinstimmen. Die Schaltung soll also am Ausgang  $y$  genau dann 1 ausgeben, wenn die logischen Zustände an den drei Eingängen  $a, b, c$  gleich sind, also  $(0,0,0)$  oder  $(1,1,1)$ .

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Geben Sie die Gleichung der logischen Verknüpfung einmal in konjunktiver und einmal in disjunktiver Normalform an!
- (c) Geben Sie an, wie Sie diese Schaltung mittels LUT realisieren können: Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!
- (d) Geben Sie eine möglichst einfache Realisierung der Funktion mittels AOI bzw. OAI an (was ist einfacher?). Zeichnen Sie die Schaltung als Realisierung mittels FETs!
- (e) Vergleichen Sie die Implementierungen aus (c) und (d): Wie viele Gatteräquivalente benötigen Sie für (d)? Nehmen Sie an, für eine Speicherzelle der LUT werden 6 Transistoren benötigt, und die restliche Logik sei vernachlässigbar – wie viele Gatteräquivalente benötigt die LUT-Lösung aus (c) ?

## Beispiel 2

Von einer Versorgungsleitung in einem Chip seien folgende Kennwerte bekannt:

Querschnitt =  $15\mu\text{m}^2$ ; Material: Aluminium ( $E_{\text{act}} = 0.7\text{eV}$ );  $k = 8,6 \cdot 10^{-5}\text{eV/K}$

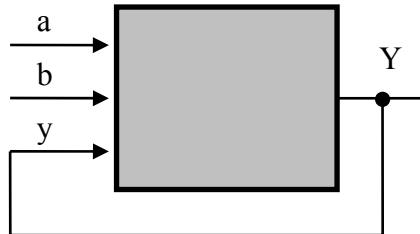
Bei Betrieb mit einem Strom von 2A und einer Junction-Temperatur  $T_J = 80^\circ\text{C}$  beträgt die MTTF dieser Leitung 10 Jahre.

Aufgrund eines Maskenfehlers bei der Fertigung beträgt der Querschnitt dieser Leitung jedoch nur  $5\mu\text{m}^2$ .

- (a) Welche MTTF ist zu erwarten?
- (b) Beim Burn-in wird der Chip 100 Stunden lang (bei unveränderter Versorgungsspannung) mit  $T_J = 140^\circ\text{C}$  betrieben. Welcher Betriebsdauer entspricht dies bei Normalbetrieb?
- (c) Ist der Test geeignet, den Defekt zu erkennen? Begründen Sie!

### Beispiel 3

Das in Abbildung 2 dargestellte Feedback Gate realisiert eine logische Verknüpfung in Null-Convention Logic (NCL).



a	N						F						T						N								
	N			F			T			N			F			T			N			F			T		
y	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T
Y	N	N	N	N	F	T	N	F	T	N	F	T	F	F	F	T	T	T	N	F	T	T	T	T	T	T	T

**Abbildung 2**

(a) Die Eingänge (a,b) der Schaltung durchlaufen folgende Sequenz:

(T,T)

(T,N)

(N,N)

(N,F)

(T,F)

(N,F)

(T,F)

Geben Sie neben jedem Eingangswort jeweils den zugehörigen Ausgang an!

- (b) Kennzeichnen Sie in Abbildung 1 alle instabilen Zustände (Spalten in der Tabelle), also jene, in denen die Schaltung sich nur vorübergehend befinden kann, durch ein „x“ unter der jeweiligen Spalte.
- (c) Welche logische Verknüpfung von a und b wird durch die Schaltung realisiert?
- (d) Welche Einträge müsste man ändern, um aus der Schaltung die Verknüpfung  $Y=a \text{ XOR } b$  zu machen? (Rahmen Sie die zu ändernden Einträge in der Tabelle ein und geben Sie die neuen Einträge an)
- (e) Welchen Zweck hat die Rückkopplung für die Realisierung der NCL-Schaltung?

## Beispiel 4

Analysieren Sie den folgenden VHDL-Code:

```
architecture roulette of russia is
  signal a, b, k, p, x, y: std_logic;
begin
  KIEW: process(a, x)
    if x = '0' then
      y <= a;
    else
      y <= NOT(a)
    end if;
  end process KIEW;

  MOSCOW: process(k, p)
    if k = '1' then
      a <= '0';
    else
      if p'event and p = '1' then
        a <= y;
      end if;
    end if;
  end process MOSCOW;

  TALLIN: process(a, x)
    if x = '1' then
      b <= '0';
    else
      b <= a;
    end if;
  end process TALLIN;
end roulette;
```

- (a) Welches Signal entspricht dem Takt? Begründen Sie!  
Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Welches Signal entspricht dem Reset?  
Handelt es sich um einen synchronen oder einen asynchronen Reset?  
Ist der Reset HI-aktiv oder LO-aktiv? Begründen Sie!
- (c) Welches Signal entspricht dem internen Zustand der State-Machine?
- (d) Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type?  
Begründen Sie!  
Beschreiben Sie die Teilaufgaben der einzelnen Prozesse!
- (e) Beschreiben Sie die Funktion des Codes:  
Welches Signal entspricht dem Eingang, welches dem Ausgang?  
Was passiert mit dem Zustand der State-Machine und dem Ausgang wenn der Eingang auf '1' geht? Was passiert beim Reset?

# Vorlesungsprüfung aus Digitales Design

12. April 2005

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was besagt das Theorem von De Morgan?

**Frage 2:**

Kann es sinnvoll sein, ein Design aus Kostengründen auf 2 Chips aufzuteilen? Begründen Sie!

**Frage 3:**

Beschreiben Sie die logische Funktion eines OAI221! Skizzieren Sie seinen Aufbau aus Transistoren!

**Frage 4:**

Erläutern Sie die Auswirkung einer verspäteten Markteinführung eines Produktes auf den Gewinn!

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Kann man mit einer LUT mit 16 Bit *alle* Funktionen mit 4 Variablen realisieren?

**Frage 7:**

Was versteht man unter Metastabilität?

**Frage 8:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 9:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

**Frage 10:**

Was besagt die „Rule of Ten“?

## Rechenbeispiele

### Beispiel 1

Für eine 7-Segment-Anzeige soll eine Ansteuerung realisiert werden: Der Eingang  $Z = (z_3, z_2, z_1, z_0)$  ist ein binär codierter positiver Integer-Wert. Dieser Wert soll durch geeignete Ansteuerung der Leuchtsegmente a, b, c, d, e, f, g als Ziffer auf einem Display dargestellt werden. Die Lage der einzelnen Segmente ist in Abbildung 1.1 (rechts) gegeben. Ein Segment leuchtet bei Ansteuerung mit „1“.

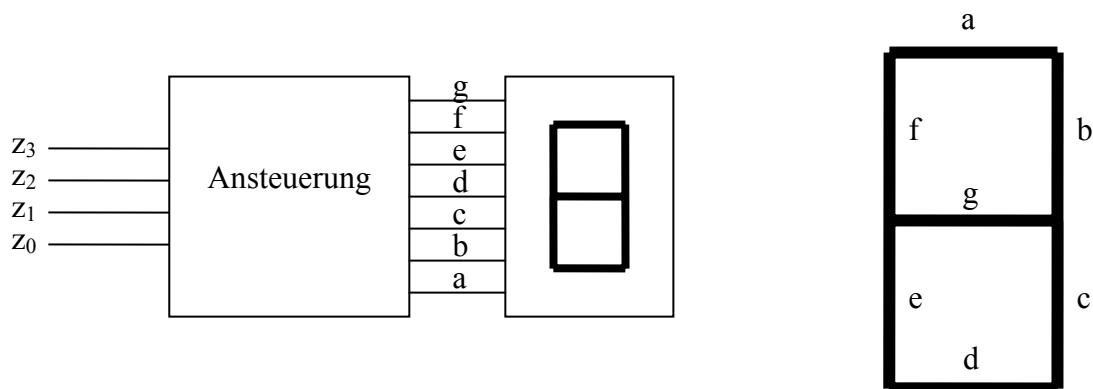


Abbildung 1.1

- Geben Sie die Wahrheitstabelle für die Leuchtsegmente c und e an! (Für Eingänge, die einem Integer größer als 9 entsprechen, kann der Ausgang beliebig sein – tragen Sie daher ein „X“ in die Wahrheitstabelle ein).
- Zeichnen Sie das KV-Diagramm für Leuchtsegment c! Leiten Sie daraus eine konjunktive Normalform ab, die mit möglichst wenig Maxtermen auskommt. Belegen Sie dazu die „X“-Werte wieder geeignet mit „0“ und „1“.
- Skizzieren Sie, wie Sie diese Verknüpfung für c mittels einer PAL-Struktur implementieren würden (Ausgangsinverter ist verfügbar):  
Wie viele p-Terms benötigen Sie bei bestmöglicher Auslegung?  
Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert werden müssen mit “O“
- Zeichnen Sie das KV-Diagramm für Leuchtsegment e! Leiten Sie daraus eine disjunktive Normalform ab, die mit möglichst wenig und möglichst kurzen Mintermen auskommt. Belegen Sie dazu die X-Werte geeignet mit „0“ und „1“.
- Leiten Sie eine Realisierung der für e benötigten Verknüpfung mittels Multiplexer-basierter Logik (Prinzip wie im ACTEL-FPGA, ohne Register) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

Gegeben ist der Spannungsverlauf  $U_{in}$  in Abbildung 2.1:

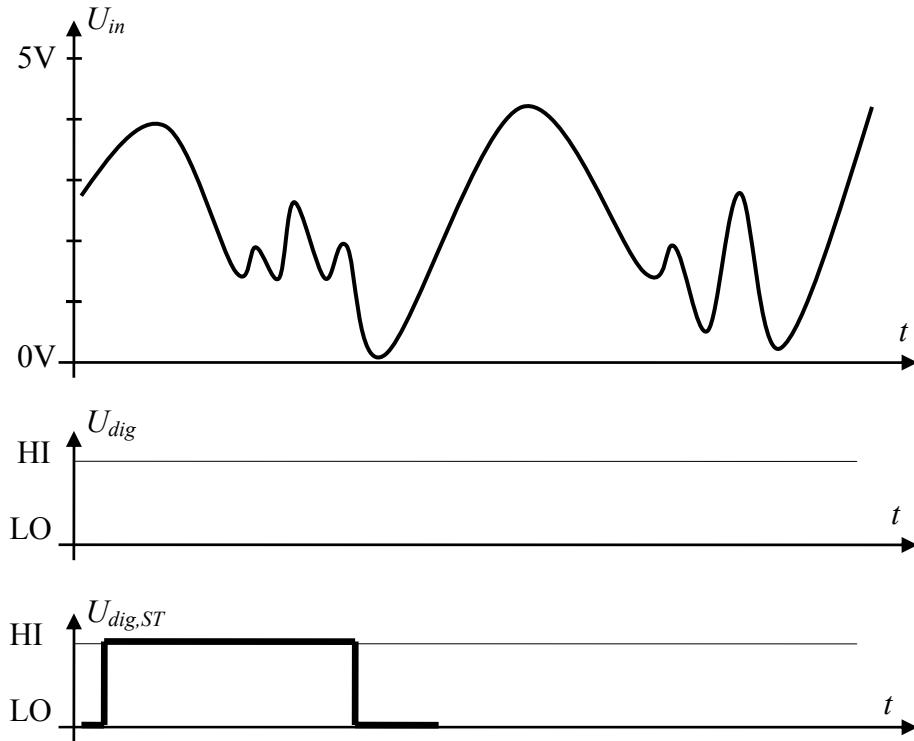


Abbildung 2.1

- (a) Tragen Sie in die Abbildung den Spannungsverlauf  $U_{dig}$  nach der Digitalisierung dieser Eingangsspannung ein, wenn der Schwellwert fix bei 2,0V liegt.

Angenommen Sie legen  $U_{in}$  am Eingang eines Schmitt Trigger an und erhalten am Ausgang die in Abbildung 1 unten dargestellte Spannung  $U_{dig,ST}$ .

- (b) Wo liegen die Schwellwerte dieses Schmitt-Trigger?
- (c) Wie groß ist die Hysterese dieses Schmitt-Trigger (incl. Einheit)?
- (d) Stellen Sie die Kennlinie dieses Schmitt-Trigger dar (Achsen beschriften!). Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird!
- (e) Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!
- (f) Vervollständigen Sie den Verlauf der Spannung  $U_{dig,ST}$  in Abbildung 1 unten!

### Beispiel 3

Gegeben sei ein CPU-Chip, der nominal bei 5V Versorgungsspannung, 25°C Umgebungs-temperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 85°C erreicht. Abbildung 3.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 97% der gefertigten Chips funktionieren. Bei den restlichen 3% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

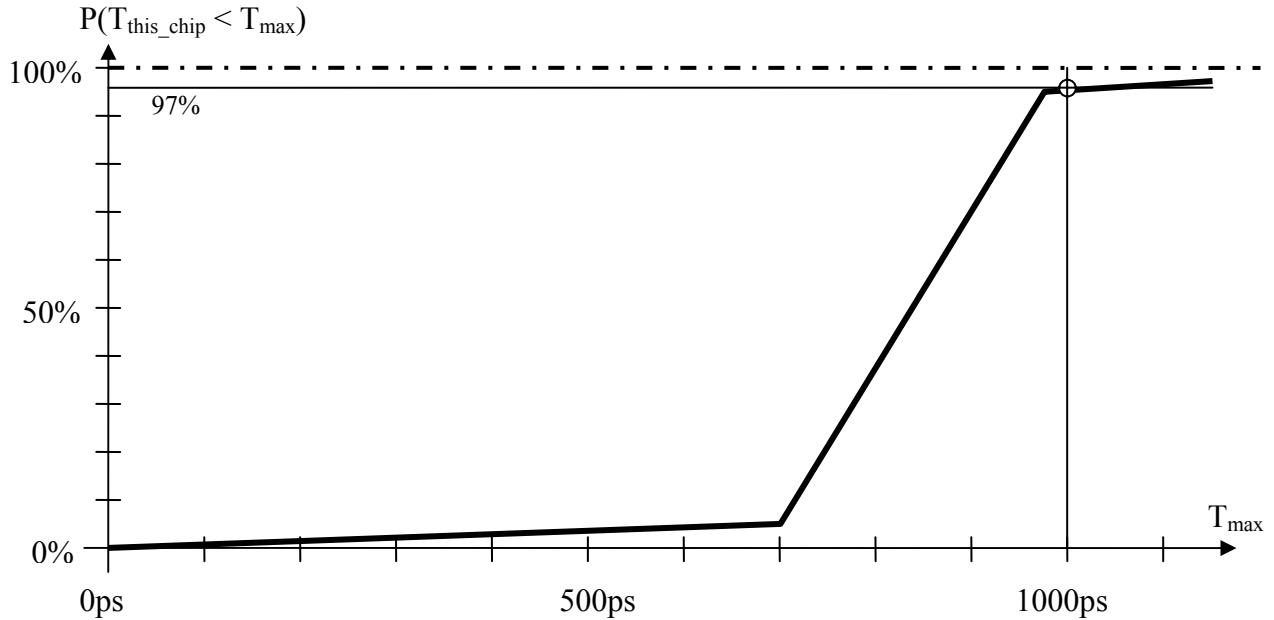


Abbildung 3.1

- Würde man den Chip um 25% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 3.1 der Prozentsatz der auszuscheidenden Chips?
- Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,25GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.
- Wie hoch wird die Die-Temperatur bei 1,25GHz? (Nehmen Sie an, dass dynamische Ströme die Verlustleistung dominieren).
- Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,25GHz? ( $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{act} = 0,7 \text{ eV}$ )
- Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den genauen (relativen) Wert dieser Änderung!

T <sub>junction</sub>	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C	115°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er trotz der Erwärmung noch bei 1,25GHz funktioniert? Wie hoch ist daher nun – unter Berücksichtigung der Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_UNSIGNED.all;

entity wales is
  port(
    butler : in std_logic;
    queen : out std_logic;
    rolls : out std_logic;
    news : in std_logic;
    ..william: in std_logic;
    ..harry :out std_logic_vector(0 to 2);
    press : out std_logic_vector(0 to 3)
  );
end wales;
```

```
architecture prince of wales is
  signal lady, madam:
    std_logic_vector(0 to 1);

  castle: process(lady, butler)
  variable scandal: std_logic_vector(0 to 3);
  begin
    if butler = '0' then
      scandal := "0000";
    end if;
    case lady is
      when "10"  => queen <= '1';
                      rolls <= '1';
      when "01"  => queen <= '0';
                      scandal := scandal + '1';
                      rolls <= '1';
      when others => queen <= '0';
                      rolls <= '0';
    end case;
    press <= scandal;
  end process castle;

  palace: process(news, butler)
  begin
    if butler = '0' then
      lady <= "00";
    else
      if news'event and news = '1' then
        lady <= madam;
      end if;
    end if;
  end process palace;

  begin
  church: process(lady)
  begin
    case lady is
      when "10"  => madam <= "11";
      when "00"  => madam <= "01";
      when "01"  => madam <= "10";
      when others => madam <= "00";
    end case;
  end process church;
end prince;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Tragen Sie den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf von queen, rolls und press !

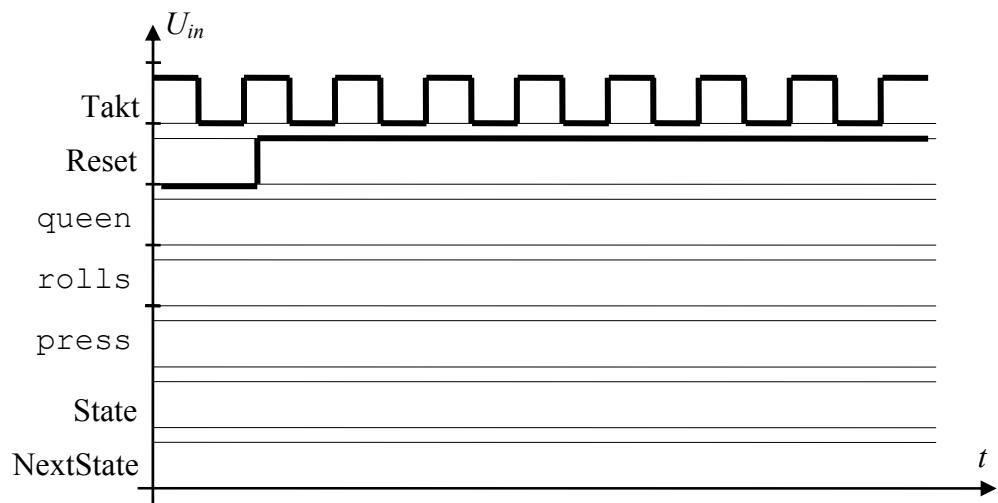


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

22. November 2005

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Was ist eine Sign-off Simulation?

**Frage 6:**

Welchen Vorteil bietet die 2-dimensionale Decodierung beim ROM?

**Frage 7:**

Wozu verwendet man eine Antifuse?

**Frage 8:**

Angenommen die Versorgungsspannung eines Chip liegt am unteren Ende des Toleranzbereiches. Werden die Delays dadurch höher oder geringer als beim Nominalwert?

**Frage 9:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 10:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

## Rechenbeispiele

### Beispiel 1

Zu entwerfen ist eine Schaltung, die die Zahlen 0 bis 7 (codiert als positive Integer) an einer Kette von 7 Leuchtdioden (LED\_1 ... LED\_7) so ausgibt, dass bei „0“ keine LED leuchtet, bei „1“ leuchtet LED\_1 bei „2“ leuchten LED\_1 und LED\_2 und bei „7“ leuchten alle LEDs (siehe Abbildung 1.1). Nehmen Sie an, eine LED leuchtet, wenn sie mit „1“ angesteuert wird.

	LED_1	LED_2	LED_3	LED_4	LED_5	LED_6	LED_7	
„0“	□	□	□	□	□	□	□	
„1“	■	□	□	□	□	□	□	„leuchtet“
„2“	■	■	□	□	□	□	□	
„3“	■	■	■	□	□	□	□	„leuchtet nicht“
„4“	■	■	■	■	□	□	□	
„5“	■	■	■	■	■	□	□	
„6“	■	■	■	■	■	■	□	
„7“	■	■	■	■	■	■	■	

Abbildung 1.1

- Geben Sie die Wahrheitstabelle für alle LEDs an!
- Geben Sie die logische Verknüpfung an, die Sie für LED\_4 realisieren müssen!
- Zeichnen Sie das KV-Diagramm für LED\_5 und geben Sie die benötigte Funktion in konjunktiver Normalform an!
- Zeichnen Sie das KV-Diagramm für LED\_3 und geben Sie die benötigte Funktion in disjunktiver Normalform an!
- Geben Sie ein Schaltbild an, wie Sie die Funktion für LED\_1 mittels Multiplexern realisieren können (ähnlich den ACT-Bausteinen)

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD} = 5V$  einen mittleren Strom von 4A. Im Datenblatt finden Sie folgende Angaben:

$$\theta_{JC} = 3K/W$$

$\theta_{CA} = 1K/W$  für Betrieb mit Lüfter.

Taktfrequenz 100MHz.

Für alle weiteren Fragen gilt ( $T_{AMB} = 20^\circ C$ ).

- (a) Welche Temperatur  $T_J$  erreicht der Die im Normalbetrieb bei  $T_{AMB} = 20^\circ C$ ?
  - (b) Nach einem Lüfterausfall des steigt  $\theta_{CA}$  auf 5K/W. Welche Temperatur  $T_J$  erreicht der Die nun?
- Nehmen Sie im Weiteren an, Sie wollen eine Schaltung realisieren, die einen Ausfall des Lüfters erkennt und anschließend die Frequenz vermindert, sodass der Chip in einem „Notbetrieb“ noch mit verringertem Takt betrieben werden kann.
- (c) Bei welcher Gehäusetemperatur sollte der Notbetrieb aktiviert werden?  
(Hinweis: Ermitteln Sie die Gehäusetemperatur bei Normalbetrieb und aktivieren Sie den Notbetrieb bei 5° Überschreitung dieses Wertes.)
  - (d) Auf welche Frequenz müssten Sie den Takt reduzieren, damit die Die-Temperatur  $120^\circ C$  nicht überschreitet? (Nehmen Sie an, dass die statische Verlustleistung vernachlässigbar ist)

### Beispiel 3

Von einer Versorgungsleitung in einem Chip seien folgende Kennwerte bekannt:

Querschnitt =  $10\mu\text{m}^2$ ; Material: Aluminium ( $E_{act} = 0.7\text{eV}$ );  $k = 8,6 \cdot 10^{-5}\text{eV/K}$

Bei Betrieb mit einem Strom von 2A und einer Junction-Temperatur  $T_J = 80^\circ\text{C}$  beträgt die MTTF dieser Leitung 10 Jahre.

Aufgrund eines Maskenfehlers bei der Fertigung beträgt der Querschnitt dieser Leitung jedoch nur  $2\mu\text{m}^2$ .

- (a) Welche MTTF ist zu erwarten?
- (b) Beim Burn-in wird der Chip 200 Stunden lang (bei unveränderter Versorgungsspannung) mit  $T_J = 140^\circ\text{C}$  betrieben. Welcher Betriebsdauer entspricht dies bei Normalbetrieb?
- (c) Ist der Test geeignet, den Defekt zu erkennen? Begründen Sie!

## Beispiel 4

Gegeben sind die in Abbildung 4.1 dargestellten Signalverläufe für ein Datensignal  $D$  und ein Clock-Signal bzw. Enable-Signal  $C$ .

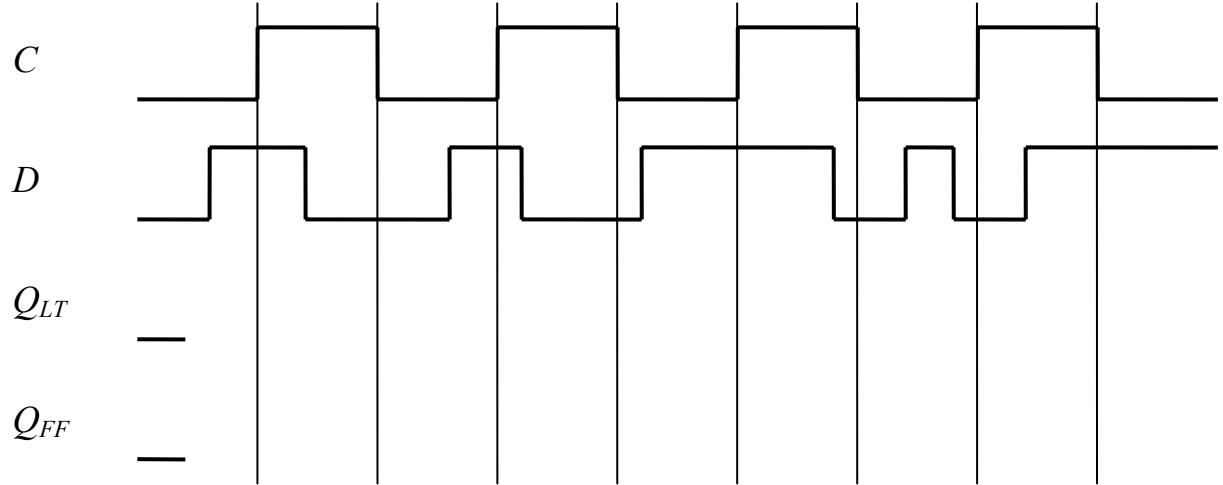


Abbildung 4.1

- Tragen Sie in die Zeile  $Q_{LT}$  das zugehörige Ausgangssignal  $Q$  eines D-Latch ein! („0“ = „Hold“)
- Tragen Sie in die Zeile  $Q_{FF}$  das zugehörige Ausgangssignal  $Q$  eines D-Flip-Flop ein! (steigende Flanke ist aktiv)
- Beschreibt der folgende VHDL-Code ein D-Flip-Flop, ein D-Latch oder keines von beiden? Begründen Sie!

```

Architecture BEISPIEL_4 of PRÜFUNG is
begin
  signal CLK, DATA, NEXT, OUT : std_logic;

  CAPTURE: process (CLK)
  begin
    if CLK'event and CLK = '1' then
      OUT <= NEXT;
    else
      NEXT <= OUT;      ←
    end if;
  end process CAPTURE;

  NEXT <= DATA;

end BEISPIEL_3;

```

- Wenn Sie den „else“-Zweig (mit Pfeilen markiert) weglassen – was beschreibt der Code dann?

# Vorlesungsprüfung aus Digitales Design

13. Januar 2006

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie einen wesentlichen Unterschied zwischen sequentieller und kombinatorischer Logik!

**Frage 2:**

Welche elektrische Funktion hat das Siliziumdioxid im Chip?

**Frage 3:**

Was besagt das Theorem von De Morgan? Wie wird es im PAL praktisch verwendet?

**Frage 4:**

Was ist ein Transmission Gate und wie ist es aufgebaut?

**Frage 5:**

Was ist Back-Annotation und zu welchem Zeitpunkt im Design-Flow wird sie durchgeführt?

**Frage 6:**

Wie funktioniert der „page-Mode“ beim DRAM? Welchen Vorteil hat er?

**Frage 7:**

Nennen Sie 3 Techniken wie programmierbare Logikzellen in FPGAs realisiert werden!

**Frage 8:**

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

**Frage 9:**

Skizzieren Sie die Badewannenkurve (Achsen beschriften) und bezeichnen Sie die Bereiche kurz!

**Frage 10:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

## Rechenbeispiele

### Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c,d)$ .

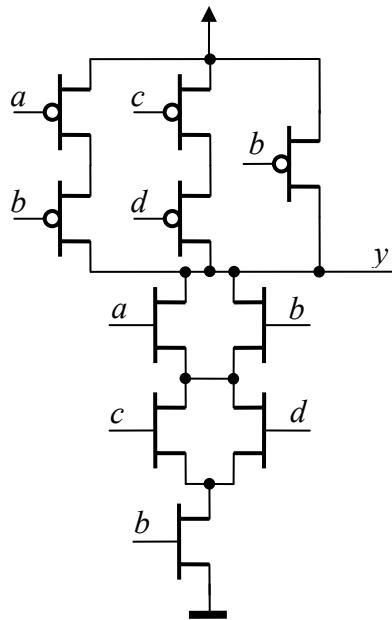


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c,d) = (0,1,1,0)$ ! Kreisen Sie alle Transistoren ein, die in diesem Fall leiten! Zeichnen Sie den aktiven Strompfad zum Ausgang ein!
- Geben Sie die Funktion  $y$  in Form einer Booleschen Gleichung an!
- Geben Sie die genaue Schaltungsbezeichnung an, also „AOIxxx“ bzw. „OAIxxx“!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$ ! Vereinfachen Sie die Funktion so weit wie möglich!
- Leiten Sie für die vereinfachte Funktion  $y$  eine LUT-basierte Realisierung her! Wie viele Eingänge benötigt die LUT? Wie beschalten Sie Eingänge und Ausgang (Skizze)? Wie viele Speicherbits benötigt die LUT? Geben Sie eine Liste für die Speicherinhalte der LUT an!

## Beispiel 2

Gegeben ist das KV-Diagramm einer logischen Funktion  $Y(A,B,C,D)$  lt. Abbildung 2.1:

		$\neg C$	$C$	$\neg C$			
		$\neg A$	0	1	0	0	$\neg B$
		$A$	0	1	0	0	$B$
$\neg A$	$\neg B$	0	0	1	1	1	
	$\neg D$						
	$D$						

Abbildung 2.1

(a) Geben Sie die zugehörige logische Funktion  $Y$  in konjunktiver Normalform an!

$$Y_{KNF} =$$

(b) Geben Sie weiters die logische Funktion  $Y$  in disjunktiver Normalform an!

$$Y_{DNF} =$$

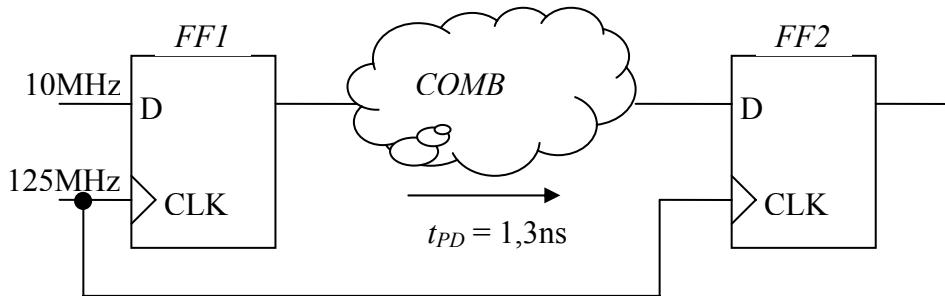
(c) Beschreiben Sie, wie Sie diese Funktion mittels eines ROM realisieren würden:  
 Wie viele Adressleitungen benötigen Sie? Welche Signale schließen sie daran an?  
 Welche Speichergröße benötigen Sie?  
 Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

(d) Leiten Sie eine Realisierung für die Funktion  $Y_{KNF}$  mittels Multiplexer-basierter Logik her  
 (Prinzip wie Actel FPGAs)! Zeichnen Sie das Schaltbild Ihrer Lösung!

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 125MHz Takt. Ein asynchrones Eingangssignal mit 10MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1,3\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,7\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$



**Abbildung 3.1**

- (a) Welche MTBU ist zu erwarten ?
- (b) Die angegebenen Werte für  $t_{PD}$  und  $t_{SU}$  gelten für eine Temperatur von  $T=25^\circ\text{C}$  und eine Versorgungsspannung von  $\text{VCC} = 5\text{V}$ . Welche Werte ergeben sich für diese beiden Parameter im ungünstigsten Fall unter den Betriebsbedingungen  $\text{VCC} = 5\text{V} \pm 10\%$  und  $T = [0^\circ\text{C} \dots 85^\circ\text{C}]$  (Verwenden Sie dazu die Derating Factors nach Tabelle 3.1)

	4.50 V	4.75 V	5.00 V	5.25 V	5.50 V
$-40^\circ$	0.77	0.73	0.68	0.64	0.61
$0^\circ$	1.00	0.93	0.87	0.82	0.78
$25^\circ$	1.14	1.07	1.00	0.94	0.90
$85^\circ$	1.50	1.40	1.33	1.26	1.20
$100^\circ$	1.60	1.49	1.41	1.34	1.28
$125^\circ$	1.76	1.65	1.56	1.47	1.41

**Tabelle 3.1**

- (c) Welche MTBU ergibt sich für die Betriebsbedingungen nach (b) im worst case?
- (d) Auf welchen Wert müssten Sie den Systemtakt verringern, um wieder die ursprüngliche MTBU zu erreichen?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity champaign is
port(
  milk  : in std_logic;
  water : in std_logic;
  juice : out std_logic;
  gin   : out std_logic_vector(0 to 1)
);
end champaign;
```

```
architecture glass of champaign is
  signal beer, wine:
    std_logic_vector(0 to 1);

begin
  whisky: process(wine)
  begin
    case wine is
      when "00"  => gin <= "11";
      when "01"  => gin <= "10";
      when "10"  => gin <= "01";
      when others => gin <= "00";
    end case;
  end process whisky;

  scotch: process(wine)
  begin
    juice = '0';
    case wine is
      when "11"  => beer <= '10';
      when "10"  => beer <= '01';
      when "00"  => beer <= '11';
                  juice <= '1';
      when others => beer <= '00';
    end case;
  end process scotch;

  cognac: process(milk, water)
  begin
    if water'event and water = '1' then
      if milk = '0' then
        wine <= (others => '1');
      else
        wine <= beer;
      end if;
    end if;
  end process cognac;

end glass;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß! Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Zeichnen Sie das Zustandsdiagramm für die beschriebene State-Machine!
- (f) Welche Folge von Werten durchläuft gin ausgehend von einem Reset?

# Vorlesungsprüfung aus Digitales Design

21. Juni 2006

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche 4 Funktionen lassen sich mit einem JK-Flip-Flop realisieren (Bitkombinationen von J u. K)?

**Frage 2:**

Welchen Zweck hat der programmierbare Inverter am Ausgang eines PAL für die Logikoptimierung?

**Frage 3:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 4:**

Was versteht man im Zusammenhang mit der Simulation unter einem „Delta-Cycle“?

**Frage 5:**

Was ist ein EEPROM?

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Was besagt das Erweiterungstheorem von Shannon? Wo wird es praktisch verwendet?

**Frage 8:**

Was versteht man unter Bonding?

**Frage 9:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

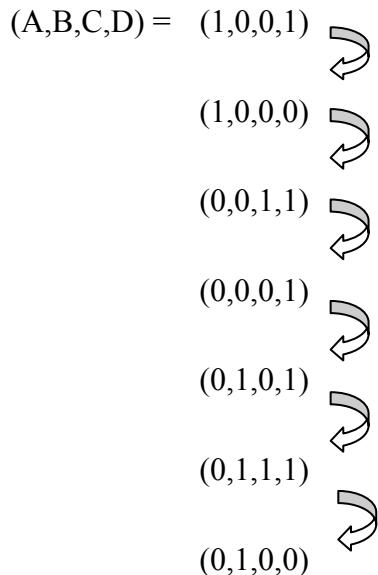
## Rechenbeispiele

### Beispiel 1

Gegeben ist die folgende Funktion:

$$Y = (A \wedge \neg B) \vee (C \wedge D) \vee (\neg A \wedge B \wedge \neg C)$$

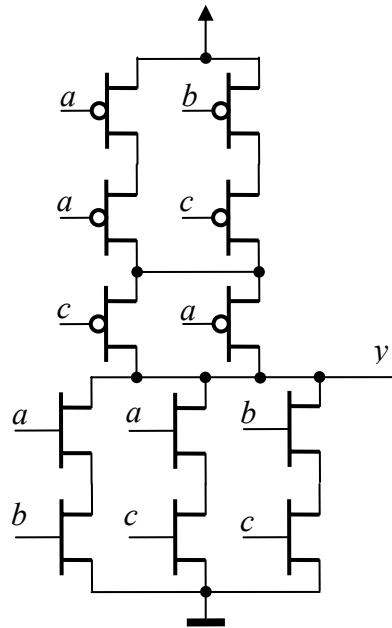
- (a) Geben Sie Wahrheitstabelle und KV-Diagramm dieser Funktion Y an!
- (b) Zeigen Sie, wie Sie diese Funktion Y mit einer PAL-Struktur realisieren können:
- Wie viele P-Terme benötigen Sie?
  - Wie viele Programmierelemente weist die Verbindungsmaatrix insgesamt auf? Wie viele davon werden programmiert (d.h. eine Verbindung wird erstellt)?
  - Zeichnen Sie das Schaltbild!
  - Skizzieren Sie, wie man am Ausgang einen programmierbaren Inverter realisieren könnte!
  - Wie viele P-Terme würde man bei Verwendung des Inverters benötigen?
- (c) Sie wollen diese Schaltung nun im Fundamental Mode betreiben.
- Kennzeichnen Sie in der folgenden Sequenz jene Übergänge mit „X“, die dabei nicht zulässig sind:



- Kennzeichnen Sie weiters jenen Übergang mit „O“, der zwar im Fundamental Mode zulässig ist, bei dem aber dennoch ein Glitch auftreten könnte! Begründen Sie!
- Welchen P-Term müssten Sie hinzufügen, damit dieser Glitch sicher vermieden werden kann (Huffman Circuit)?

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

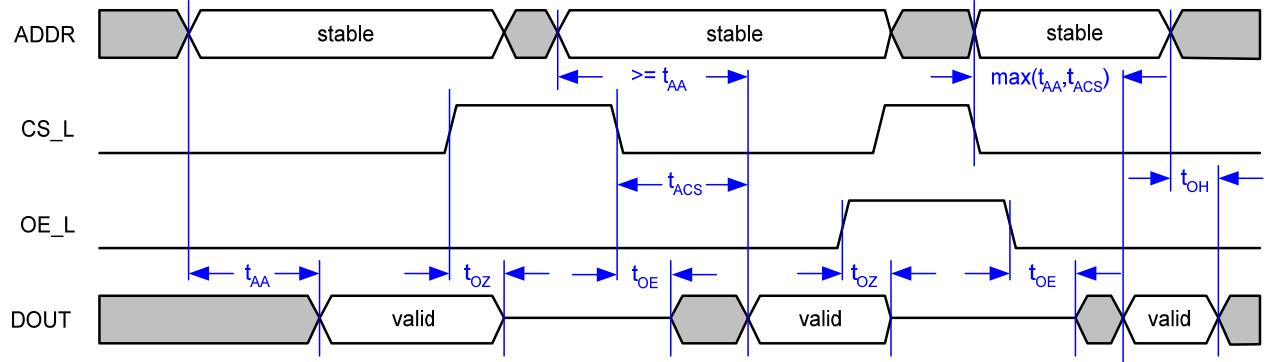


**Abbildung 2.1**

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,1,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (0,1,1)$ ? Begründen Sie!
- Modifizieren Sie den p-Stack so, dass sich (in Verbindung mit dem vorhandenen n-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !

### Beispiel 3

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 3.1)



$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}$$

**Abbildung 3.1**

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 3.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?

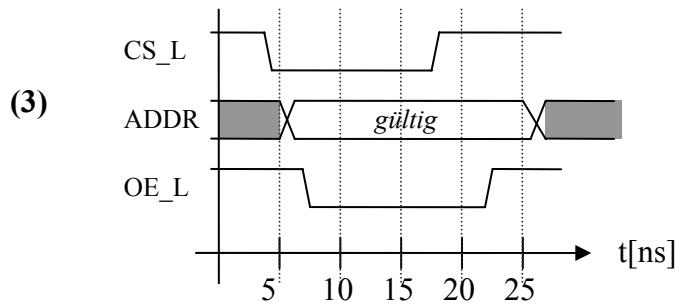
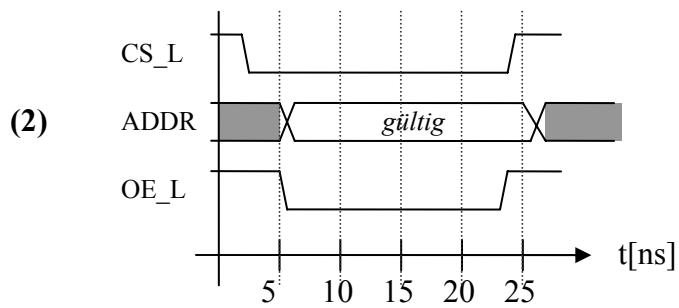
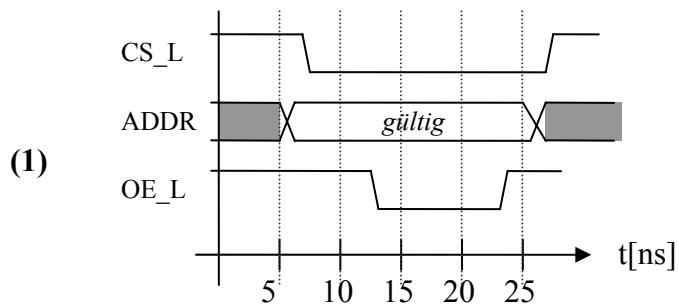


Abbildung 3.2

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine, die die Steuersignale `wind`, `snow` und `ice` generiert:

```
library IEEE;
use      IEEE.std_logic_1164.all;
use      IEEE.std_logic_UNSIGNED.all;

entity jamaica is
  port(
    palm   : in std_logic;
    breeze : in std_logic;
    sand   : out std_logic;
    boat   : out std_logic;
    sea    : out std_logic_vector(0 to 3)
  );
end jamaica;
```

```
architecture sun of jamaica is
  signal hot, wet:
    std_logic_vector(0 to 1);

begin
  swim: process(hot, breeze)
  variable moon: std_logic_vector(0 to 3);
  begin
    if breeze = '1' then
      moon := "0000";
    end if;
    case hot is
      when "00"  => sand <= '1';
                      boat  <= '1';
      when "01"  => sand <= '0';
                      moon := moon + '1';
                      boat  <= '1';
      when others => sand <= '0';
                      boat  <= '0';
    end case;
    sea <= moon;
  end process swim;

  relax: process(hot)
  begin
    case hot is
      when "00"  => wet <= "01";
      when "01"  => wet <= "10";
      when "10"  => wet <= "11";
      when others => wet <= "00";
    end case;
  end process relax;

  dive: process(palm, breeze)
  begin
    if breeze = '1' then
      hot <= "00";
    else
      if palm'event and palm = '1' then
        hot <= wet;
      end if;
    end if;
  end process dive;
end sun;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- (d) Tragen Sie den Zeitverlauf von `wind`, `snow` und `ice` in Abbildung 4.1 ein!

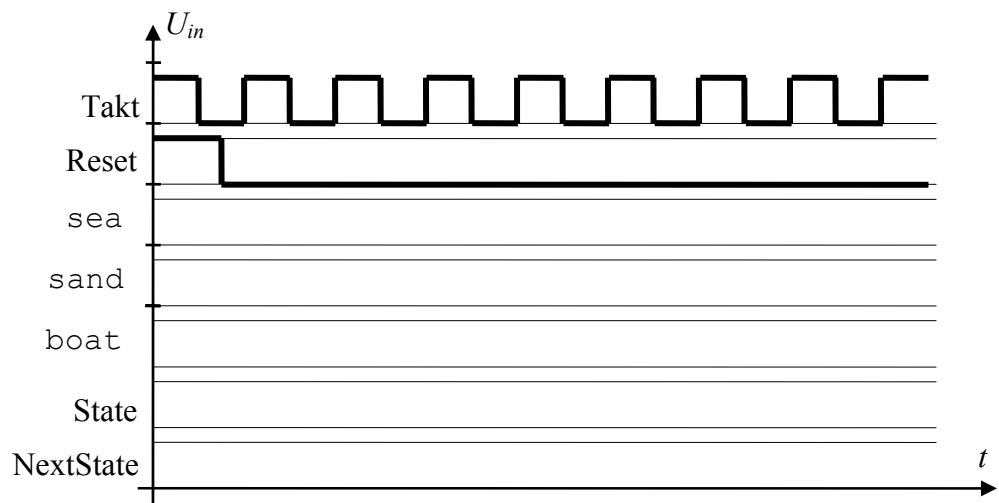


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

22. März 2006

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was ist eine Sign-off Simulation?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Handelt es sich bei einem ROM um rein kombinatorische oder sequentielle Logik? Begründen Sie!

**Frage 4:**

Wodurch unterscheidet sich im Aufbau ein Tri-State-Ausgang von einem open-Drain-Ausgang?

**Frage 5:**

Was besagt das Moore'sche Gesetz

**Frage 6:**

Was ist ein IP-Core?

**Frage 7:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 9:**

Nennen Sie zwei Maßnahmen um die Wahrscheinlichkeit für Upsets infolge von Metastabilität zu vermeiden!

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Gegeben sind zwei Variable A und B mit 2 Bit Wortbreite, d.h.  $A = (a_1, a_0)$ ,  $B = (b_1, b_0)$ . Gesucht ist die Realisierung einer Funktion, die genau dann „1“ ausgibt, wenn  $A \leq B$ . A und B sind binär codierte positive Integer-Werte, es gilt also  $(0,0) < (0,1) < (1,0) < (1,1)$ .

(a) Skizzieren Sie, wie Sie diese Funktion mittels eines ROM implementieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

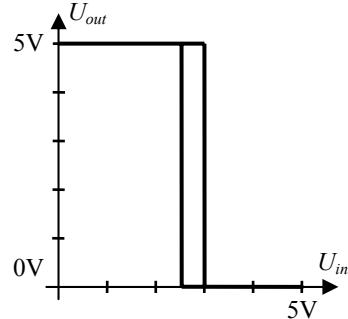
(b) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:

Wie viele p-Terms benötigen Sie?

Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert (=verbunden) werden müssen mit „O“

## Beispiel 2

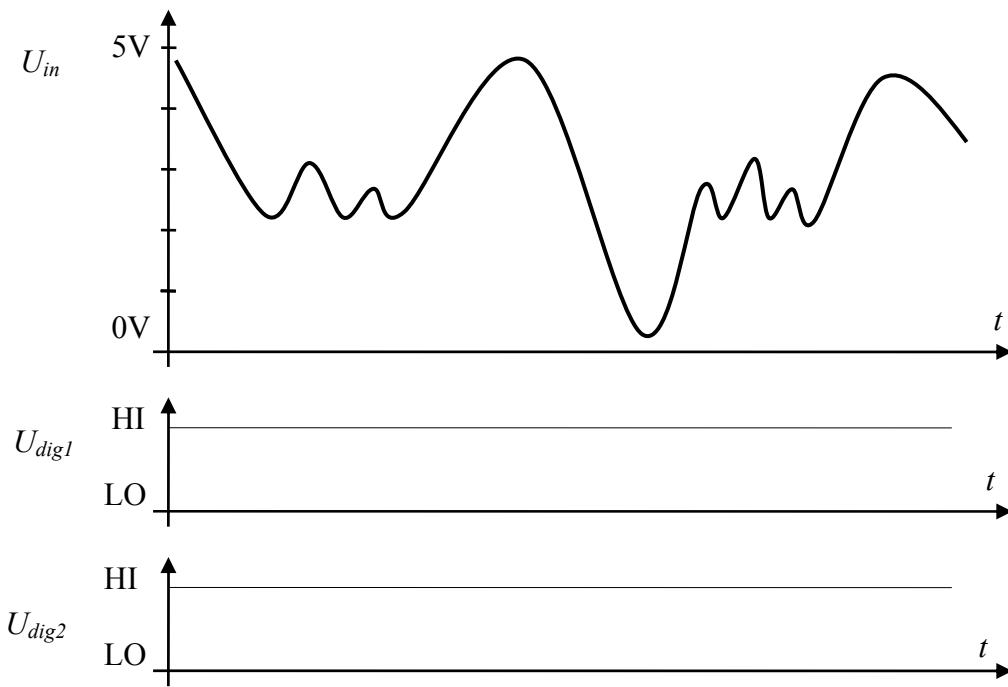
In Abbildung 2.1 ist die Kennlinie eines Schmitt-Trigger gegeben.



**Abbildung 2.1**

- Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- Wie groß ist die Hysteresis dieses Schmitt-Trigger (incl. Einheit!) ?
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

Gegeben ist weiters der Spannungsverlauf  $U_{in}$  in Abbildung 2.2:



**Abbildung 2.2**

- Wie sieht die Ausgangsspannung am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 2.2 anlegen? Tragen Sie den Verlauf als  $U_{dig1}$  in Abbildung 2.2 ein!
- Wie könnte man die obere Schwellspannung des Schmitt-Trigger für diese Eingangsspannung besser auslegen, um Störimpulse im mittleren Spannungsbereich wirkungsvoller zu unterdrücken? Tragen Sie Ihren Verbesserungsvorschlag in die Kennlinie ein und stellen Sie den Ausgangsspannungsverlauf der verbesserten Schaltung als  $U_{dig2}$  in Abbildung 2.2 dar!

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 10MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1,5\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

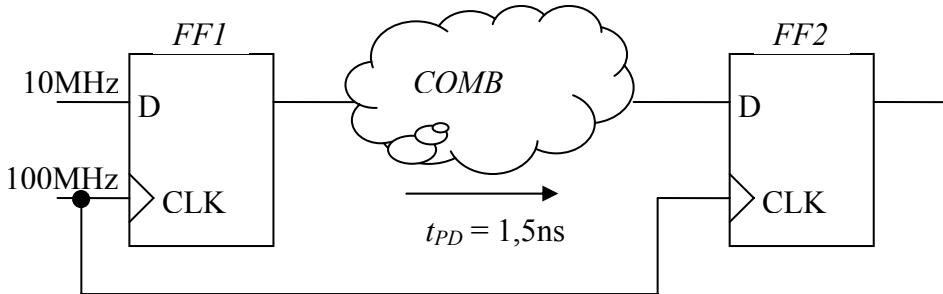


Abbildung 3.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 5V Versorgungsspannung 4A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit 3K/W?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

	4.50 V	4.75 V	5.00 V	5.25 V	5.50 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 5.5V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

## Beispiel 4

Von einem bestimmten Server werden 1 Million Stück gefertigt. Jeder dieser Server ist mit einem DMA-Controller-Chip ausgerüstet. Ein solcher Controller Chip kostet 4€ und weist bei der Fertigung einen Defect Level von 4% auf. Die Kosten für die Reparatur des Servers aufgrund eines defekten DMA-Controllers betragen im Mittel 800€.

- (a) Welchen finanziellen Schaden verursachen die Reparaturkosten für die nicht entdeckten Controller-Chips?
- (b) Durch einen Funktionstest aller mit dem Controller bestückten Platinen vor dem Einbau in den Server könnte man 75% der verbliebenen Defekte erkennen, für die sich die Reparaturkosten dann auf 200€ reduzieren. Ist die Anwendung eines solchen Tests wirtschaftlich sinnvoll, wenn dadurch Testkosten von 30€ je Platine anfallen?
- (c) Durch einen Built-in Self-Test kann die Defektrate des Chips von 4% auf 1% vermindert werden. Ist die Anwendung des BIST wirtschaftlich sinnvoll, wenn die zusätzlich benötigte Testlogik den Preis des Controllers auf 5€ erhöht?

# Vorlesungsprüfung aus Digitales Design

22. November 2006

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Skizzieren Sie die Prinzipschaltung eines D-Latch!

**Frage 2:**

Skizzieren Sie den Querschnitt durch einen Feldeffekt-Transistor!

**Frage 3:**

Was bedeutet das „C“ bei CMOS? Worin liegt der Vorteil der CMOS-Logik gegenüber NMOS?

**Frage 4:**

Was ist eine Sign-off Simulation?

**Frage 5:**

Warum haben EPROMs ein Fenster im Gehäuse?

**Frage 6:**

Kann man mit einer LUT mit 32 Bit *alle* Funktionen mit 5 Variablen realisieren?

**Frage 7:**

Wie hängt die Junction-Temperatur eines Chips mit der Umgebungstemperatur zusammen?

**Frage 8:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 9:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 10:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

## Rechenbeispiele

### Beispiel 1

Zu realisieren ist eine Schaltung, die zu einer Zahl  $b$  am Eingang den Wert  $y = 3b + 1$  berechnet. Der Eingangswert  $b$  ist als positive Binärzahl  $(b_2, b_1, b_0)$  dargestellt, ebenso das Ergebnis  $y$   $(y_4, y_3, y_2, y_1, y_0)$ .

- Beschreiben Sie eine Realisierung als ROM: Welches ROM benötigen Sie (Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie die logischen Verknüpfungen, die Sie für  $y_0, y_1, y_2$  und  $y_4$  realisieren müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten.
- Leiten Sie eine Realisierung für die Funktion  $y_2(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

### Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=3,3V$  einen mittleren Strom von 4A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

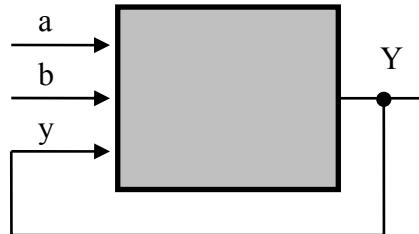
$$\begin{aligned}\theta_{JC} &= 2\text{K/W} \\ \theta_{JA} &= 6\text{K/W} \text{ für Betrieb ohne Kühlkörper.}\end{aligned}$$

Der Chip wird mit einem Kühlkörper versehen, für den  $\theta_{CA} = 1,5\text{K/W}$  spezifiziert ist.

- Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 4,0\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 4,0\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 3,3\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !  
 $k = 8,6 \cdot 10^{-5} \text{eV/K}$  ;  $E_{act} = 0,7\text{eV}$  ;  $\gamma = 3,2\text{V}^{-1}$
- Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 10 Stunden um 6 Monate älter (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 3,3\text{V}$ ). Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?  
Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 4,0V)?  
Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben? Ist das technisch machbar?

### Beispiel 3

Das in Abbildung 3.1 dargestellte Feedback Gate realisiert eine logische Verknüpfung in Null-Convention Logic (NCL).



a	N						F						T														
b	N			F			T			N			F			T			N			F			T		
y	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T	N	F	T
Y	N	N	N	N	F	T	N	F	T	N	F	T	T	T	T	F	F	F	N	F	T	T	T	T	T	T	T

Abbildung 3.1

(a) Die Eingänge (a,b) der Schaltung durchlaufen folgende Sequenz:

(T,F)

(T,N)

(N,N)

(N,T)

(F,T)

(N,T)

(N,N)

Geben Sie neben jedem Eingangswort jeweils den zugehörigen Ausgang an!

- (b) Kennzeichnen Sie in Abbildung 3.1 alle instabilen Zustände (Spalten in der Tabelle), also jene, in denen die Schaltung sich nur vorübergehend befinden kann, durch ein „x“ unter der jeweiligen Spalte.
- (c) Welche logische Verknüpfung von a und b wird durch die Schaltung realisiert?
- (d) Welche Einträge müsste man ändern, um aus der Schaltung die Verknüpfung  $Y = a \text{ XOR } b$  zu machen? (Rahmen Sie die zu ändernden Einträge in der Tabelle ein und geben Sie die neuen Einträge an)
- (e) Welchen Zweck hat die Rückkopplung für die Realisierung der NCL-Schaltung?

## Beispiel 4

Gegeben ist folgender VHDL-Code:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity chopin is
  port(fis: in std_logic;
        as:  in std_logic;
        cis: inout std_logic);
end chopin;

architecture fred of chopin is
begin
waltz: process(fis)
begin
  if (fis'event and fis = '1') then
    if as = '1' then
      cis <= '0';
    else
      cis <= not(cis);
    end if;
  end if;
end process waltz;
end fred;
```

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity mozart is
  port(opera: in std_logic;
        rondo: in std_logic;
        libretto: inout std_logic);
end mozart;

architecture amade of mozart is
signal dur,moll : std_logic;

component chopin is
  port(fis: in std_logic;
        as:  in std_logic;
        cis: inout std_logic);
end component;

begin
wolf: chopin
  port map(opera, rondo, dur);
gang: chopin
  port map(dur, rondo, moll);
note: chopin
  port map(moll, rondo, libretto);
end amade;
```

- (a) Identifizieren Sie Eingang/Eingänge und Ausgang/Ausgänge der Unit „chopin“!
- (b) Beschreiben Sie deren Funktion (incl. Zeitverlauf Eingang/Ausgang)!
- (c) Identifizieren Sie Eingang/Eingänge und Ausgang/Ausgänge der Unit „mozart“!
- (d) Stellen Sie in einem Blockschaltbild den internen Aufbau der Unit „mozart“ dar!
- (e) Stellen Sie den Zeitverlauf für den Ausgang/die Ausgänge dieser Unit dar. Wählen Sie dazu ein Eingangssignal, das die Funktion der Unit erkennbar macht!
- (f) Beschreiben Sie diese Funktion!

# Vorlesungsprüfung aus Digitales Design

24. April 2006

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche 4 Funktionen lassen sich mit einem JK-Flip-Flop realisieren (Bitkombinationen von J und K)

**Frage 2:**

Was besagt das Theorem von De Morgan? Wie wird es im PAL praktisch verwendet?

**Frage 3:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 4:**

Erläutern Sie die Auswirkung einer verspäteten Markteinführung eines Produktes auf den Gewinn.

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 6:**

Wie werden beim Gate-Array mittels lauter gleicher Zellen unterschiedliche Funktionen realisiert?

**Frage 7:**

Nennen Sie drei Faktoren, von denen der thermische Widerstand eines Gehäuses abhängt!

**Frage 8:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 9:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

**Frage 10:**

Was versteht man unter einem „Hazard“ ?

## Rechenbeispiele

### Beispiel 1

Gegeben sind drei Variable a, b und c. Gesucht ist die Realisierung einer Parity-Funktion  $Y(a,b,c)$ , also einer Funktion die genau dann „1“ ausgibt, wenn das Eingangsmuster  $(a,b,c)$  eine ungerade Anzahl von Einsen aufweist.

- (a) Angenommen Sie haben ein FPGA zur Verfügung, dessen LUTs alle 4 Eingänge aufweisen.  
Wie viele LUTs benötigen Sie?  
Welche Signale schließen sie wie an?  
Welche Speichergröße hat die gegebene LUT?  
Geben Sie zu jeder benötigten LUT alle zugehörigen Speicherinhalte an!
- (b) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:  
Wie viele p-Terms benötigen Sie?  
Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert (=verbunden) werden müssen mit „O“
- (c) Wie würden Sie die Funktion in einer Multiplexer-basierten Logik realisieren?  
Führen Sie die benötigten Umformungen durch, um  $F(a,b,c)$  geeignet darzustellen!  
Welche Regel wenden Sie hierzu an?  
Zeichnen Sie ein Schaltbild Ihrer Lösung!

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

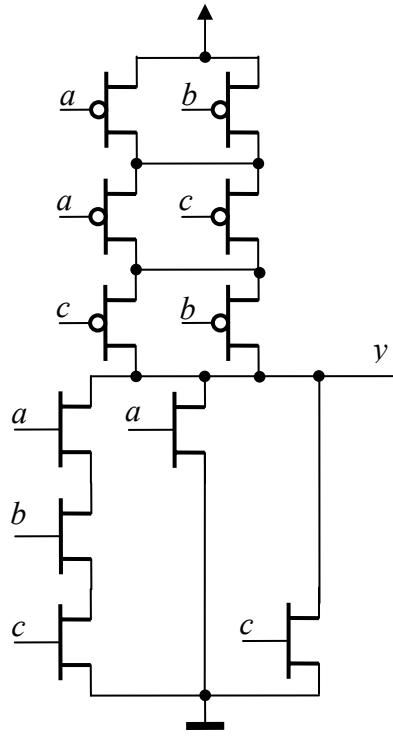


Abbildung 2.1

- (d) Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- (e) Was passiert beim Anlegen des Musters  $(a,b,c) = (1,1,0)$ ? Begründen Sie!
- (f) Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- (g) Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- (h) Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !

### Beispiel 3

Gegeben sei ein CPU-Chip, der nominal bei 5V Versorgungsspannung, 20°C Umgebungs-temperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 80°C erreicht. Abbildung 3.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 98% der gefertigten Chips funktionieren. Bei den restlichen 2% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

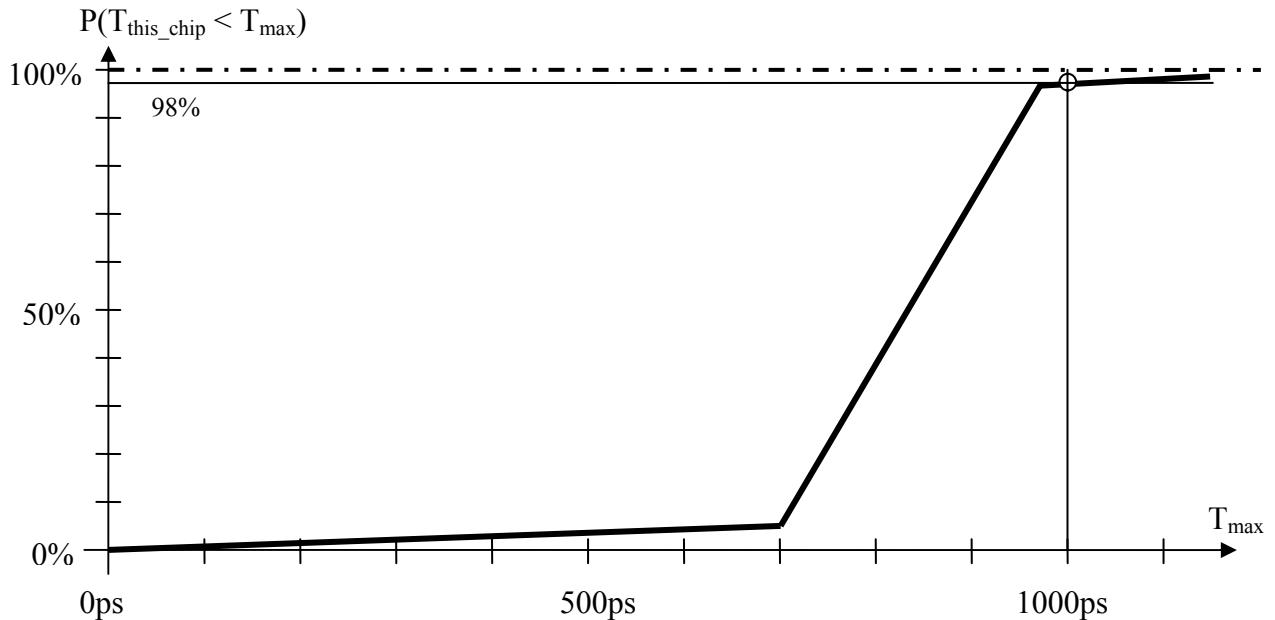


Abbildung 3.1

- Würde man den Chip um 25% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 3.1 der Prozentsatz der auszuscheidenden Chips?
- Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,25GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.
- Wie hoch wird die Die-Temperatur bei 1,25GHz? (Nehmen Sie an, dass dynamische Ströme die Verlustleistung dominieren).
- Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,25GHz? ( $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{act} = 0,7 \text{ eV}$ )
- Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den genauen (relativen) Wert dieser Änderung!

T <sub>junction</sub>	70°C	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er trotz der Erwärmung noch bei 1,25GHz funktioniert? Wie hoch ist daher nun – unter Berücksichtigung der Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine, die die Steuersignale `walk`, `hurry` und `stroll` generiert:

```
library IEEE;
use      IEEE.std_logic_1164.all;
use      IEEE.std_logic_UNSIGNED.all;

entity us is
  port(
    rest  : in std_logic;
    wake  : in std_logic;
    walk: out std_logic;
    hurry : out std_logic;
    stroll: out std_logic_vector(0 to 3)
  );
end us;
```

```
architecture most of us is
  signal leg, arm:
    std_logic_vector(0 to 1);

begin
  bed: process(leg, wake)
  variable shoe: std_logic_vector(0 to 3);
  begin
    if wake = '1' then
      shoe := "0000";
    end if;
    case leg is
      when "00"  => walk <= '1';
                      hurry <= '0';
      when "01"  => walk <= '0';
                      shoe := shoe + '1';
                      hurry <= '1';
      when others => walk <= '0';
                      hurry <= '0';
    end case;
    stroll <= shoe;
  end process bed;

  car: process(rest, wake)
  begin
    if wake = '1' then
      leg <= "00";
    else
      if rest'event and rest = '1' then
        leg <= arm;
      end if;
    end if;
  end process car;

  chair: process(leg)
  begin
    case leg is
      when "00"  => arm <= "01";
      when "01"  => arm <= "10";
      when "11"  => arm <= "00";
      when others => arm <= "11";
    end case;
  end process chair;
end most;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- (d) Tragen Sie den Zeitverlauf von `walk`, `hurry` und `stroll` in Abbildung 4.1 ein!

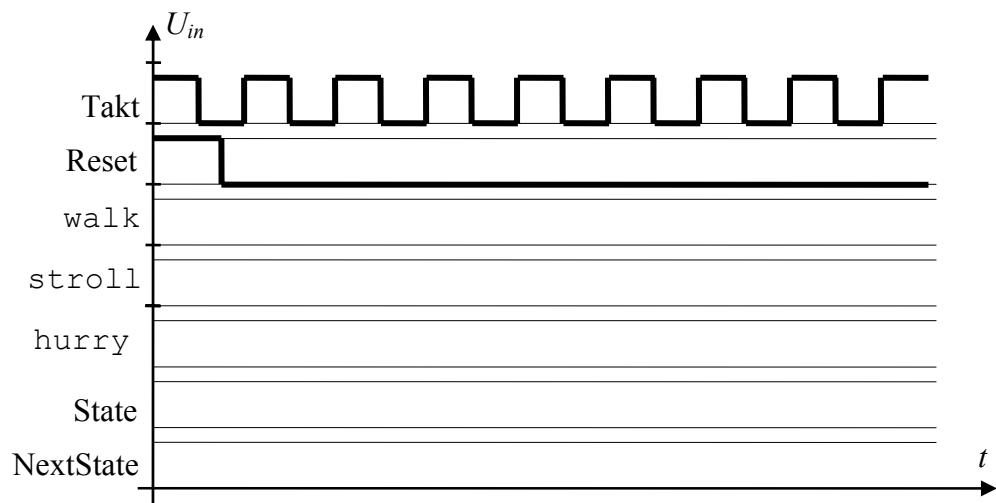


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

12. Jänner 2007

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche Bedeutung hat die Sensitivity-List in einem VHDL Code?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Handelt es sich bei einem ROM um rein kombinatorische oder sequentielle Logik? Begründen Sie!

**Frage 4:**

Geben Sie die Signal-Resolution-Table für die Funktion XOR und die Zustände {0,1,X} an!

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Was versteht man im Zusammenhang mit einem PLD unter einem Product Term?

**Frage 8:**

Wozu benötigt man bei der Fertigung eines ICs die Masken?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, mit der Sie überprüfen können, ob drei Eingangsbits logisch übereinstimmen. Die Schaltung soll also am Ausgang  $y$  genau dann 0 ausgeben, wenn die logischen Zustände an den drei Eingängen  $a, b, c$  gleich sind, also  $(0,0,0)$  oder  $(1,1,1)$ .

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung einmal in konjunktiver und einmal in disjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung mittels LUT realisieren können: Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!
- (d) Geben Sie eine möglichst einfache Realisierung der Funktion mittels AOI bzw. OAI an (was ist einfacher?). Zeichnen Sie die Schaltung als Realisierung mittels FETs!
- (e) Vergleichen Sie die Implementierungen aus (c) und (d): Wie viele Gatteräquivalente benötigen Sie für (d)? Nehmen Sie an, für eine Speicherzelle der LUT werden 6 Transistoren benötigt, und die restliche Logik sei vernachlässigbar – wie viele Gatteräquivalente benötigt die LUT-Lösung aus (c) ?

## Beispiel 2

In Abbildung 2.1 ist die Kennlinie eines Schmitt-Trigger gegeben.

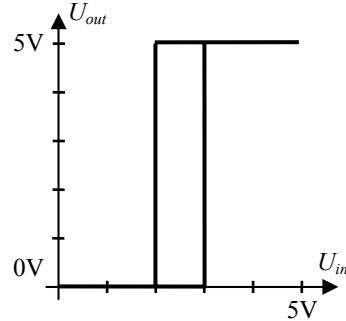


Abbildung 2.1

- Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- Wie groß ist die Hysterese dieses Schmitt-Trigger (incl. Einheit!)?
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

Gegeben ist weiters der Spannungsverlauf  $U_{in}$  in Abbildung 2.2:

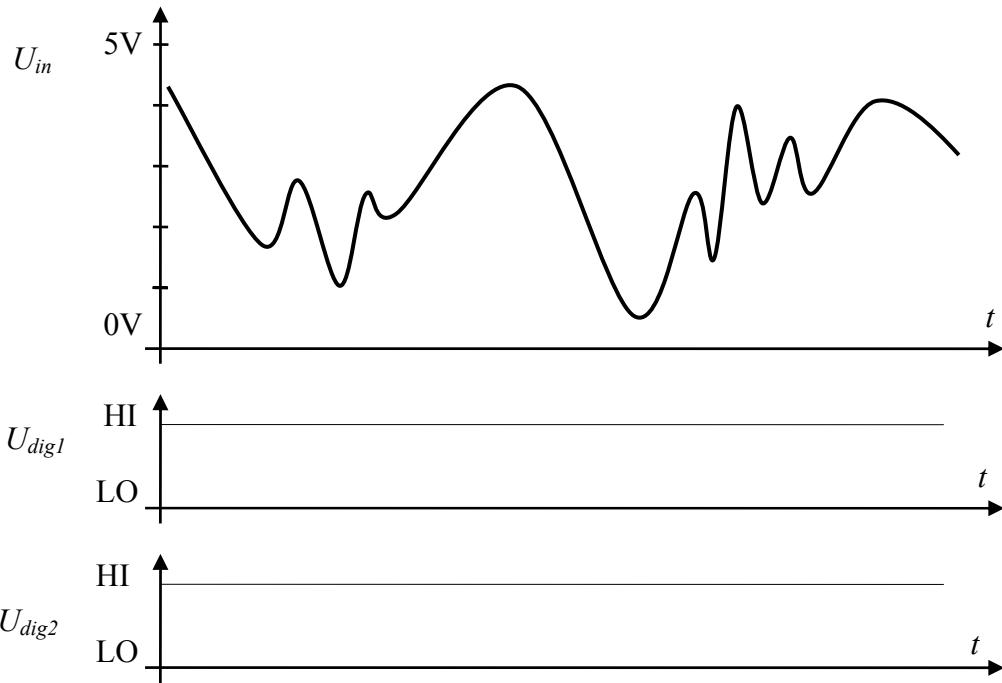


Abbildung 2.2

- Wie sieht die Ausgangsspannung am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 2.2 anlegen? Tragen Sie den Verlauf als  $U_{dig1}$  in Abbildung 2.2 ein!
- Nehmen Sie nun einen Komparator mit fixer Schwellspannung von 2V, d.h. ohne Hysterese, an und stellen Sie dessen Ausgangsspannungsverlauf als  $U_{dig2}$  in Abbildung 2.2 dar!

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung: Ein asynchrones Eingangssignal mit mittlerer Frequenz  $f_{input} = 10\text{MHz}$  soll in eine synchrone Schaltung mit Taktfrequenz  $f_{clk} = 200\text{MHz}$  übernommen werden. Dazu wird das Flip-Flop  $FF1$  als einstufiger Synchronizer vorgeschaltet, wobei zwischen Ausgang des Synchronizers und Eingang der synchronen Schaltung ein Routing-Delay  $t_{route} = 1,5\text{ns}$  auftritt. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,5\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

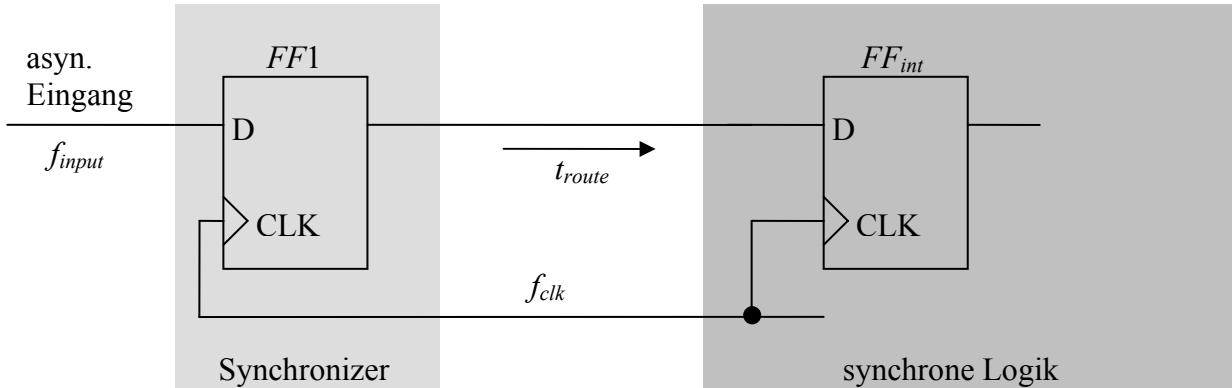


Abbildung 3.1

(a) Wie groß ist die Resolution Time für  $FF_{int}$ ? Welche MTBU ist zu erwarten?

Zur Erhöhung der MTBU soll der Synchronizer zweistufig gemacht werden, indem ein weiteres Flip-Flop,  $FF2$ , mit identischen Eigenschaften zwischen den Ausgang von  $FF1$  und den Eingang von  $FF_{int}$  geschaltet wird. Damit ergibt sich die in Abbildung 3.2 dargestellte Schaltung. Das Routing Delay zwischen zwei benachbarten Flip-Flops betrage weiterhin  $t_{route} = 1,5\text{ns}$ .

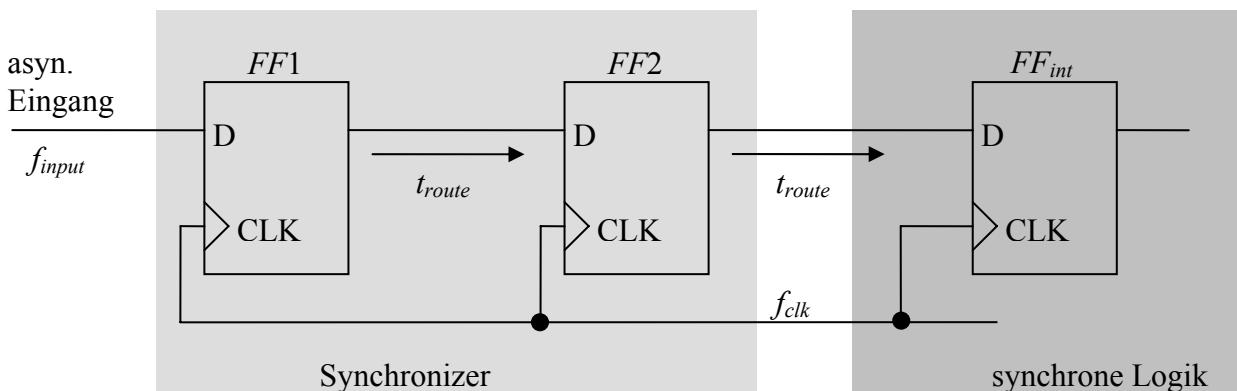


Abbildung 3.2

(b) Wie groß die Resolution time für  $FF2$ ? Welche MTBU ist an  $FF2$  zu erwarten?

(c) Welche MTBU ergibt sich nun für  $FF_{int}$ ? (Hinweis: Beachten Sie bei der Berechnung, dass sich ein asynchroner Eingangsimpuls für  $FF_{int}$  nur im Falle eines Upset an  $FF1$  ergibt!)

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

library IEEE; use IEEE.std_logic_1164.all; use IEEE.std_logic_UNSIGNED.all;  entity head is port( mouth: in std_logic; nose: in std_logic; hair: out std_logic; eye: in std_logic; ear: in std_logic; brain: out std_logic; ); end head;	architecture parts of head is signal sweat, tears: std_logic_vector(0 to 1);  begin look: process(sweat) begin case sweat is when "10" => tears <= "11"; when "00" => tears <= "01"; when "01" => tears <= "10"; when others => tears <= "00"; end case; end process look;  listen: process(ear, eye, tears) begin if ear'event and ear = '1' then if eye = '0' then sweat <= "00"; else sweat <= tears; end if; end if; end process listen;  smell: process(sweat, mouth, nose) begin brain <= '1'; if nose = mouth then brain <= '0'; end if; case sweat is when "10" => hair <= '0'; when others => hair <= '1'; end case; end process smell; end parts;
---	--

- Identifizieren Sie Taktsignal und Reset! Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- Welches Signal repräsentiert den Zustand der State-Machine? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen synchrone Aktualisierung erfolgt! Begründen Sie!
- Welches Signal repräsentiert den Folgezustand (Next-State)? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen Aktualisierung erfolgt! Begründen Sie!
- Welche Signale sind Inputs, welche Outputs? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem die Aktualisierung der Outputs erfolgt!
- Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type? Begründen Sie!

# Vorlesungsprüfung aus Digitales Design

12. Oktober 2007

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Was ist eine Sign-off Simulation?

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Was versteht man im Zusammenhang mit einem PLD unter einem Product Term?

**Frage 8:**

Wozu benötigt man bei der Fertigung eines ICs die Masken?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Zu entwerfen ist eine Schaltung, die die Zahlen 0 bis 7 (codiert als positive Integer) an einer Kette von 7 Leuchtdioden (LED\_1 ... LED\_7) so ausgibt, dass bei „0“ keine LED leuchtet, bei „1“ leuchtet LED\_1 bei „2“ leuchten LED\_1 und LED\_2 und bei „7“ leuchten alle LEDs (siehe Abbildung 1.1). Nehmen Sie an, eine LED leuchtet, wenn sie mit „1“ angesteuert wird.

	LED_1	LED_2	LED_3	LED_4	LED_5	LED_6	LED_7	
„0“	□	□	□	□	□	□	□	„leuchtet“
„1“	■	□	□	□	□	□	□	„leuchtet nicht“
„2“	■	■	□	□	□	□	□	
„3“	■	■	■	□	□	□	□	
„4“	■	■	■	■	□	□	□	
„5“	■	■	■	■	■	□	□	
„6“	■	■	■	■	■	■	□	
„7“	■	■	■	■	■	■	■	

Abbildung 1.1

- Geben Sie die Wahrheitstabelle für alle LEDs an!
- Geben Sie die logische Verknüpfung an, die Sie für LED\_4 realisieren müssen!
- Zeichnen Sie das KV-Diagramm für LED\_5 und geben Sie die benötigte Funktion in konjunktiver Normalform an!
- Zeichnen Sie das KV-Diagramm für LED\_3 und geben Sie die benötigte Funktion in disjunktiver Normalform an!
- Geben Sie ein Schaltbild an, wie Sie die Funktion für LED\_1 mittels Multiplexern realisieren können (ähnlich den ACT-Bausteinen)

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

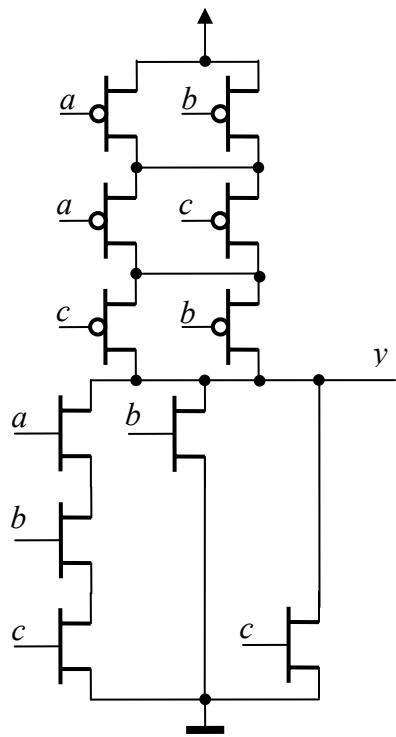


Abbildung 2.1

- (a) Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
  - (b) Was passiert beim Anlegen des Musters  $(a,b,c) = (1,1,0)$ ? Begründen Sie!
  - (c) Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
  - (d) Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
  - (e) Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIIxxxx !

### Beispiel 3

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_5 \oplus X_4 \oplus X_3 \oplus X_0$$
(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann

Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?

Nehmen Sie an, der Generator sei auf den Wert „0111100010110110“ initialisiert. Welchen Wert hat der Ausgang nach 4 Taktzyklen (= aktiven Taktflanken)?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use     IEEE.std_logic_1164.all;
use     IEEE.std_logic_UNSIGNED.all;

entity head is
  port(
    mouth:  in std_logic;
    nose:   in std_logic;
    hair:   out std_logic;
    eye:    in std_logic;
    ear:    in std_logic;
    brain:  out std_logic
  );
end head;

architecture parts of head is
  signal sweat, tears:
    std_logic_vector(0 to 1);
begin
  look: process(sweat)
  begin
    case sweat is
      when "10"  => tears <= "11";
      when "00"  => tears <= "01";
      when "01"  => tears <= "10";
      when others => tears <= "00";
    end case;
  end process look;

  listen: process(ear, eye, tears)
  begin
    if ear'event and ear = '1' then
      if eye = '0' then
        sweat <= "00";
      else
        sweat <= tears;
      end if;
    end if;
  end process listen;

  smell: process(sweat, mouth, nose)
  begin
    brain <= '1';
    if nose = mouth then
      brain <= '0';
    end if;
    case sweat is
      when "10"  => hair <= '0';
      when others => hair <= '1';
    end case;
  end process smell;
end parts;
```

- (a) Identifizieren Sie Taktsignal und Reset! Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (b) Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- (c) Welches Signal repräsentiert den Zustand der State-Machine? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen synchrone Aktualisierung erfolgt! Begründen Sie!
- (d) Welches Signal repräsentiert den Folgezustand (Next-State)? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen Aktualisierung erfolgt! Begründen Sie!
- (e) Welche Signale sind Inputs, welche Outputs? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem die Aktualisierung der Outputs erfolgt!
- (f) Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type? Begründen Sie!

# Vorlesungsprüfung aus Digitales Design

19. Juni 2007

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 2:**

Warum sind Wafer rund?

**Frage 3:**

Geben Sie die logische Funktion eines OAI11 an!

**Frage 4:**

Was sind die Besonderheiten beim Clock-Routing?

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Kann man mit einer LUT mit 32 Bit *alle* Funktionen mit 5 Variablen realisieren? Begründen Sie!

**Frage 7:**

Was versteht man unter dem „Störspannungsabstand“?

**Frage 8:**

Erklären Sie Zweck und Prinzip des Burn-in!

**Frage 9:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

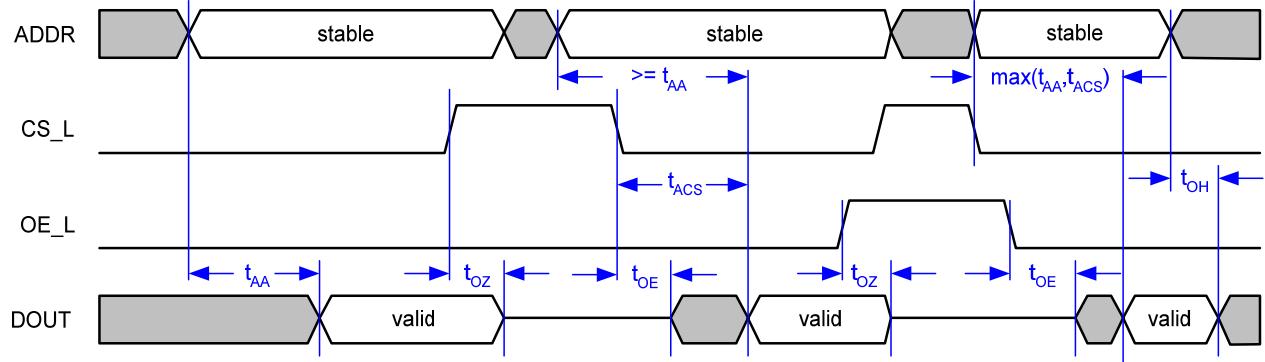
### Beispiel 1

Gegeben sind drei Variable a, b und c. Gesucht ist die Realisierung einer „odd Parity“-Funktion  $Y(a,b,c)$ , also einer Funktion die genau dann „1“ ausgibt, wenn das Eingangsmuster  $(a,b,c)$  eine gerade Anzahl von Einsen aufweist.

- (a) Angenommen Sie haben ein FPGA zur Verfügung, dessen LUTs alle 4 Eingänge aufweisen.
  - Wie viele LUTs benötigen Sie?
  - Welche Signale schließen sie wie an?
  - Welche Speichergröße hat die gegebene LUT?
  - Geben Sie zu jeder benötigten LUT alle zugehörigen Speicherinhalte an!
- (b) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:
  - Wie viele p-Terms benötigen Sie?
  - Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert (=verbunden) werden müssen mit „O“
- (c) Wie würden Sie die Funktion in einer Multiplexer-basierten Logik realisieren?
  - Führen Sie die benötigten Umformungen durch, um  $F(a,b,c)$  geeignet darzustellen!
  - Welche Regel wenden Sie hierzu an?
  - Zeichnen Sie ein Schaltbild Ihrer Lösung!

## Beispiel 2

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 2.1)

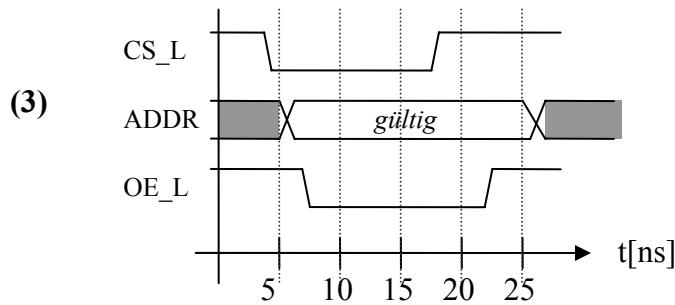
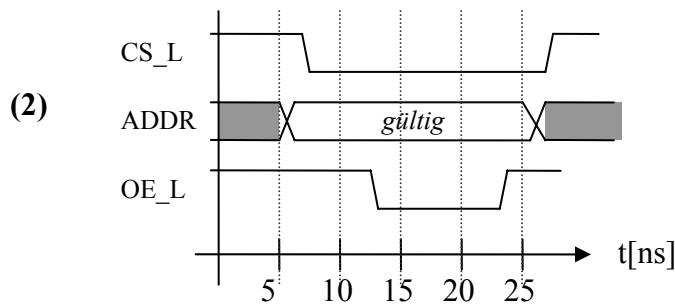
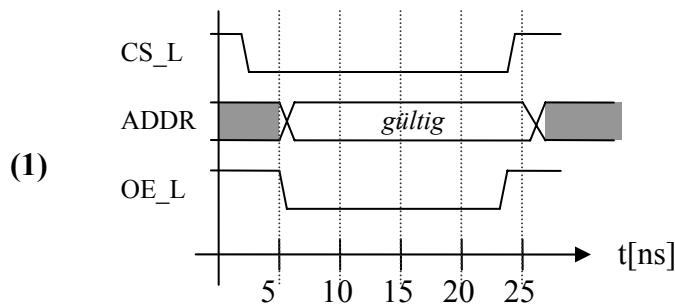


$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}$$

**Abbildung 2.1**

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 2.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?



**Abbildung 2.2**

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 10MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1,5\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

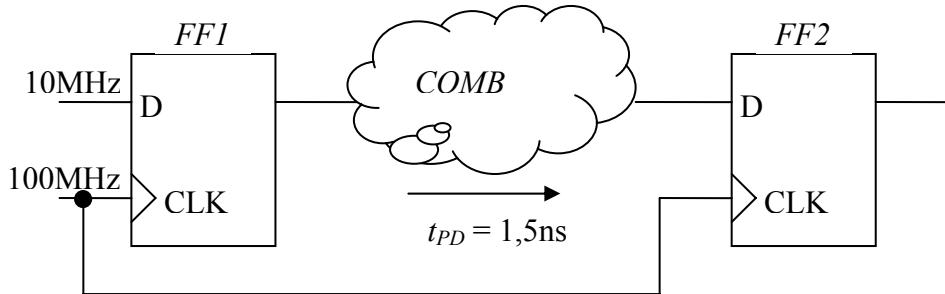


Abbildung 3.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 2.5V Versorgungsspannung 4A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit 8K/W?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

	2.25 V	2.375 V	2.50 V	2.625 V	2.75 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
20°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 2.25V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity mine is
  port(
    robert:  in std_logic;
    monica :  in std_logic;
    paula: out std_logic_vector(0 to 2)
  );
end mine;
```

```
architecture friends of mine is
  signal jessica, david:
    std_logic_vector(0 to 1);

begin
  party: process(jessica)
  begin
    case jessica is
      when "00"  => paula <= "101";
      when "01"  => paula <= "001";
      when "10"  => paula <= "110";
      when others => paula <= "010";
    end case;
  end process party;

  holiday: process(jessica)
  begin
    case jessica is
      when "00"  => david <= "01";
      when "11"  => david <= "01";
      when "01"  => david <= "10";
      when others => david <= "00";
    end case;
  end process holiday;

  dinner: process(robert, monica)
  begin
    if monica = '1' then
      jessica <= "00";
    else
      if robert'event and robert = '0' then
        jessica <= david;
      end if;
    end if;
  end process dinner;
end friends;
```

- (a) Identifizieren Sie Taktsignal und Reset! Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (c) Ist der Reset synchron oder asynchron? Begründen Sie
- (d) Wie viele interne Zustände nimmt die State-Machine im normalen Betrieb ein? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen?

# Vorlesungsprüfung aus Digitales Design

23. März 2007

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was besagt das Theorem von De Morgan?

**Frage 2:**

Kann es sinnvoll sein, ein Design aus Kostengründen auf 2 Chips aufzuteilen? Begründen Sie!

**Frage 3:**

Skizzieren Sie den internen Aufbau eines D-Flipflop aus Invertern und Transmission Gates. Geben Sie an, wie viele Gatteräquivalente Ihre Realisierung benötigt!

**Frage 4:**

Was ist ein IP-Core?

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 7:**

Angenommen die Versorgungsspannung eines Chip liegt am oberen Ende des Toleranzbereiches. Wird der Chip dadurch schneller oder langsamer als beim Nominalwert?

**Frage 7:**

Nennen Sie drei Faktoren, von denen der thermische Widerstand eines Gehäuses abhängt!

**Frage 8:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 9:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

**Frage 10:**

Was besagt die „Rule of Ten“?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, für ein 2-aus-3 Threshold Gate. Die Schaltung soll also am Ausgang (y) genau dann 1 ausgeben, wenn an zumindest zwei der drei Eingänge (a,b,c) logisch 1 anliegt.

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung einmal in disjunktiver und einmal in konjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung mittels LUT realisieren können: Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!
- (d) Geben Sie eine möglichst einfache Realisierung der Funktion mittels AOI bzw. OAI an (was ist einfacher?). Zeichnen Sie die Schaltung als Realisierung mittels FETs!
- (e) Vergleichen Sie die Implementierungen aus (c) und (d): Wie viele Gatteräquivalente benötigen Sie für (d)? Nehmen Sie an, für eine Speicherzelle der LUT werden 6 Transistoren benötigt, und die restliche Logik sei vernachlässigbar – wie viele Gatteräquivalente benötigt die LUT-Lösung aus (c)?

## Beispiel 2

Gegeben sei ein CPU-Chip, der nominal bei 5V Versorgungsspannung, 25°C Umgebungs-temperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 85°C erreicht. Abbildung 2.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 98% der gefertigten Chips funktionieren. Bei den restlichen 2% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

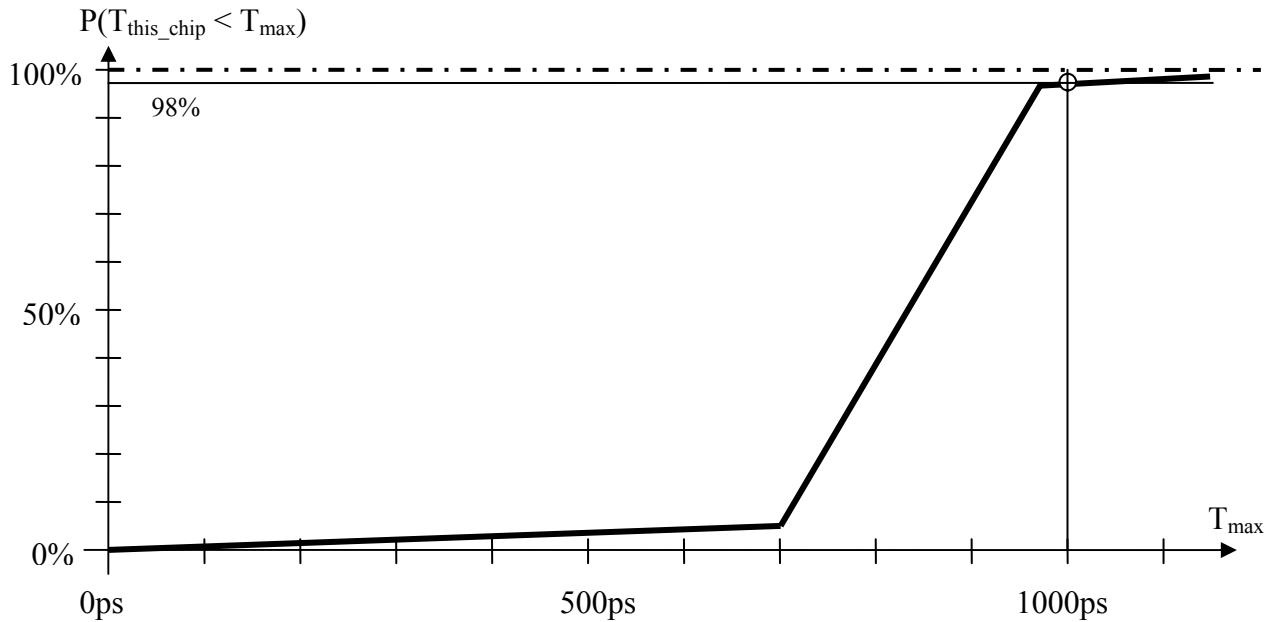


Abbildung 2.1

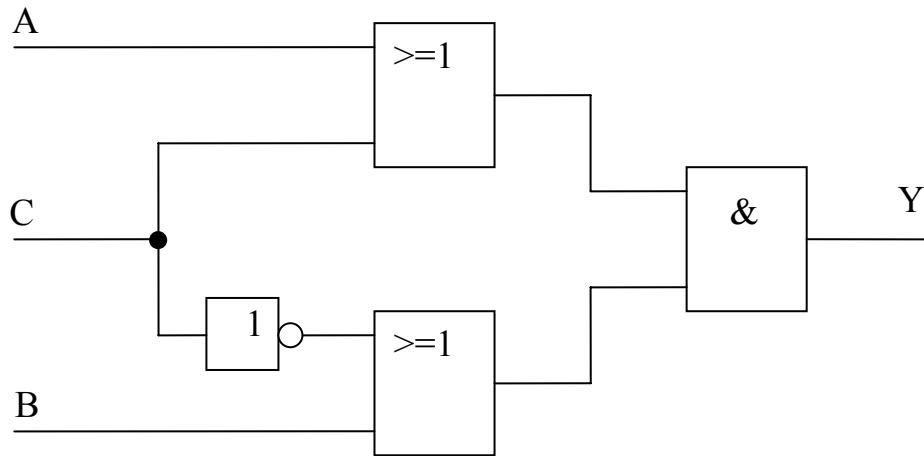
- Würde man den Chip um 25% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 2.1 der Prozentsatz der auszuscheidenden Chips?
- Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,25GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.
- Wie hoch wird die Die-Temperatur bei 1,25GHz? (Nehmen Sie an, dass dynamische Ströme die Verlustleistung dominieren).
- Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,25GHz? ( $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{act} = 0,7 \text{ eV}$ )
- Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den genauen (relativen) Wert dieser Änderung!

T<sub>junction</sub>	70°C	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er trotz der Erwärmung noch bei 1,25GHz funktioniert? Wie hoch ist daher nun – unter Berücksichtigung der Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.



**Abbildung 3.1**

- (a) Welche Grundfunktion erfüllt diese Schaltung?
- (b) Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- (c) Erstellen Sie eine Fehlerliste, indem Sie (zunächst ohne Berücksichtigung der Verkabelung) an jedem Eingang und an jedem Ausgang eines Gatters einen SA0-Fehler und einen SA1-Fehler annehmen! Wie viele Einträge hat diese Liste?
- (d) Markieren Sie (nun unter Berücksichtigung der Verkabelung) alle Einträge in der Liste, die aufgrund von Fehleräquivalenz mit einem noch in der Liste verbleibenden Fehler entfallen können!  
Wie viele Einträge verbleiben nun?
- (e) Markieren Sie nun (erkennbar anders als unter (d)) jene Einträge, die aufgrund von Fehlerdominanz entfallen können! Wie groß ist nun Ihre Fehlerliste?
- (f) Findet der Testvektor  $(A, B, C) = (0, 1, 1)$  einen SA1-Fehler an Eingang A? Begründen Sie!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_UNSIGNED.all;

entity life is
  port(
    fun:  in std_logic;
    ball: in std_logic;
    sun:  out std_logic;
    free: in std_logic;
    party: in std_logic;
    music: out std_logic;
  );
end life;

architecture way of life is
  signal sweet, funny:
    std_logic_vector(0 to 1);
begin
  vacation: process(sweet)
  begin
    case sweet is
      when "10"  => funny <= "11";
      when "00"  => funny <= "01";
      when "01"  => funny <= "10";
      when others => funny <= "00";
    end case;
  end process vacation;

  sunday: process(sweet, fun, ball)
  begin
    music <= '1';
    if ball = fun then
      music <= '0';
    end if;
    case sweet is
      when "10"  => sun <= '0';
      when others => sun <= '1';
    end case;
  end process sunday;

  holiday: process(party, free, funny)
  begin
    if party'event and party = '1' then
      if free = '1' then
        sweet <= "00";
      else
        sweet <= funny;
      end if;
    end if;
  end process holiday;
end way;
```

- Identifizieren Sie Taktsignal und Reset! Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- Welches Signal repräsentiert den Zustand der State-Machine? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen synchrone Aktualisierung erfolgt! Begründen Sie!
- Welches Signal repräsentiert den Folgezustand (Next-State)? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen Aktualisierung erfolgt! Begründen Sie!
- Welche Signale sind Inputs, welche Outputs? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem die Aktualisierung der Outputs erfolgt!
- Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type? Begründen Sie!

# Vorlesungsprüfung aus Digitales Design

23. November 2007

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was besagt das Theorem von De Morgan?

**Frage 2:**

Kann es sinnvoll sein, ein Design aus Kostengründen auf 2 Chips aufzuteilen? Begründen Sie!

**Frage 3:**

Skizzieren Sie den internen Aufbau eines D-Flipflop aus Invertern und Transmission Gates. Geben Sie an, wie viele Gatteräquivalente Ihre Realisierung benötigt!

**Frage 4:**

Geben Sie die Signal-Resolution-Table für die Funktion NOR und die Zustände {0,1,X} an!

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Wie hängt die Junction-Temperatur eines Chips mit der Umgebungstemperatur zusammen?

**Frage 8:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 9:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 10:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, für ein 2-aus-3 Threshold Gate mit invertiertem Ausgang. Die Schaltung soll also am Ausgang (y) genau dann 0 ausgeben, wenn an zumindest zwei der drei Eingänge (a,b,c) logisch 1 anliegt.

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung einmal in disjunktiver und einmal in konjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung mittels LUT realisieren können: Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!
- (d) Geben Sie eine möglichst einfache Realisierung der Funktion mittels AOI bzw. OAI an (was ist einfacher?). Zeichnen Sie die Schaltung als Realisierung mittels FETs!
- (e) Vergleichen Sie die Implementierungen aus (c) und (d): Wie viele Gatteräquivalente benötigen Sie für (d)? Nehmen Sie an, für eine Speicherzelle der LUT werden 6 Transistoren benötigt, und die restliche Logik sei vernachlässigbar – wie viele Gatteräquivalente benötigt die LUT-Lösung aus (c)?

## Beispiel 2

In Abbildung 2.1 ist die Kennlinie eines Schmitt-Trigger gegeben.

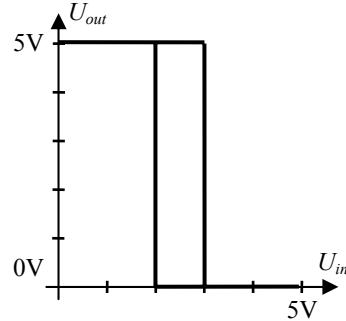


Abbildung 2.1

- Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- Wie groß ist die Hysterese dieses Schmitt-Trigger (incl. Einheit!)?
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

Gegeben ist weiters der Spannungsverlauf  $U_{in}$  in Abbildung 2.2:

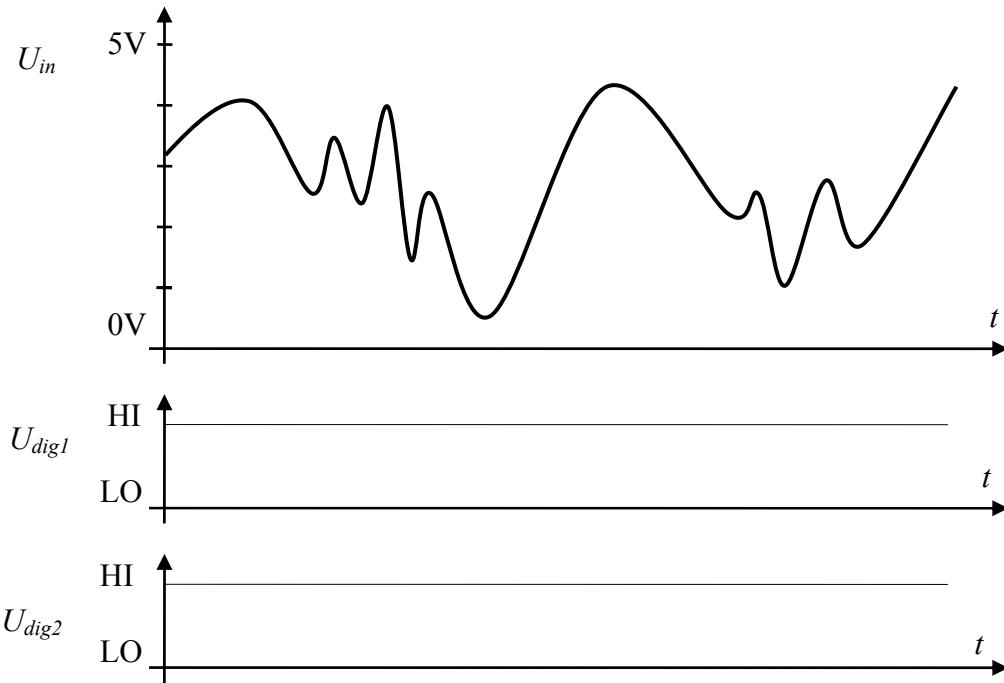


Abbildung 2.2

- Wie sieht die Ausgangsspannung am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 2.2 anlegen? Tragen Sie den Verlauf als  $U_{dig1}$  in Abbildung 2.2 ein!
- Nehmen Sie nun einen Komparator mit fixer Schwellspannung von 2V, d.h. ohne Hysterese, an und stellen Sie dessen Ausgangsspannungsverlauf als  $U_{dig2}$  in Abbildung 2.2 dar!

### Beispiel 3

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=2,5\text{V}$  einen mittleren Strom von 8A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 4\text{K/W}$  für Betrieb ohne Kühlkörper.

Der Chip wird mit einem Kühlkörper versehen, für den  $\theta_{CA} = 1,5\text{K/W}$  spezifiziert ist.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD}=3,3\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 3,3\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 2,5\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !  
 $k = 8,6 \cdot 10^{-5} \text{eV/K}$  ;  $E_{act} = 0,7\text{eV}$  ;  $\gamma = 3,2\text{V}^{-1}$
- (d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 12 Stunden um 12 Monate altert (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 2,5\text{V}$ ).  
Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?  
Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 3,3V)?  
Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben? Ist das technisch machbar?

## Beispiel 4

Gegeben ist folgender VHDL-Code:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity fel is
  port(kohl:  in std_logic;
        rue:    in std_logic;
        ben:    inout std_logic);
end fel;

architecture kart of fel is
begin
  acker: process(rue)
  begin
    if (rue'event and rue = '0') then
      if kohl = '0' then
        ben <= '0';
      else
        ben <= not(ben);
      end if;
    end if;
  end process acker;
end kart;
```

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity chain is
  port(prob:  in std_logic;
        abil:   in std_logic;
        ity:    inout std_logic);
end chain;

architecture mark of chain is
  signal trans,ition : std_logic;

component fel is
  port(kohl:  in std_logic;
        rue:    in std_logic;
        ben:    inout std_logic);
end component;

begin
  er: fel
    port map(abil, prob, trans);
  geb: fel
    port map(abil, trans, ition);
  nis: fel
    port map(abil, ition, ity);
end mark;
```

- (a) Identifizieren Sie Eingang/Eingänge und Ausgang/Ausgänge der Unit „fel“!
- (b) Beschreiben Sie deren Funktion (incl. Zeitverlauf Eingang/Ausgang)!
- (c) Identifizieren Sie Eingang/Eingänge und Ausgang/Ausgänge der Unit „chain“!
- (d) Stellen Sie in einem Blockschaltbild den internen Aufbau der Unit „chain“ dar!
- (e) Stellen Sie den Zeitverlauf für den Ausgang/die Ausgänge dieser Unit dar. Wählen Sie dazu ein Eingangssignal, das die Funktion der Unit erkennbar macht!
- (f) Beschreiben Sie diese Funktion!

# Vorlesungsprüfung aus Digitales Design

27. April 2007

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Skizzieren Sie die Prinzipschaltung eines D-Latch! (Aufbau aus Schaltern und Invertern)

**Frage 2:**

Welche elektrische Funktion hat das Siliziumdioxid im Chip?

**Frage 3:**

Was versteht man unter „CMOS“? Erklären Sie alle Buchstaben in dieser Abkürzung!

**Frage 4:**

Was ist eine Sign-off Simulation? An welchem Punkt im Design-Flow wird sie durchgeführt?  
Zu welchem Zweck?

**Frage 5:**

Erklären Sie das Funktionsprinzip eines SDT-MRAM! Auf welchem Effekt beruht die Speicherung? Wie erfolgt das Lesen, wie das Schreiben?

**Frage 6:**

Was ist der Unterschied zwischen Gate-Array und CBIC?

**Frage 7:**

Nennen Sie zwei Beispiele für den negativen Einfluss hoher Temperatur auf einen VLSI-Chip!

**Frage 8:**

Was versteht man unter Electromigration?

**Frage 9:**

Wozu benötigt man in VHDL die Configuration?

**Frage 10:**

Nennen Sie zwei Maße für die Testqualität!

## Rechenbeispiele

### Beispiel 1

Gegeben ist die folgende Funktion in *konjunktiver* Normalform:

$$Y = (A \vee \neg C) \wedge (A \vee B \vee D) \wedge (\neg A \vee \neg B \vee D) \wedge (\neg B \vee \neg C)$$

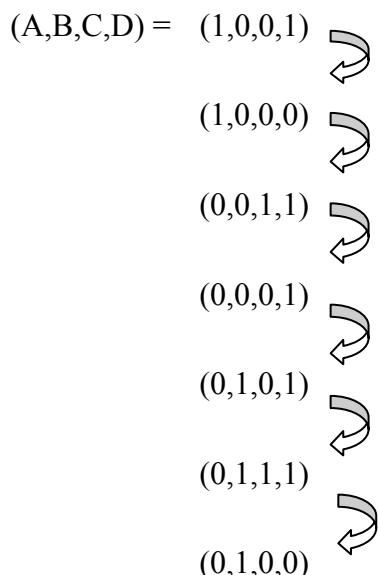
(a) Geben Sie Wahrheitstabelle und KV-Diagramm dieser Funktion Y an!

(b) Zeigen Sie, wie Sie diese Funktion Y mit einer PAL-Struktur realisieren können:

- Wie viele P-Terme benötigen Sie? (ohne Inversion)
- Wie viele Programmerelemente weist die Verbindungsmaatrix insgesamt auf (nehmen Sie an Sie hätten ein Device mit genau so vielen P-Termen benötigt)? Wie viele davon werden programmiert (d.h. eine Verbindung wird erstellt)?
- Zeichnen Sie das Schaltbild!
- Skizzieren Sie, wie man am Ausgang einen programmierbaren Inverter realisieren könnte!
- Wie viele P-Terme würde man bei Verwendung des Inverters benötigen?

(c) Sie haben diese Schaltung nun ohne Inverter am Ausgang realisiert und wollen sie im Fundamental Mode betreiben.

- Kennzeichnen Sie in der folgenden Sequenz jene Übergänge mit „X“, die dabei nicht zulässig sind:



- Gibt es in dieser Folge einen Übergang, der zwar im Fundamental Mode zulässig ist, bei dem aber dennoch ein Glitch auftreten könnte! Begründen Sie und kennzeichnen Sie ihn ggf. mit „O“!

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

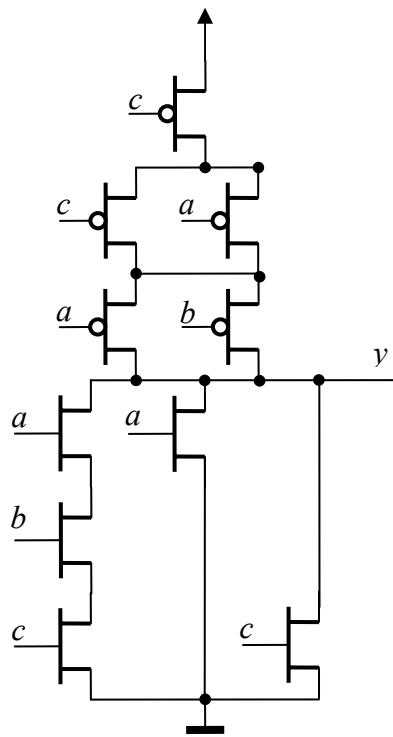


Abbildung 2.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (0,0,1)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (0,1,1)$ ? Begründen Sie!
- Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !

### Beispiel 3

In Abbildung 3.1 ist die Kennlinie eines Schmitt-Trigger gegeben.

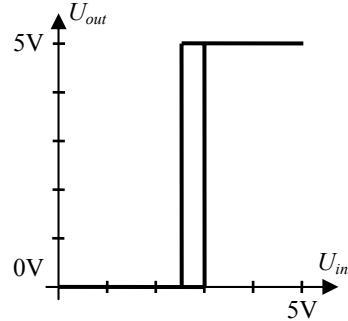


Abbildung 3.1

- Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- Wie groß ist die Hysteresis dieses Schmitt-Trigger (incl. Einheit!) ?
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

Gegeben ist weiters der Spannungsverlauf  $U_{in}$  in Abbildung 3.2:

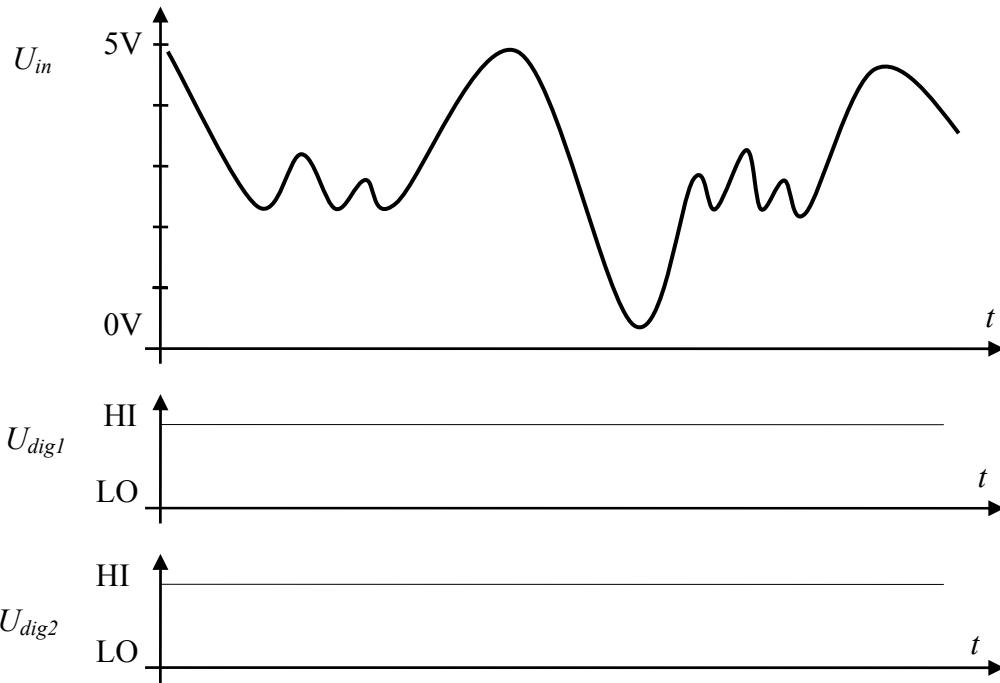


Abbildung 3.2

- Wie sieht die Ausgangsspannung am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 3.2 anlegen? Tragen Sie den Verlauf als  $U_{dig1}$  in Abbildung 3.2 ein!
- Wie könnte man die obere Schwellspannung des Schmitt-Trigger für diese Eingangsspannung besser auslegen, um Störimpulse im mittleren Spannungsbereich wirkungsvoller zu unterdrücken? Tragen Sie Ihren Verbesserungsvorschlag in die Abbildungen ein und stellen Sie den Ausgangsspannungsverlauf der verbesserten Schaltung als  $U_{dig2}$  in Abbildung 3.2 dar!

## Beispiel 4

Gegeben sind die in Abbildung 4.1 dargestellten Signalverläufe für ein Datensignal  $D$  und ein Clock-Signal bzw. Enable-Signal  $C$ .

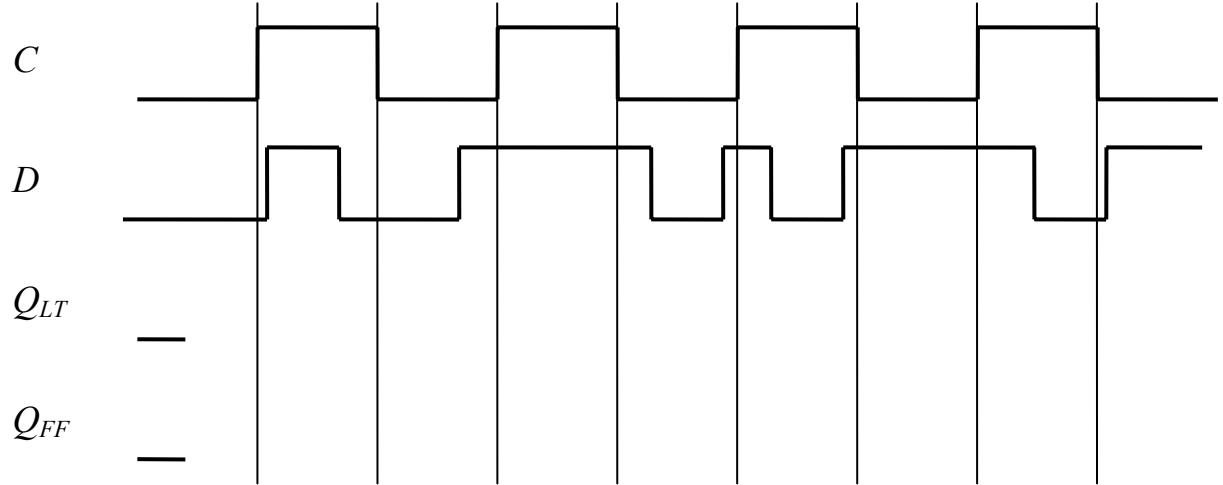


Abbildung 4.1

- (a) Tragen Sie in die Zeile  $Q_{LT}$  das zugehörige Ausgangssignal  $Q$  eines D-Latch ein! („0“ = „Hold“)
- (b) Tragen Sie in die Zeile  $Q_{FF}$  das zugehörige Ausgangssignal  $Q$  eines D-Flip-Flop ein! (steigende Flanke ist aktiv)
- (c) Beschreibt der folgende VHDL-Code ein D-Flip-Flop, ein D-Latch oder keines von beiden? Begründen Sie!

```

Architecture BEISPIEL_4 of PRUEFUNG is
begin
  signal CLK, DATA_IN, NEXT, DATA_OUT : std_logic;

  CAPTURE: process (CLK)
  begin
    if CLK'event and CLK = '1' then
      DATA_OUT <= NEXT;
    else
      NEXT <= DATA_OUT;      ←
    end if;
  end process CAPTURE;

  NEXT <= DATA_IN;

end BEISPIEL_4;

```

- (d) Wenn Sie den „else“-Zweig (mit Pfeilen markiert) weglassen – was beschreibt der Code dann?

# Vorlesungsprüfung aus Digitales Design

11. März 2008

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 2:**

Warum sind Wafer rund?

**Frage 3:**

Geben Sie die logische Funktion eines AOI321 an!

**Frage 4:**

Erläutern Sie die Auswirkung einer verspäteten Markteinführung eines Produktes auf den Gewinn.

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Nennen Sie drei Faktoren, von denen der thermische Widerstand eines Gehäuses abhängt!

**Frage 8:**

Wozu benötigt man bei der Fertigung eines ICs die Masken?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Gegeben sind drei Variable a, b und c. Gesucht ist die Realisierung einer „even Parity“-Funktion  $Y(a,b,c)$ , also einer Funktion die genau dann „1“ ausgibt, wenn das Eingangsmuster  $(a,b,c)$  eine ungerade Anzahl von Einsen aufweist.

- (a) Angenommen Sie haben ein FPGA zur Verfügung, dessen LUTs alle 4 Eingänge aufweisen.
  - Wie viele LUTs benötigen Sie?
  - Welche Signale schließen sie wie an?
  - Welche Speichergröße hat die gegebene LUT?
  - Geben Sie zu jeder benötigten LUT alle zugehörigen Speicherinhalte an!
- (b) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:
  - Wie viele p-Terms benötigen Sie?
  - Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert (=verbunden) werden müssen mit „O“
- (c) Wie würden Sie die Funktion in einer Multiplexer-basierten Logik realisieren?
  - Führen Sie die benötigten Umformungen durch, um  $F(a,b,c)$  geeignet darzustellen!
  - Welche Regel wenden Sie hierzu an?
  - Zeichnen Sie ein Schaltbild Ihrer Lösung!

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

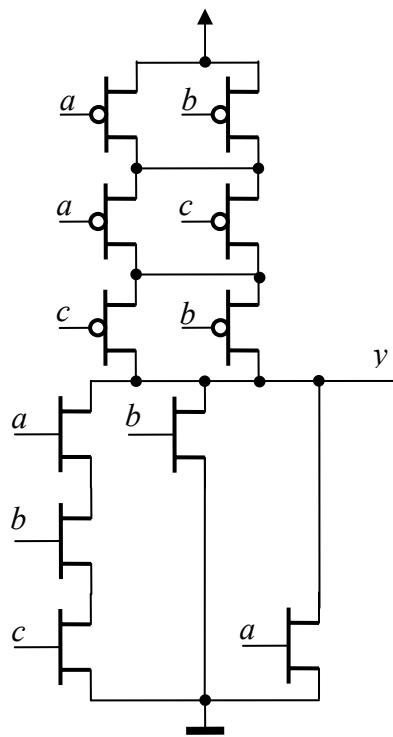
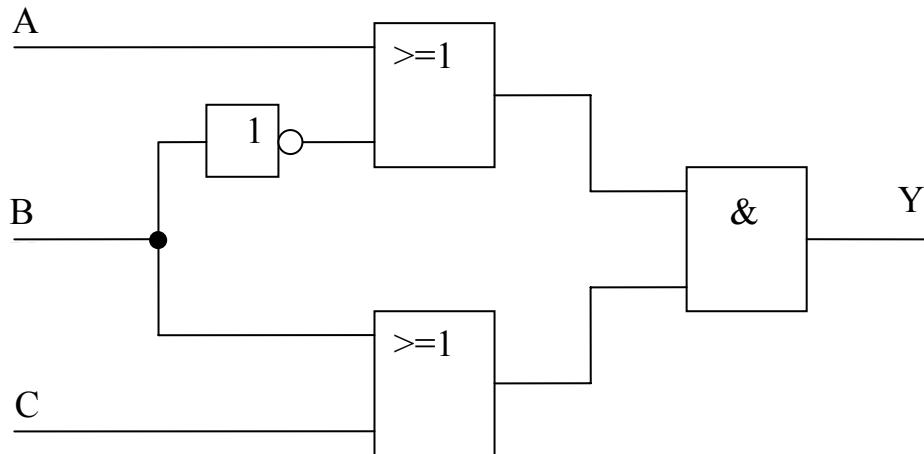


Abbildung 2.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (1,1,0)$ ? Begründen Sie!
- Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.



**Abbildung 3.1**

- Welche Grundfunktion erfüllt diese Schaltung?
- Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- Erstellen Sie eine Fehlerliste, indem Sie (zunächst ohne Berücksichtigung der Verkabelung) an jedem Eingang und an jedem Ausgang eines Gatters einen SA0-Fehler und einen SA1-Fehler annehmen! Wie viele Einträge hat diese Liste?
- Markieren Sie (nun unter Berücksichtigung der Verkabelung) alle Einträge in der Liste, die aufgrund von Fehleräquivalenz mit einem noch in der Liste verbleibenden Fehler entfallen können!  
Wie viele Einträge verbleiben nun?
- Markieren Sie nun (erkennbar anders als unter (d)) jene Einträge, die aufgrund von Fehlerdominanz entfallen können! Wie groß ist nun Ihre Fehlerliste?
- Findet der Testvektor  $(A, B, C) = (0, 1, 1)$  einen SA1-Fehler an Eingang A? Begründen Sie!

## Beispiel 4

Gegeben ist folgender VHDL-Code:

```
library IEEE;
use     IEEE.std_logic_1164.all;
use     IEEE.std_logic_UNSIGNED.all;

entity australia is
  port(
    dingo: in std_logic_vector(5 downto 0);
    koala: in std_logic_vector(1 downto 0);
    emu:   out std_logic_vector(5 downto 0);
    casuar: in std_logic_vector(5 downto 0);
  );
end australia;

architecture animals of australia is
begin

  emu <= "000000";

  decide: process(koala)
  begin
    case koala is
      when "10"  => emu <= dingo;
      when "00"  => emu <= "111111";
      when "01"  => emu <= casuar;
      when others => emu <= "000000";
    end case;
  end process decide;

end animals;
```

- (a) Bei der Synthese erhalten Sie eine Fehlermeldung die auf einen Treiberkonflikt hinweist. Was muss man im Code ändern, um diesen Konflikt zu beseitigen?
- (b) Erklären Sie die Funktion des (korrigierten) Codes. Was bewirken die Eingänge, wie ergeben sich die Ausgänge?
- (c) Welches Signal/welche Signale entspricht/entsprechen den „Daten“ in dieser Funktionseinheit? Wie groß ist die Breite des Datenwortes?
- (d) Handelt es sich um ein synchrones oder ein asynchrones Design? Begründen Sie!

# Vorlesungsprüfung aus Digitales Design

15. Oktober 2008

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Skizzieren Sie die Prinzipschaltung eines D-Latch!

**Frage 2:**

Warum eignet sich Silizium besonders gut für die Herstellung integrierter Schaltungen?

**Frage 3:**

Was ist der Vorteil von BiCMOS-Logik?

**Frage 4:**

Was ist ein IP-Core?

**Frage 5:**

Nennen Sie zwei wesentliche Vorteile des MRAM gegenüber einem EEPROM!

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Wie hängt die Junction-Temperatur eines Chips mit der Umgebungstemperatur zusammen?

**Frage 8:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 9:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 10:**

Was besagt die „Rule of Ten“?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, für ein 2-aus-3 Threshold Gate. Die Schaltung soll also am Ausgang (y) genau dann 1 ausgeben, wenn an zumindest zwei der drei Eingänge (a,b,c) logisch 1 anliegt.

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung einmal in disjunktiver und einmal in konjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung mittels LUT realisieren können: Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!
- (d) Entwerfen Sie eine Realisierung als AOI bzw. OAI (es ist jene Realisierung zu wählen, die mit weniger Transistoren auskommt). Zeichnen Sie die Schaltung als Realisierung mittels FETs!
- (e) Tragen Sie in Ihre Zeichnung alle leitenden Strompfade für den Zustand  $(a,b,c) = (1,0,0)$  ein!
- (f) Vergleichen Sie die Implementierungen aus (c) und (d): Wie viele Gatteräquivalente benötigen Sie für (d)? Nehmen Sie an, für eine Speicherzelle der LUT werden 6 Transistoren benötigt, und die restliche Logik sei vernachlässigbar – wie viele Gatteräquivalente benötigt die LUT-Lösung aus (c)?

## Beispiel 2

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_7 \oplus X_4 \oplus X_2 \oplus X_0$$
(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0111100010110110“ initialisiert. Welchen Wert hat der Ausgang nach 4 Taktzyklen (= aktiven Taktflanken)?

### Beispiel 3

Gegeben sei ein CPU-Chip, der nominal bei 2,5V Versorgungsspannung, 20°C Umgebungs-temperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 85°C erreicht. Abbildung 2.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 97% der gefertigten Chips funktionieren. Bei den restlichen 3% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

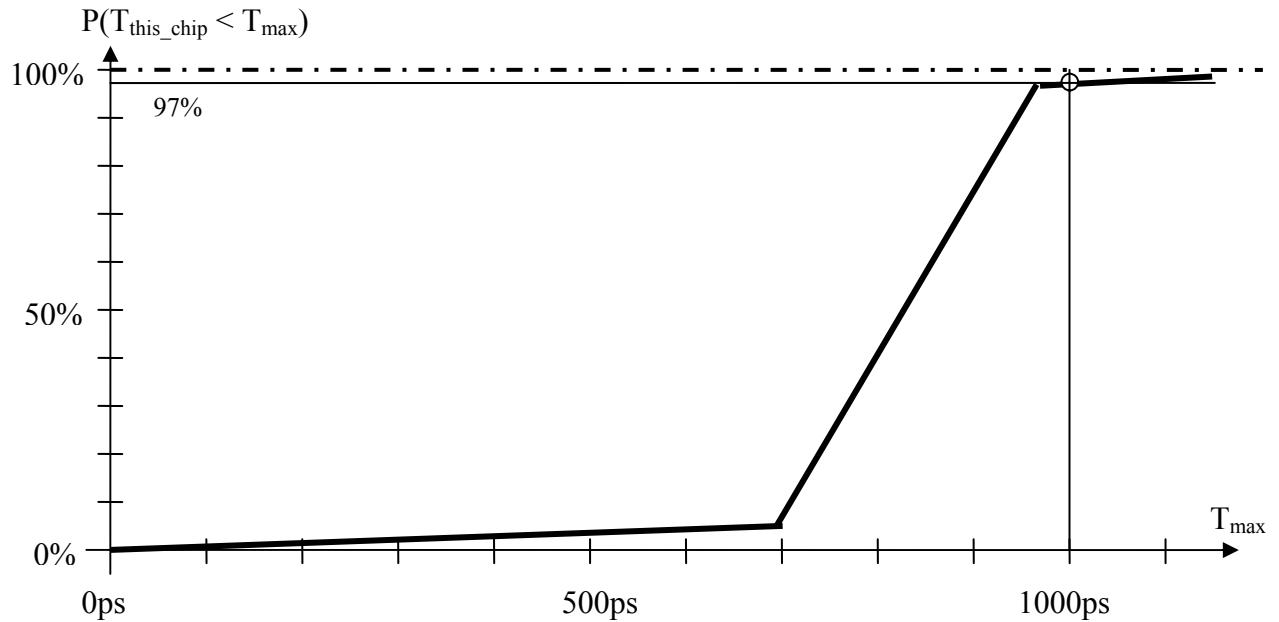


Abbildung 3.1

- Würde man den Chip um 33% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 3.1 der Prozentsatz der auszuscheidenden Chips?
- Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,33GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? (*Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.*)
- Wie hoch wird die Die-Temperatur bei 1,33GHz? (*Nehmen Sie an, dass dynamische Ströme die Verlustleistung dominieren*).
- Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,33GHz? ( $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{act} = 0,7 \text{ eV}$ )
- Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den (relativen) Wert dieser Änderung!

T <sub>junction</sub>	70°C	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er auch trotz der Erwärmung noch bei 1,33GHz funktioniert? Wie hoch ist daher nun – unter Berücksichtigung des Derating durch die Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;
use      IEEE.std_logic_UNSIGNED.all;

entity glass is
port(
  beat   : in std_logic;
  energy : in std_logic;
  polka : out std_logic;
  waltz : out std_logic;
  tango : out std_logic_vector(0 to 3)
);
end glass;
```

```
architecture heart of glass is
  signal girl, boy:
    std_logic_vector(0 to 1);

begin
  ball: process(girl)
  begin
    case girl is
      when "00"  => boy <= "01";
      when "01"  => boy <= "10";
      when "10"  => boy <= "11";
      when others => boy <= "00";
    end case;
  end process ball;

  contest: process(girl, energy)
  variable chacha: std_logic_vector(0 to 3);
  begin
    if energy = '0' then
      chacha := "0000";
    end if;
    case girl is
      when "10"  => polka <= '1';
                      waltz  <= '1';
      when "01"  => polka <= '0';
                      chacha := chacha + '1';
                      waltz  <= '1';
      when others => polka <= '0';
                      waltz  <= '0';
    end case;
    tango <= chacha;
  end process contest;

  party: process(beat, energy)
  begin
    if energy = '0' then
      girl <= "00";
    else
      if beat'event and beat = '1' then
        girl <= boy;
      end if;
    end if;
  end process party;
end heart;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Tragen Sie den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf von polka, waltz und tango !

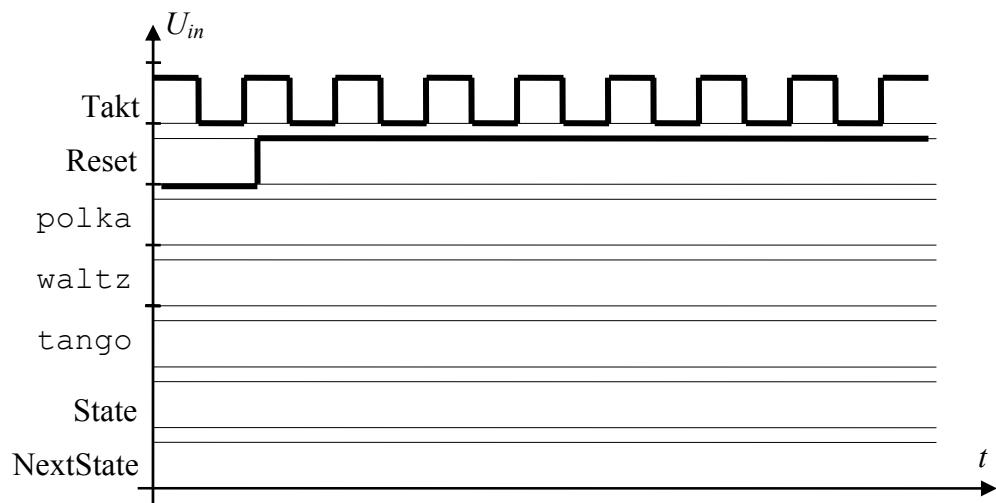


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

18. Jänner 2008

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Wie hängt die Junction-Temperatur eines Chips mit der Umgebungstemperatur zusammen?

**Frage 8:**

Was versteht man unter Electromigration?

**Frage 9:**

Wozu benötigt man in VHDL die Configuration?

**Frage 10:**

Nennen Sie zwei Maße für die Testqualität!

## Rechenbeispiele

### Beispiel 1

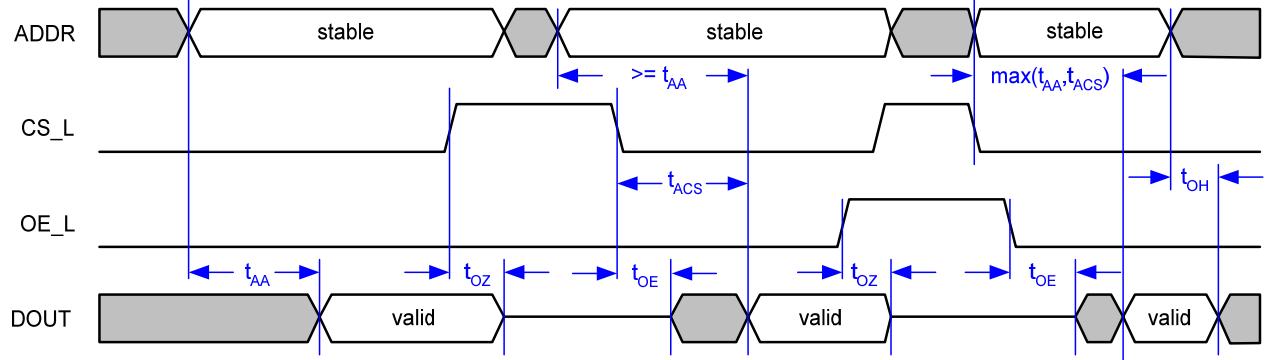
Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_5 \oplus X_4 \oplus X_2 \oplus X_0$$

(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0111100010110110“ initialisiert. Welchen Wert hat der Ausgang nach 4 Taktzyklen (= aktiven Taktflanken)?

## Beispiel 2

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 2.1)

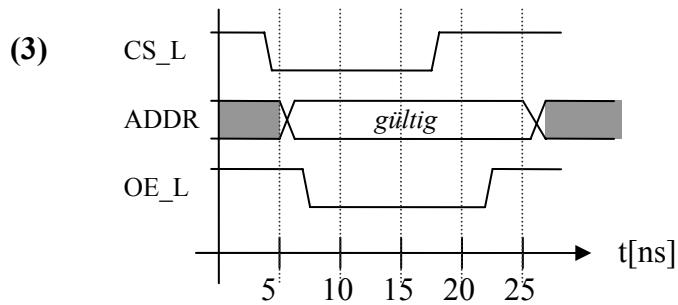
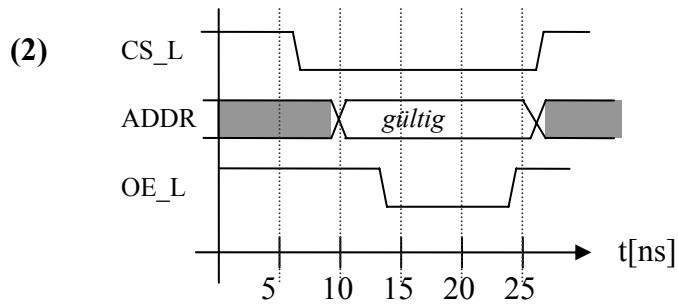
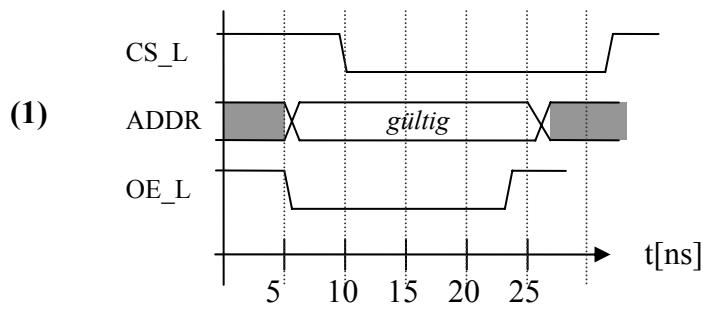


$$t_{AA} = 10\text{ns}, t_{ACS} = 15\text{ns}, t_{OE} = 5\text{ns}$$

Abbildung 2.1

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 2.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?



**Abbildung 2.2**

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung: Ein asynchrones Eingangssignal mit mittlerer Frequenz  $f_{input} = 10\text{MHz}$  soll in eine synchrone Schaltung mit Taktfrequenz  $f_{clk} = 250\text{MHz}$  übernommen werden. Dazu wird das Flip-Flop  $FF1$  als einstufiger Synchronizer vorgeschaltet, wobei zwischen Ausgang des Synchronizers und Eingang der synchronen Schaltung ein Routing-Delay  $t_{route} = 1,0\text{ns}$  auftritt. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,2\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

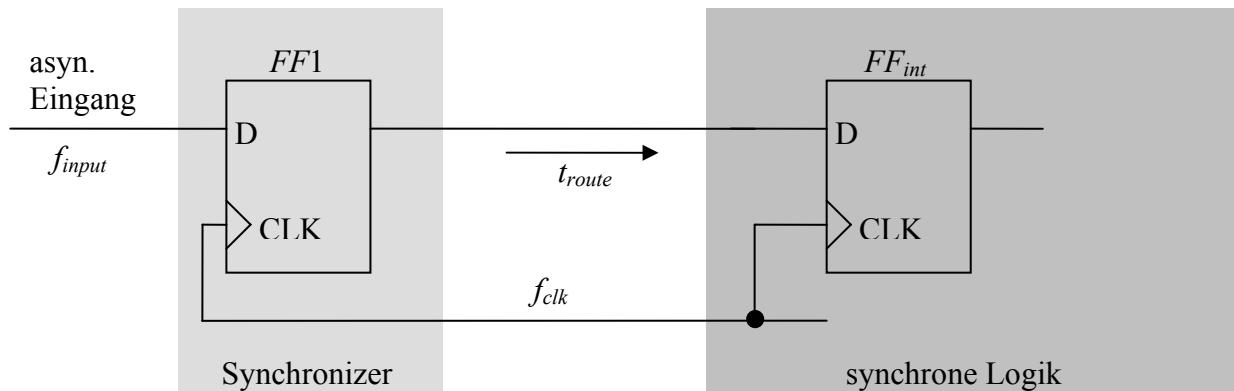


Abbildung 3.1

(a) Wie groß ist die Resolution Time für  $FF_{int}$ ? Welche MTBU ist zu erwarten?

Zur Erhöhung der MTBU soll der Synchronizer zweistufig gemacht werden, indem ein weiteres Flip-Flop,  $FF2$ , mit identischen Eigenschaften zwischen den Ausgang von  $FF1$  und den Eingang von  $FF_{int}$  geschaltet wird. Damit ergibt sich die in Abbildung 3.2 dargestellte Schaltung. Das Routing Delay zwischen zwei benachbarten Flip-Flops betrage weiterhin  $t_{route}$ .

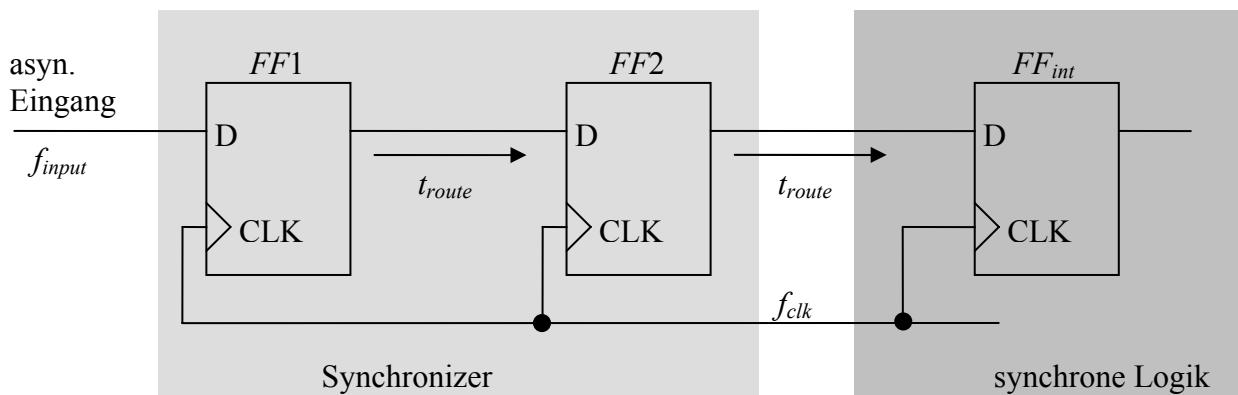


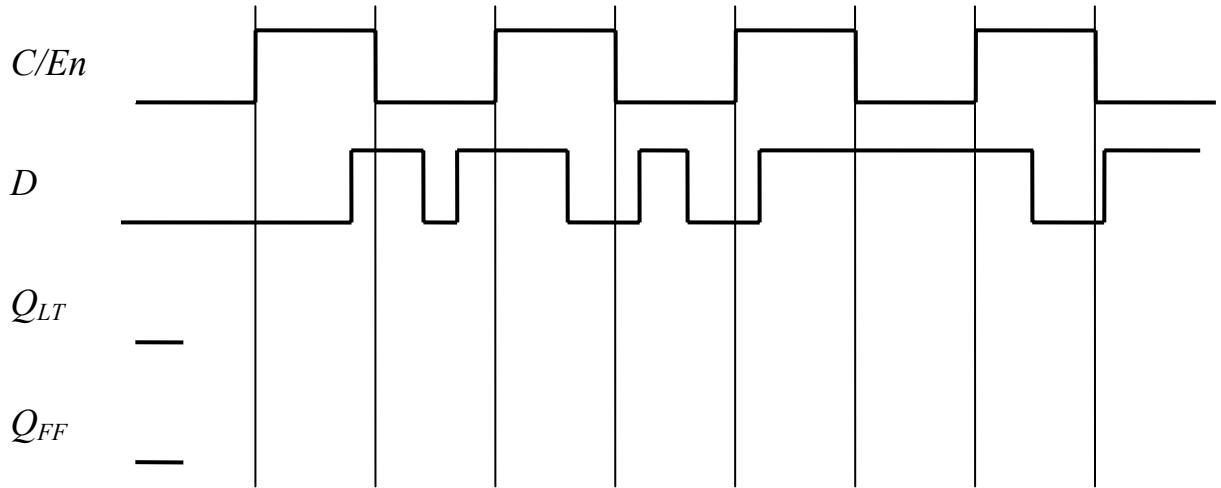
Abbildung 3.2

(b) Wie groß die Resolution time für  $FF2$ ? Welche MTBU ist an  $FF2$  zu erwarten?

(c) Welche MTBU ergibt sich nun für  $FF_{int}$ ? (Hinweis: Beachten Sie bei der Berechnung, dass sich ein asynchroner Eingangsimpuls für  $FF_{int}$  nur im Falle eines Upset an  $FF1$  ergibt!)

## Beispiel 4

Gegeben sind die in Abbildung 4.1 dargestellten Signalverläufe für ein Datensignal  $D$  und ein Clock-Signal  $C$  bzw. Enable-Signal  $En$ .



**Abbildung 4.1**

- (a) Tragen Sie in die Zeile  $Q_{LT}$  das zugehörige Ausgangssignal  $Q$  eines D-Latch ein! („0“ = „Hold“)
- (b) Tragen Sie in die Zeile  $Q_{FF}$  das zugehörige Ausgangssignal  $Q$  eines D-Flip-Flop ein! (steigende Flanke ist aktiv)
- (c) Beschreibt der folgende VHDL-Code ein D-Flip-Flop, ein D-Latch oder keines von beiden? Begründen Sie!

```

Architecture HEARD of THIS is
begin
  signal CLK, INPUT, NEW, DATA_OUT : std_logic;

  NEW <= INPUT;

  CAPTURE: process (CLK)
  begin
    if CLK'event and CLK = '1' then
      DATA_OUT <= NEW;
    else
      NEW <= DATA_OUT;      ←
    end if;
  end process CAPTURE;
end HEARD;

```

- (d) Wenn Sie den „else“-Zweig (mit Pfeilen markiert) weglassen – was beschreibt der Code dann?

# Vorlesungsprüfung aus Digitales Design

18. Juni 2008

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie einen wesentlichen Unterschied zwischen sequentieller und kombinatorischer Logik!

**Frage 2:**

Skizzieren Sie den Querschnitt durch einen Feldeffekt-Transistor!

**Frage 3:**

Über welchen Faktor hängen die Komplexitätsmaße „Gate-Count“ und „Anzahl der Transistoren“ zusammen? Erklären Sie diesen Faktor!

**Frage 4:**

Was ist Back-Annotation und zu welchem Zeitpunkt im Design-Flow wird sie durchgeführt?

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Was ist der Unterschied zwischen Gate-Array und CBIC?

**Frage 7:**

Angenommen die Versorgungsspannung eines Chip liegt am unteren Ende des Toleranzbereiches. Werden die Delays dadurch höher oder geringer als beim Nominalwert?

**Frage 8:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 9:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 10:**

Welchen Zweck hat ein Process in VHDL?

## Rechenbeispiele

### Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

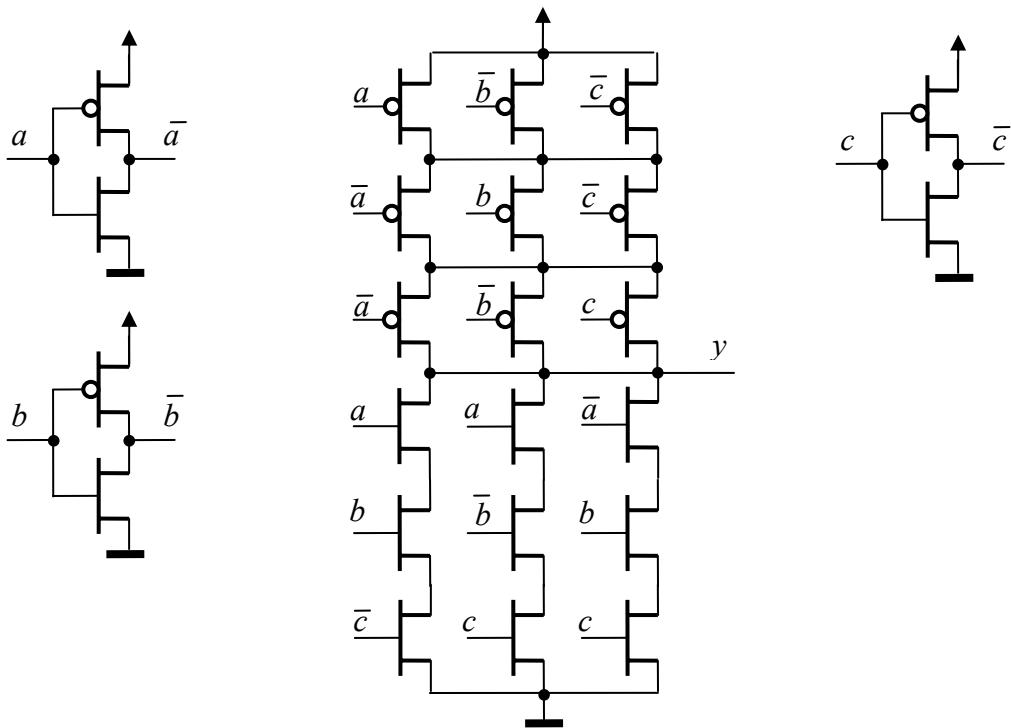
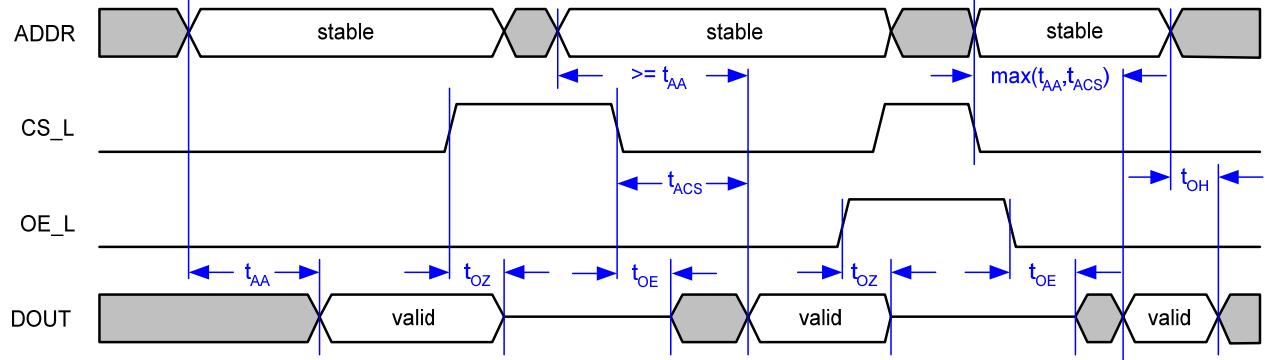


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,1,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Zeichnen Sie Wahrheitstabelle und KV-Diagramm dieser Funktion  $y$  !
- Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !
- Was müsste man tun, um mit dieser Schaltung eine „even parity“ für  $(a,b,c)$  zu realisieren?
- Stellen Sie die Funktion  $y(a,b,c)$  jeweils in konjunktiver und disjunktiver Normalform dar!
- Zeigen Sie, wie Sie diese Funktion  $y(a,b,c)$  mit einer PAL-Struktur realisieren können:
  - Wie viele P-Terme benötigen Sie?
  - Wie viele Programmerelemente weist die Verbindungsmaatrix insgesamt auf? Wie viele davon werden programmiert (d.h. eine Verbindung wird erstellt)?
  - Zeichnen Sie das Schaltbild!
  - Skizzieren Sie, wie man am Ausgang einen programmierbaren Inverter realisieren könnte!
  - Wie viele P-Terme würde man bei Verwendung des Inverters benötigen?

## Beispiel 2

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 2.1)

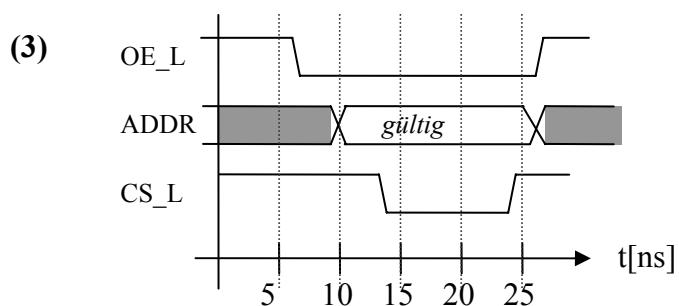
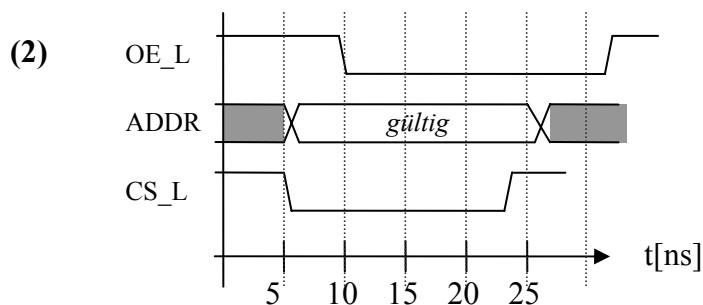
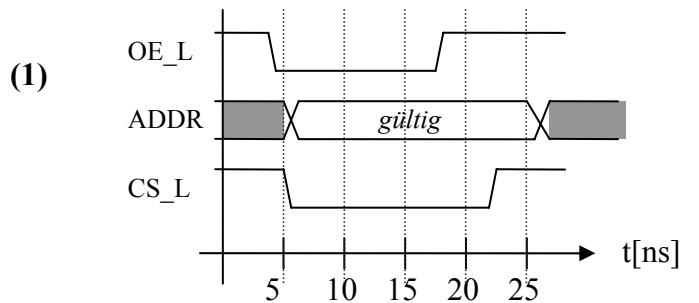


$$t_{AA} = 10\text{ns}, t_{ACS} = 15\text{ns}, t_{OE} = 5\text{ns}$$

Abbildung 2.1

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 2.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?



**Abbildung 2.2**

### Beispiel 3

In Abbildung 3.1 ist ein analoger Spannungsverlauf  $U_{in}$  gegeben.

- Dieses Signal  $U_{in}$  wird an einen Eingang eines digitalen Gatters mit Schwellwert  $U_{th} = 1,25V$  (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 3.1 den Spannungsverlauf  $U_{dig1}$  nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von  $U_{in}$  nun ein Schmitt Trigger-Eingang verwendet.  $U_{dig2}$  zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (incl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Trigger! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

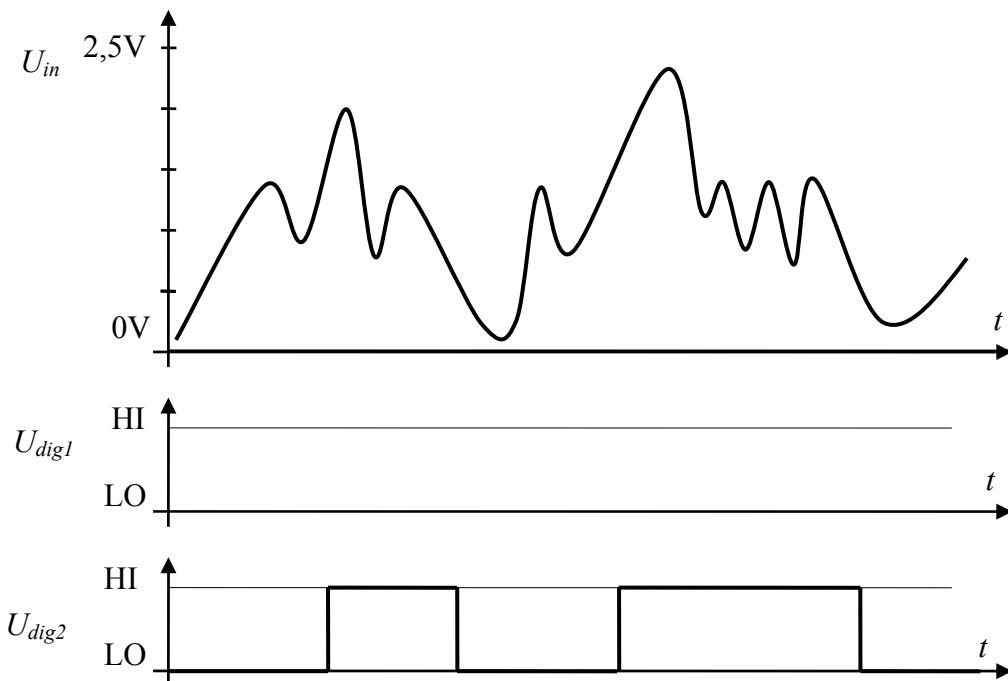


Abbildung 3.1

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity soccer is
  port(
    sweden:  in std_logic;
    spain :  in std_logic;
    italy: out std_logic_vector(0 to 2)
  );
end soccer;
```

```
architecture champions of soccer is
  signal netherlands, france:
    std_logic_vector(0 to 1);

begin
  vienna: process(netherlands)
  begin
    case netherlands is
      when "00"  => italy <= "101";
      when "01"  => italy <= "001";
      when "11"  => italy <= "110";
      when others => italy <= "010";
    end case;
  end process vienna;

  geneve: process(netherlands)
  begin
    case netherlands is
      when "00"  => france <= "01";
      when "01"  => france <= "10";
      when "11"  => france <= "01";
      when others => france <= "00";
    end case;
  end process geneve;

  klagenfurt: process(sweden, spain)
  begin
    if spain = '0' then
      netherlands <= "00";
    else
      if sweden'event and sweden = '1' then
        netherlands <= france;
      end if;
    end if;
  end process klagenfurt;
end champions;
```

- (a) Identifizieren Sie das Taktsignal! Ist die steigende oder die fallende Taktflanke die aktive? Begründen Sie!
- (b) Identifizieren Sie den Reset! Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- (c) Ist der Reset synchron oder asynchron? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht jeweils welchem Funktionsblock?
- (e) Wie viele interne Zustände nimmt die State-Machine im normalen Betrieb ein? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen?
- (f) Welche Sequenz von Werten durchläuft das Ausgangssignal?

# Vorlesungsprüfung aus Digitales Design

23. April 2008

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was besagt das Theorem von De Morgan?

**Frage 2:**

Kann es sinnvoll sein, ein Design aus Kostengründen auf 2 Chips aufzuteilen? Begründen Sie!

**Frage 3:**

Beschreiben Sie die logische Funktion eines AOI311! Skizzieren Sie seinen Aufbau aus Transistoren!

**Frage 4:**

Geben Sie die Signal-Resolution-Table für die Funktion XOR und die Zustände  $\{0,1,X\}$  an!

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Was versteht man unter Bonding?

**Frage 8:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 9:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 10:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

## Rechenbeispiele

### Beispiel 1

Für eine 7-Segment-Anzeige soll eine Ansteuerung realisiert werden: Der Eingang  $Z = (z_3, z_2, z_1, z_0)$  ist ein binär codierter positiver Integer-Wert. Dieser Wert soll durch geeignete Ansteuerung der Leuchtsegmente a, b, c, d, e, f, g als Ziffer auf einem Display dargestellt werden. Die Lage der einzelnen Segmente ist in Abbildung 1.1 (rechts) gegeben. Ein Segment leuchtet bei Ansteuerung mit „1“.

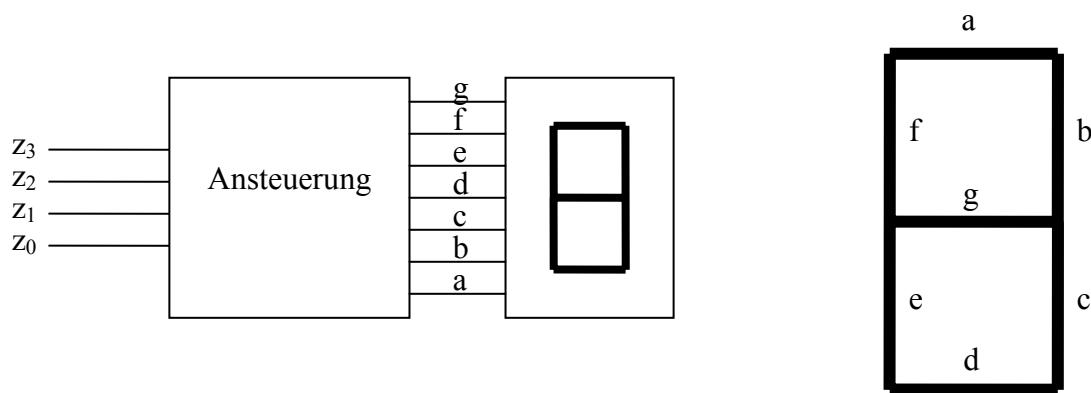


Abbildung 1.1

- (a) Geben Sie die Wahrheitstabelle für die Leuchtsegmente b und c an! (Für Eingänge, die einem Integer größer als 9 entsprechen, kann der Ausgang beliebig sein – tragen Sie daher ein „X“ in die Wahrheitstabelle ein).
- (b) Zeichnen Sie das KV-Diagramm für Leuchtsegment b! Leiten Sie daraus eine konjunktive Normalform ab, die mit möglichst wenig Maxtermen auskommt. Belegen Sie dazu die „X“-Werte geeignet mit „0“ und „1“.
- (c) Skizzieren Sie, wie Sie diese Verknüpfung für b mittels einer PAL-Struktur implementieren würden (Ausgangsinverter ist verfügbar):  
Wie viele p-Terms benötigen Sie bei bestmöglicher Auslegung?  
Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert werden müssen mit “O“
- (d) Zeichnen Sie das KV-Diagramm für Leuchtsegment c! Leiten Sie daraus eine disjunktive Normalform ab, die mit möglichst wenig und möglichst kurzen Mintermen auskommt. Belegen Sie dazu wieder die X-Werte geeignet mit „0“ und „1“.
- (e) Leiten Sie eine Realisierung der für c benötigten Verknüpfung mittels Multiplexer-basierter Logik (Prinzip wie im ACTEL-FPGA, ohne Register) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=2,5V$  einen mittleren Strom von 4A. Im Datenblatt finden Sie für die Kühlung folgende Angaben:

$$\theta_{JC} = 3K/W, \theta_{JA} = 10K/W$$

Es ist ein Kühlkörper vorzusehen, der besser als 2K/W spezifiziert ist.

- (a) Angenommen Sie haben einen Kühlkörper, der mit 1K/W spezifiziert ist. Dürfen Sie diesen verwenden?
- (b) Bei Verwendung eines Kühlkörpers mit 2K/W und im Betrieb bei  $T_{AMB}=20^{\circ}C$ : Welche Temperatur  $T_C$  erreicht der Chip (Gehäuse), welche Temperatur  $T_J$  der Die?
- (c) Sie haben gerade keinen passenden Kühlkörper zur Hand und betreiben den Chip daher ohne Kühlkörper. Welche Temperatur  $T_C$  bzw.  $T_J$  erreichen Gehäuse bzw. Die nun?
- (d) Auf wie viel % verkürzt sich durch den Betrieb ohne Kühlkörper die Lebenserwartung des Chips? *(Hinweis: Ermitteln Sie dazu den Temperature acceleration Factor)*

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV}$$

### Beispiel 3

In Abbildung 3.1 ist ein analoger Spannungsverlauf  $U_{in}$  gegeben.

- Dieses Signal  $U_{in}$  wird an einen Eingang eines digitalen Gatters mit Schwellwert  $U_{th} = 1,25V$  (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 3.1 den Spannungsverlauf  $U_{dig1}$  nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von  $U_{in}$  nun ein Schmitt Trigger-Eingang verwendet.  $U_{dig2}$  zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (incl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Trigger! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

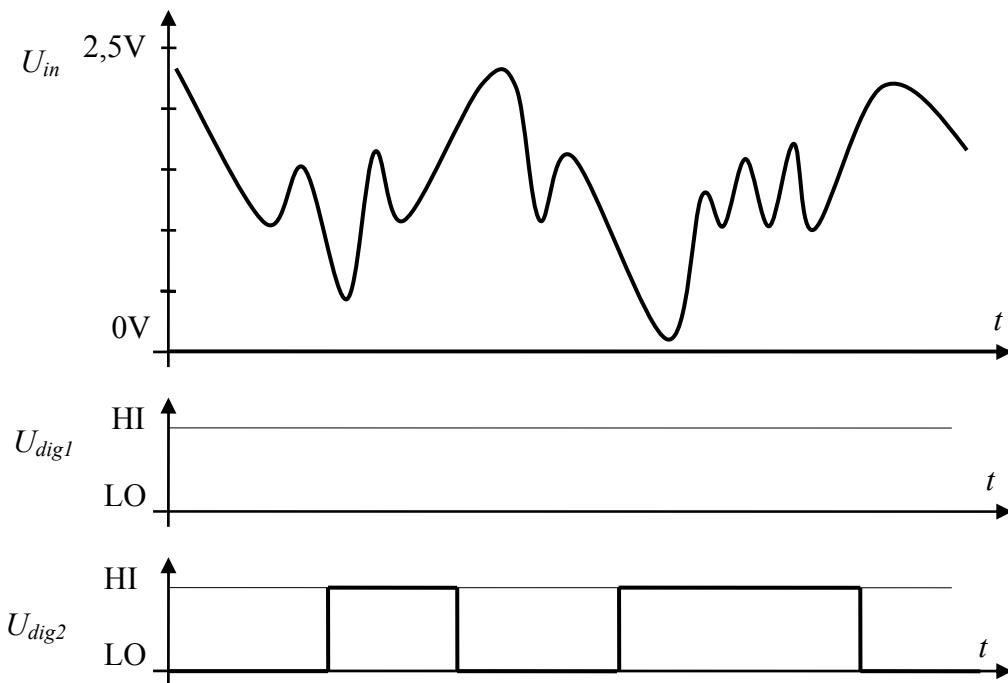


Abbildung 3.1

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use     IEEE.std_logic_1164.all;
use     IEEE.std_logic_UNSIGNED.all;

entity year is
  port(
    flower : in std_logic;
    grass : out std_logic;
    sun : out std_logic;
    bird   : in std_logic
  );
end year;

architecture season of year is
  signal tree, green:
    std_logic_vector(0 to 1);

begin

  autumn: process(tree)
  begin
    case tree is
      when "10"  => green <= "11";
      when "00"  => green <= "01";
      when "01"  => green <= "10";
      when others => green <= "00";
    end case;
  end process autumn;

  spring: process(tree, flower)
  variable smell: std_logic_vector(0 to 3);
  begin
    if flower = '0' then
      smell := "0000";
    end if;
    case tree is
      when "10"  => grass <= '1';
                      sun <= '1';
      when "01"  => grass <= '0';
                      smell := smell + '1';
                      sun <= '1';
      when others => grass <= '0';
                      sun <= smell(1);
    end case;
  end process spring;

  summer: process(bird, flower)
  begin
    if flower = '0' then
      tree <= "00";
    else
      if bird'event and bird = '1' then
        tree <= green;
      end if;
    end if;
  end process summer;

end season;
```

- Identifizieren Sie Taktsignal und Reset!
- Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Tragen Sie den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf von sun, grass und smell !

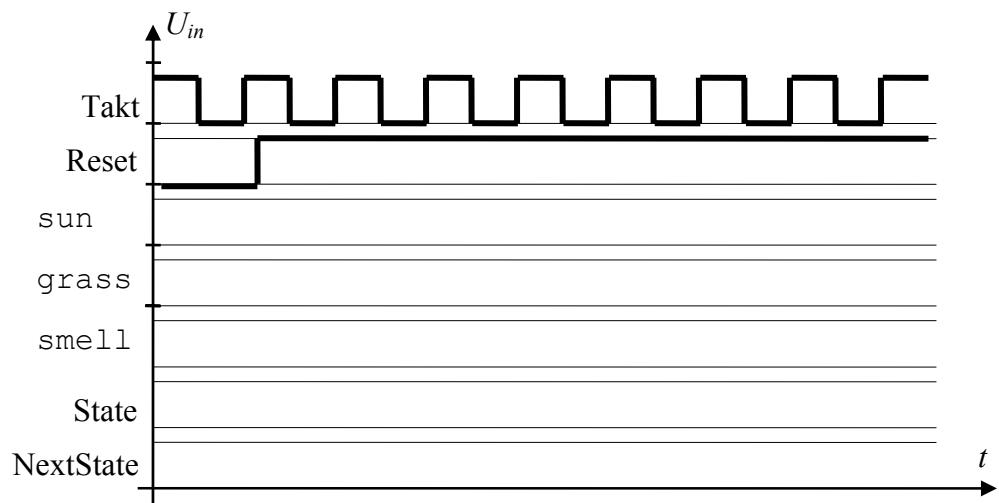


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

19. November 2008

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 2:**

Warum sind Wafer rund?

**Frage 3:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 4:**

Welche Probleme treten beim „exhaustive Test“ in der praktischen Anwendung auf?

**Frage 5:**

Wozu verwendet man eine Antifuse?

**Frage 9:**

Was ist ein IDDQ-Test? Benötigt man dafür auch Testvektoren? Begründen Sie!

**Frage 7:**

Erklären Sie Zweck und Prinzip des Burn-in!

**Frage 8:**

Was versteht man unter Electromigration?

**Frage 9:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

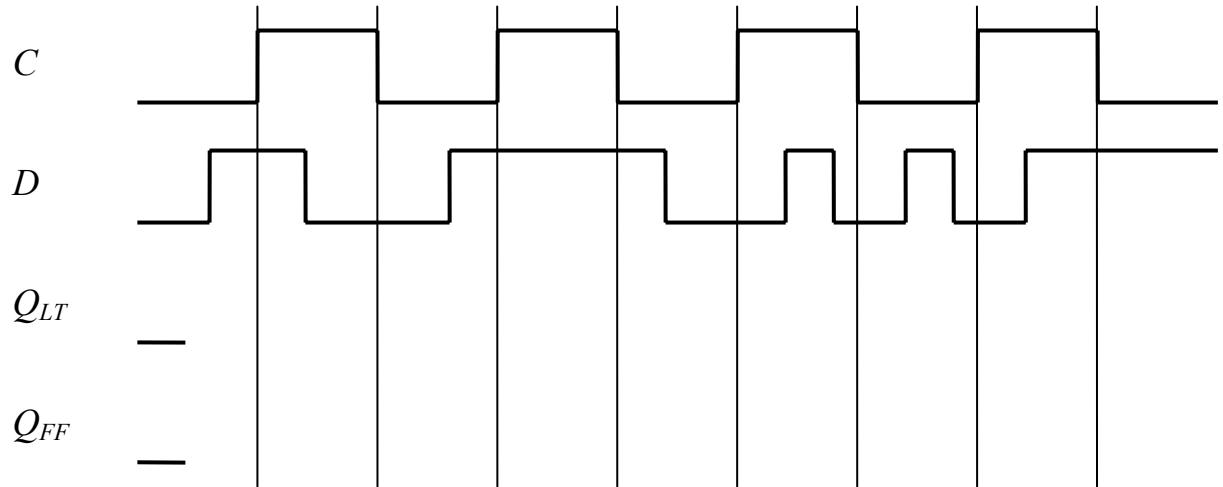
**Frage 10:**

Welchen Zweck hat der programmierbare Inverter am Ausgang eines PAL für die Logikoptimierung?

## Rechenbeispiele

### Beispiel 1

Gegeben sind die in Abbildung 1 dargestellten Signalverläufe für ein Datensignal  $D$  und ein Clock-Signal bzw. Enable-Signal  $C$ .



- Tragen Sie in die Zeile  $Q_{LT}$  das zugehörige Ausgangssignal  $Q$  eines D-Latch ein! („0“ = „Hold“)
- Tragen Sie in die Zeile  $Q_{FF}$  das zugehörige Ausgangssignal  $Q$  eines D-Flip-Flop ein! (steigende Flanke ist aktiv)
- Beschreibt der folgende VHDL-Code ein D-Flip-Flop, ein D-Latch oder keines von beiden? Begründen Sie!

```
Architecture BEISPIEL_3 of PRÜFUNG is
begin
  signal CLK, DATA, NEXT, OUT : std_logic;

  CAPTURE: process(CLK)
  begin
    if CLK'event and CLK = '1' then
      OUT <= NEXT;
    else
      NEXT <= OUT;      ←
    end if;
  end process CAPTURE;

  NEXT <= DATA;

end BEISPIEL_3;
```

- Wenn Sie den „else“-Zweig (mit Pfeilen markiert) weglassen – was beschreibt der Code dann?

## Beispiel 2

Gegeben ist der Spannungsverlauf  $U_{in}$  in Abbildung 1:

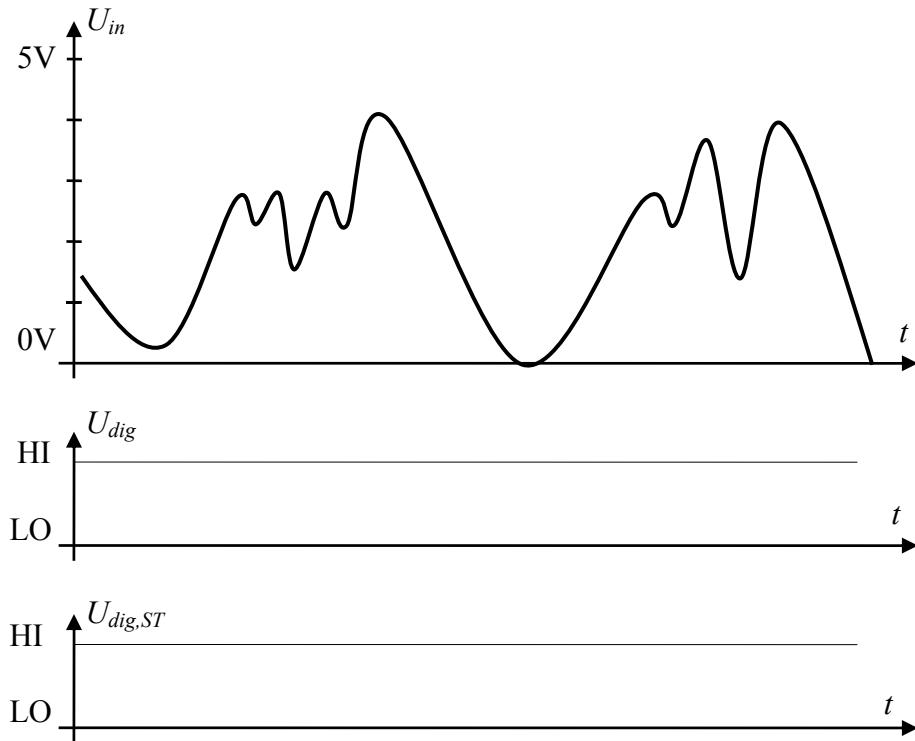


Abbildung 1

- (a) Tragen Sie in die Abbildung den Spannungsverlauf  $U_{dig}$  nach der Digitalisierung dieser Eingangsspannung ein, wenn der Schwellwert fix bei 2,5V liegt.

In Abbildung 2 ist die Kennlinie eines Schmitt-Trigger gegeben.

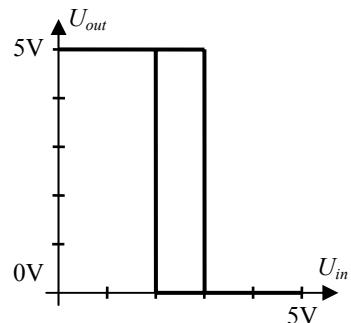


Abbildung 2

- (b) Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- (c) Wie groß ist die Hysterese dieses Schmitt-Trigger (incl. Einheit!) ?
- (d) Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!
- (e) Wie sieht die Ausgangsspannung  $U_{dig,ST}$  am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 1 anlegen? Tragen Sie den Verlauf in Abbildung 1 ein!

### Beispiel 3

Ein Chip hat bei einer Versorgungsspannung von  $V_{DD} = 5V$  einen Stromverbrauch von  $2A$ . Bei einer Umgebungstemperatur von  $T_{amb} = 20^{\circ}C$  erreicht der Die im Betrieb eine Temperatur von  $T_J = 100^{\circ}C$ . Laut Datenblatt beträgt die MTBF des Chips unter diesen Bedingungen 10 Jahre.  $E_{act} = 0,7\text{eV}$ ;  $k = 8,6 \cdot 10^{-5} \text{ eV/K}$

- (a) Wie groß ist die Verlustleistung des Chips unter diesen Bedingungen ?
- (b) Wie groß ist der Thermische Widerstand  $T_{JA}$  des Chips (incl. Einheit)?

Aufgrund eines Fehlers in der Dimensionierung der Spannungsversorgung wird der Chip nun mit  $V_{DD} = 6V$  betrieben.

- (c) Wie groß ist nun die Verlustleistung?  
(Nehmen Sie an, daß die dynamischen Ladeströme dominieren)
- (d) Welche Temperatur erreicht der Die nun ?
- (e) Welche MTBF ist zu erwarten ?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity universe is
  port(
    moon:    in std_logic;
    jupiter : in std_logic;
    neptun:out std_logic_vector(0 to 2)
  );
end universe;
```

```
architecture master of universe is
  signal earth, pluto:
    std_logic_vector(0 to 1);

begin
  fire: process(earth)
  begin
    case earth is
      when "00"  => neptun <= "101";
      when "01"  => neptun <= "001";
      when "10"  => neptun <= "110";
      when others => neptun <= "010";
    end case;
  end process fire;

  water: process(earth)
  begin
    case earth is
      when "00"  => pluto <= "01";
      when "10"  => pluto <= "11";
      when "01"  => pluto <= "10";
      when others => pluto <= "00";
    end case;
  end process water;

  ice: process(moon, jupiter)
  begin
    if jupiter = '1' then
      earth <= "00";
    else
      if moon'event and moon = '1' then
        earth <= pluto;
      end if;
    end if;
  end process ice;
end master;
```

- (a) Identifizieren Sie Taktsignal und Reset! Ist der Reset HI-aktiv oder LO-aktiv?
- (b) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (c) Wie viele Bit umfasst der Eingang dieser Schaltung? Wie viele der Ausgang? Begründen Sie!
- (d) Wie viele interne Zustände kann die State-Machine einnehmen? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen?

# Vorlesungsprüfung aus Digitales Design

10. März 2009

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was ist eine Sign-off Simulation?

**Frage 2:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 3:**

Handelt es sich bei einem ROM um rein kombinatorische oder sequentielle Logik? Begründen Sie!

**Frage 4:**

Wodurch unterscheidet sich im Aufbau ein Tri-State-Ausgang von einem open-Drain-Ausgang?

**Frage 5:**

Was besagt das Moore'sche Gesetz

**Frage 6:**

Was ist ein IP-Core?

**Frage 7:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 9:**

Nennen Sie zwei Maßnahmen um die Wahrscheinlichkeit für Upsets infolge von Metastabilität zu vermeiden!

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Gegeben sind zwei Variable A und B mit 2 Bit Wortbreite, d.h.  $A = (a_1, a_0)$ ,  $B = (b_1, b_0)$ . Gesucht ist die Realisierung einer Funktion, die genau dann „1“ ausgibt, wenn  $A > B$ . A und B sind binär codierte positive Integer-Werte, es gilt also  $(0,0) < (0,1) < (1,0) < (1,1)$ .

(a) Skizzieren Sie, wie Sie diese Funktion mittels eines ROM implementieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

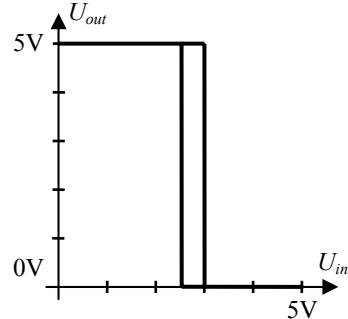
(b) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:

Wie viele p-Terms benötigen Sie?

Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert (=verbunden) werden müssen mit „O“

## Beispiel 2

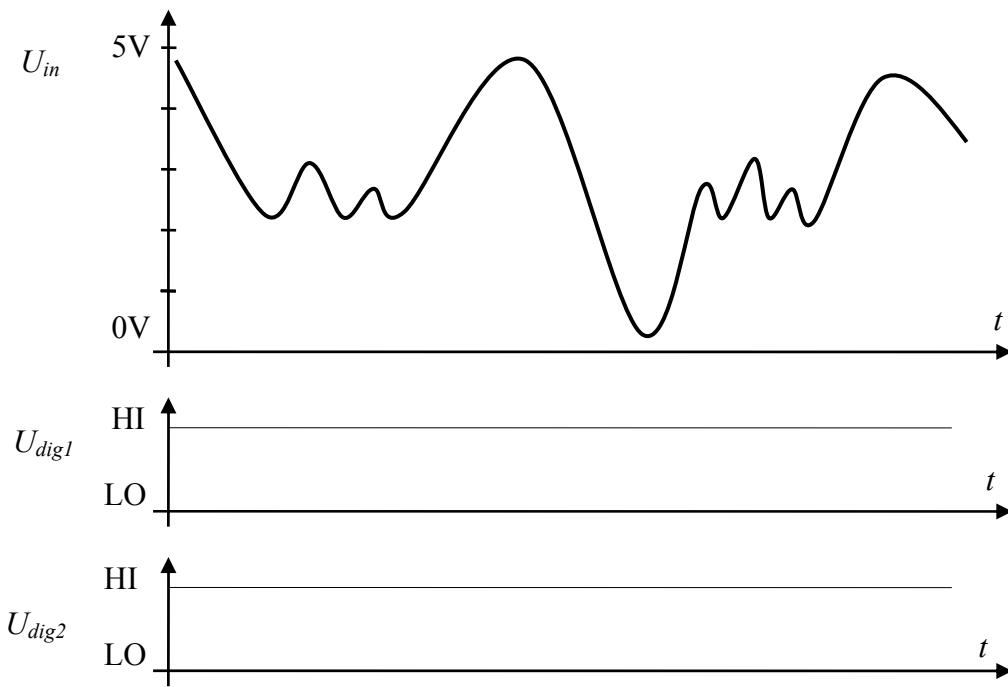
In Abbildung 2.1 ist die Kennlinie eines Schmitt-Trigger gegeben.



**Abbildung 2.1**

- Kennzeichnen Sie durch Pfeile in den vertikalen Abschnitten der Kennlinie die Richtung, in der die Kennlinie durchlaufen wird.
- Wie groß ist die Hysteresis dieses Schmitt-Trigger (incl. Einheit!) ?
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

Gegeben ist weiters der Spannungsverlauf  $U_{in}$  in Abbildung 2.2:



**Abbildung 2.2**

- Wie sieht die Ausgangsspannung am Ausgang des Schmitt-Trigger aus, wenn Sie die Eingangsspannung nach Abbildung 2.2 anlegen? Tragen Sie den Verlauf als  $U_{dig1}$  in Abbildung 2.2 ein!
- Wie könnte man die obere Schwellspannung des Schmitt-Trigger für diese Eingangsspannung besser auslegen, um Störimpulse im mittleren Spannungsbereich wirkungsvoller zu unterdrücken? Tragen Sie Ihren Verbesserungsvorschlag in die Kennlinie ein und stellen Sie den Ausgangsspannungsverlauf der verbesserten Schaltung als  $U_{dig2}$  in Abbildung 2.2 dar!

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 10MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1,5\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

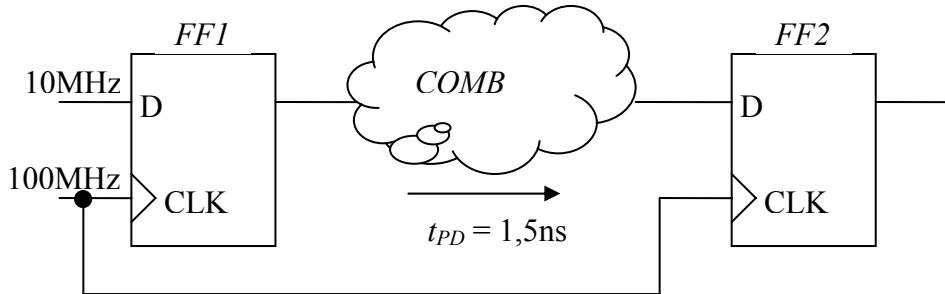


Abbildung 3.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 5V Versorgungsspannung 4A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit 3K/W?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

	4.50 V	4.75 V	5.00 V	5.25 V	5.50 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 5.5V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

## Beispiel 4

Von einem bestimmten Server werden 1 Million Stück gefertigt. Jeder dieser Server ist mit einem DMA-Controller-Chip ausgerüstet. Ein solcher Controller Chip kostet 4€ und weist bei der Fertigung einen Defect Level von 4% auf. Die Kosten für die Reparatur des Servers aufgrund eines defekten DMA-Controllers betragen im Mittel 800€.

- (a) Welchen finanziellen Schaden verursachen die Reparaturkosten für die nicht entdeckten Controller-Chips?
- (b) Durch einen Funktionstest aller mit dem Controller bestückten Platinen vor dem Einbau in den Server könnte man 75% der verbliebenen Defekte erkennen, für die sich die Reparaturkosten dann auf 200€ reduzieren. Ist die Anwendung eines solchen Tests wirtschaftlich sinnvoll, wenn dadurch Testkosten von 30€ je Platine anfallen?
- (c) Durch einen Built-in Self-Test kann die Defektrate des Chips von 4% auf 1% vermindert werden. Ist die Anwendung des BIST wirtschaftlich sinnvoll, wenn die zusätzlich benötigte Testlogik den Preis des Controllers auf 5€ erhöht?

# Vorlesungsprüfung aus Digitales Design

14. Jänner 2009

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Was ist eine Sign-off Simulation?

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Wie hängt die Junction-Temperatur eines Chips mit der Umgebungstemperatur zusammen?

**Frage 8:**

Was versteht man unter Electromigration?

**Frage 9:**

Wozu benötigt man in VHDL die Configuration?

**Frage 10:**

Nennen Sie zwei Maße für die Testqualität!

## Rechenbeispiele

### Beispiel 1

Zu entwerfen ist eine Schaltung, die die Zahlen 0 bis 7 (codiert als positive Integer) an einer Kette von 7 Leuchtdioden (LED\_1 ... LED\_7) so ausgibt, dass bei „0“ keine LED leuchtet, bei „1“ leuchtet LED\_1 bei „2“ leuchten LED\_1 und LED\_2 und bei „7“ leuchten alle LEDs (siehe Abbildung 1.1). Nehmen Sie an, eine LED leuchtet, wenn sie mit „1“ angesteuert wird.

	LED_1	LED_2	LED_3	LED_4	LED_5	LED_6	LED_7	
„0“	□	□	□	□	□	□	□	„leuchtet“
„1“	■	□	□	□	□	□	□	„leuchtet nicht“
„2“	■	■	□	□	□	□	□	
„3“	■	■	■	□	□	□	□	
„4“	■	■	■	■	□	□	□	
„5“	■	■	■	■	■	□	□	
„6“	■	■	■	■	■	■	□	
„7“	■	■	■	■	■	■	■	

Abbildung 1.1

- Geben Sie die Wahrheitstabelle für alle LEDs an!
- Geben Sie die logische Verknüpfung an, die Sie für LED\_4 realisieren müssen!
- Zeichnen Sie das KV-Diagramm für LED\_3 und geben Sie die benötigte Funktion in konjunktiver Normalform an!
- Zeichnen Sie das KV-Diagramm für LED\_5 und geben Sie die benötigte Funktion in disjunktiver Normalform an!
- Geben Sie ein Schaltbild an, wie Sie die Funktion für LED\_1 mittels Multiplexern realisieren können (nach dem Prinzip der ACT-Bausteine)

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

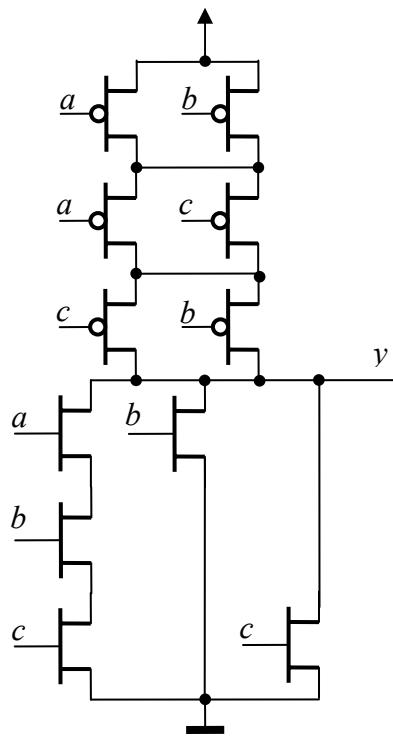
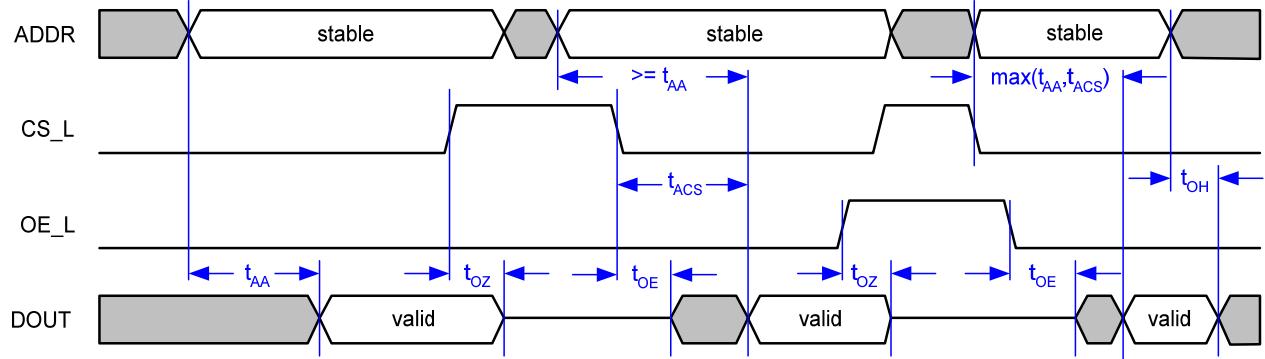


Abbildung 2.1

- (a) Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
  - (b) Was passiert beim Anlegen des Musters  $(a,b,c) = (0,1,0)$ ? Begründen Sie!
  - (c) Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
  - (d) Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
  - (e) Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIIxxxx !

### Beispiel 3

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 3.1)

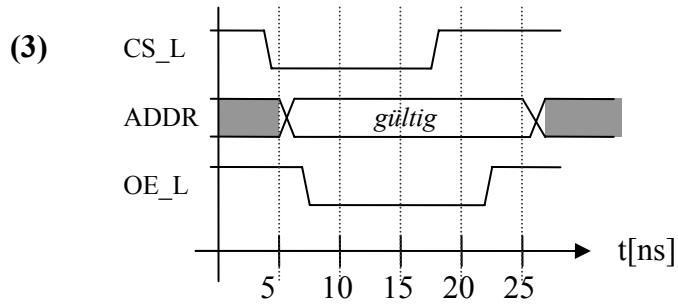
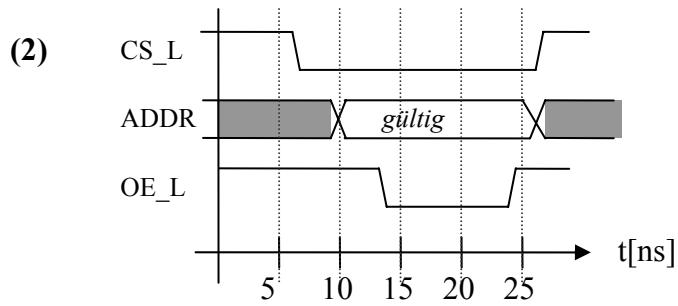
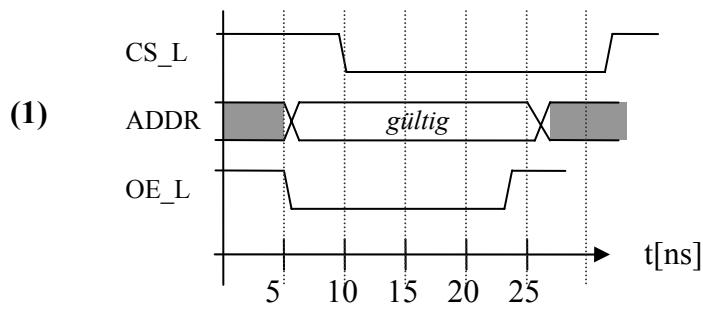


$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}$$

Abbildung 3.1

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 3.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?



**Abbildung 3.2**

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

library IEEE; use IEEE.std_logic_1164.all; use IEEE.std_logic_UNSIGNED.all;  entity head is port( mouth: in std_logic; nose: in std_logic; hair: out std_logic; eye: in std_logic; ear: in std_logic; brain: out std_logic ); end head;	architecture parts of head is signal sweat, tears: std_logic_vector(0 to 1);  begin look: process(sweat) begin case sweat is when "10" => tears <= "11"; when "00" => tears <= "01"; when "01" => tears <= "10"; when others => tears <= "00"; end case; end process look;  listen: process(ear, eye, tears) begin if ear'event and ear = '1' then if eye = '0' then sweat <= "00"; else sweat <= tears; end if; end if; end process listen;  smell: process(sweat, mouth, nose) begin brain <= '1'; if nose = mouth then brain <= '0'; end if; case sweat is when "10" => hair <= '0'; when others => hair <= '1'; end case; end process smell; end parts;
--	--

- Identifizieren Sie Taktsignal und Reset! Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- Welches Signal repräsentiert den Zustand der State-Machine? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen synchrone Aktualisierung erfolgt! Begründen Sie!
- Welches Signal repräsentiert den Folgezustand (Next-State)? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem dessen Aktualisierung erfolgt! Begründen Sie!
- Welche Signale sind Inputs, welche Outputs? Geben Sie den Namen jenes Prozesses im obigen Code an, in dem die Aktualisierung der Outputs erfolgt!
- Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type? Begründen Sie!

# Vorlesungsprüfung aus Digitales Design

15. Oktober 2009

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 3:**

Warum sind Wafer rund?

**Frage 4:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 5:**

Skizzieren Sie den internen Aufbau eines D-Flipflop aus Invertern und Transmission Gates. Geben Sie an, wie viele Gatteräquivalente Ihre Realisierung benötigt!

**Frage 6:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

**Frage 7:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen!) und welche Bereiche unterscheidet man?

**Frage 8:**

Welche Schritte umfasst der Design-Flow eines ASIC? Erklären Sie jeweils kurz deren Zweck!

**Frage 9:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 10:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, für ein 2-aus-3 Threshold Gate mit invertiertem Ausgang. Die Schaltung soll also am Ausgang (y) genau dann 0 ausgeben, wenn an zumindest zwei der drei Eingänge (a,b,c) logisch 1 anliegt.

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung einmal in disjunktiver und einmal in konjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung mittels LUT realisieren können: Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!
- (d) Geben Sie eine möglichst einfache Realisierung der Funktion mittels AOI bzw. OAI an (was ist einfacher?). Zeichnen Sie die Schaltung als Realisierung mittels FETs!
- (e) Vergleichen Sie die Implementierungen aus (c) und (d): Wie viele Gatteräquivalente benötigen Sie für (d)? Nehmen Sie an, für eine Speicherzelle der LUT werden 6 Transistoren benötigt, und die restliche Logik sei vernachlässigbar – wie viele Gatteräquivalente benötigt die LUT-Lösung aus (c)?

## Beispiel 2

Gegeben sei ein CPU-Chip, der nominal bei 5V Versorgungsspannung, 20°C Umgebungs-temperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 80°C erreicht. Abbildung 2.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 98% der gefertigten Chips funktionieren. Bei den restlichen 2% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

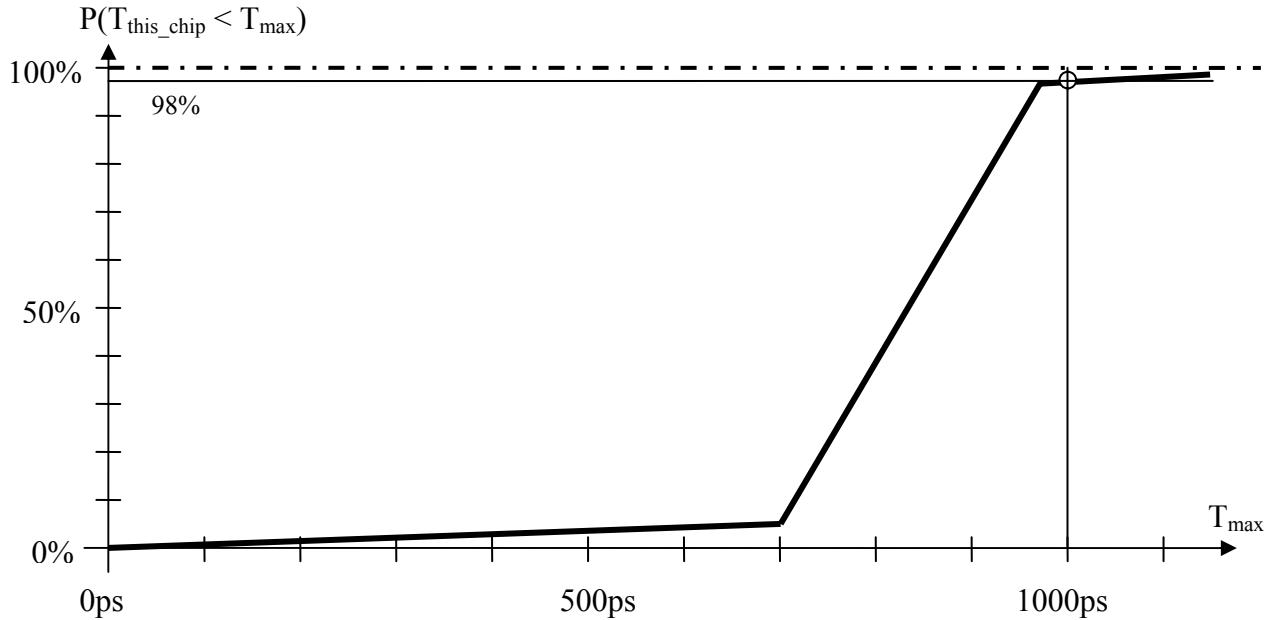


Abbildung 2.1

- Würde man den Chip um 25% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 2.1 der Prozentsatz der auszuscheidenden Chips?
- Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,25GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.
- Wie hoch wird die Die-Temperatur bei 1,25GHz? (Nehmen Sie an, dass dynamische Ströme die Verlustleistung dominieren).
- Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,25GHz? ( $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{act} = 0,7 \text{ eV}$ )
- Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den genauen (relativen) Wert dieser Änderung!

T <sub>junction</sub>	70°C	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er trotz der Erwärmung noch bei 1,25GHz funktioniert? Wie hoch ist daher nun – unter Berücksichtigung der Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

### Beispiel 3

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_6 \oplus X_4 \oplus X_3 \oplus X_0$$
(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann

Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?

Nehmen Sie an, der Generator sei auf den Wert „0111100010110110“ initialisiert. Welchen Wert hat der Ausgang nach 4 Taktzyklen (= aktiven Taktflanken)?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine, die die Steuersignale `walk`, `hurry` und `stroll` generiert:

```
library IEEE;
use      IEEE.std_logic_1164.all;
use      IEEE.std_logic_UNSIGNED.all;

entity us is
  port(
    rest  : in std_logic;
    wake  : in std_logic;
    walk: out std_logic;
    hurry : out std_logic;
    stroll: out std_logic_vector(0 to 3)
  );
end us;
```

```
architecture most of us is
  signal leg, arm:
    std_logic_vector(0 to 1);

begin
  bed: process(leg, wake)
  variable shoe: std_logic_vector(0 to 3);
  begin
    if wake = '1' then
      shoe := "0000";
    end if;
    case leg is
      when "00"  => walk <= '1';
                      hurry <= '0';
      when "01"  => walk <= '0';
                      shoe := shoe + '1';
                      hurry <= '1';
      when others => walk <= '0';
                      hurry <= '0';
    end case;
    stroll <= shoe;
  end process bed;

  chair: process(leg)
  begin
    case leg is
      when "00"  => arm <= "01";
      when "01"  => arm <= "10";
      when "11"  => arm <= "00";
      when others => arm <= "11";
    end case;
  end process chair;

  car: process(rest, wake)
  begin
    if wake = '1' then
      leg <= "00";
    else
      if rest'event and rest = '1' then
        leg <= arm;
      end if;
    end if;
  end process car;
end most;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Welches ist die aktive Taktflanke (steigend oder fallend)? Begründen Sie!
- (d) Tragen Sie den Zeitverlauf von `walk`, `hurry` und `stroll` in Abbildung 4.1 ein!

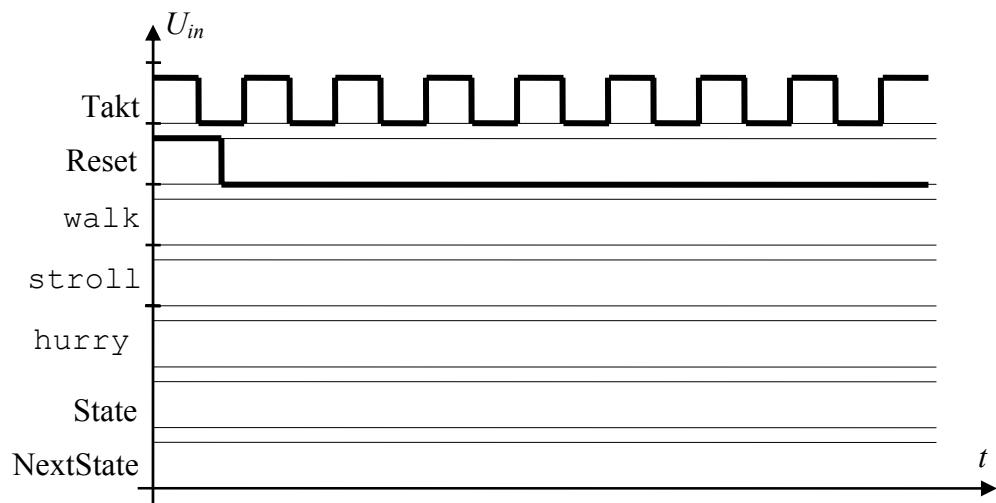


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

17. Juni 2009

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 50\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die Zeitkonstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Skizzieren Sie den internen Aufbau eines D-Flipflop aus Invertern und Transmission Gates. Geben Sie an, wie viele Gatteräquivalente Ihre Realisierung benötigt!

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

**Frage 8:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen!) und welche Bereiche unterscheidet man?

**Frage 9:**

Welche Schritte umfasst der Design-Flow eines ASIC? Erklären Sie jeweils kurz deren Zweck!

**Frage 10:**

Wozu benötigt man bei der Fertigung eines ICs die Masken?

## Rechenbeispiele

## Beispiel 1

Gegeben ist die Schaltung in Abbildung 1.1

- (a) Ermitteln Sie anhand der Schaltung, welchen Wert der Ausgang  $y$  für das Eingangsmuster  $(a,b,c) = (1,1,0)$  annimmt! Welcher leitende Pfad bestimmt diesen Wert?  
 (b) Geben Sie die Wahrheitstabelle an

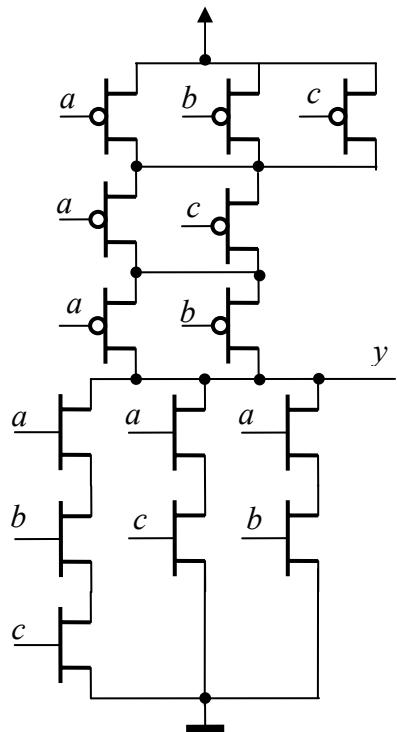


Abbildung 1.1

## Beispiel 2

Von einer Versorgungsleitung in einem Chip seien folgende Kennwerte bekannt:

Querschnitt =  $4\mu\text{m}^2$ ; Material: Kupfer ( $E_{\text{act}} = 1.0 \text{ eV}$ );  $k = 8,6 \cdot 10^{-5} \text{ eV/K}$

Bei Betrieb mit einem Strom von 1A und einer Junction-Temperatur  $T_J = 80^\circ\text{C}$  beträgt die MTTF dieser Leitung 10 Jahre.

Aufgrund einer Verunreinigung bei der Fertigung beträgt der Querschnitt dieser Leitung jedoch nur  $0.8\mu\text{m}^2$ .

- (a) Welche MTTF ist zu erwarten?
- (b) Beim Burn-in wird der Chip 100 Stunden lang (bei unveränderter Versorgungsspannung) mit  $T_J = 140^\circ\text{C}$  betrieben. Welcher Betriebsdauer entspricht dies bei Normalbetrieb?
- (c) Ist der Test geeignet, den Defekt zu erkennen? Begründen Sie!

### Beispiel 3

In Abbildung 3.1 ist ein analoger Spannungsverlauf  $U_{in}$  gegeben.

- Dieses Signal  $U_{in}$  wird an einen Eingang eines digitalen Gatters mit Schwellwert  $U_{th} = 1,5V$  (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 3.1 den Spannungsverlauf  $U_{dig1}$  nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von  $U_{in}$  nun ein Schmitt Trigger-Eingang verwendet.  $U_{dig2}$  zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (incl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Trigger! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

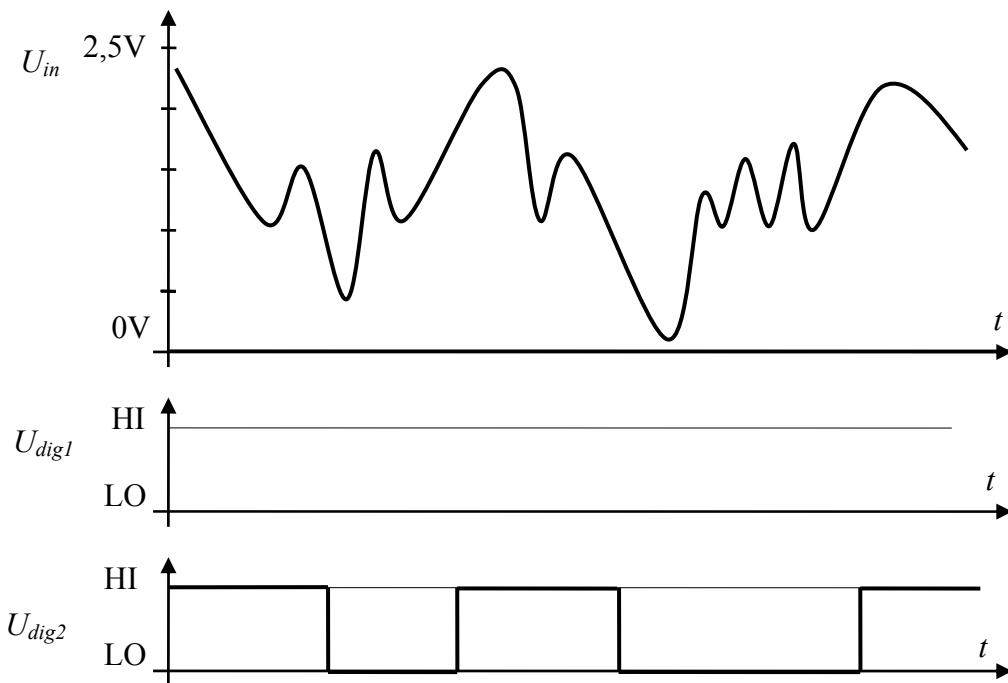


Abbildung 3.1

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity flying is
  port(
    crew:  out std_logic_vector(0 to 2)
  mayday:  in std_logic;
  tower :  in std_logic;
  );
end flying;
```

```
architecture art of flying is
  signal roger, over:
    std_logic_vector(0 to 1);

begin
alpha: process(mayday, tower)
begin
  if tower'event and tower = '1' then
    roger <= over;
    if mayday = '0' then
      roger <= "11";
    end if;
  end if;
end process alpha;

bravo: process(roger)
begin
  case roger is
    when "00"  => crew <= "101";
    when "10"  => crew <= "001";
    when "01"  => crew <= "110";
    when others => crew <= "010";
  end case;
end process bravo;

tango: process(roger)
begin
  case roger is
    when "00"  => over <= "01";
    when "10"  => over <= "01";
    when "01"  => over <= "10";
    when others => over <= "00";
  end case;
end process tango;

end art;
```

- (a) Identifizieren Sie Taktsignal und Reset! Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (c) Ist der Reset synchron oder asynchron? Begründen Sie
- (d) Wie viele interne Zustände nimmt die State-Machine im normalen Betrieb ein? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen? Welche Sequenz von Ausgangssignalen ergibt sich daher?

# Vorlesungsprüfung aus Digitales Design

19. November 2009

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie einen wesentlichen Unterschied zwischen sequentieller und kombinatorischer Logik!

**Frage 2:**

Skizzieren Sie den Querschnitt durch einen Feldeffekt-Transistor (MOSFET)!

**Frage 3:**

Was bedeutet das „C“ bei CMOS? Worin liegt der Vorteil der CMOS-Logik gegenüber NMOS?

**Frage 4:**

Nennen Sie zwei wesentliche Unterschiede zwischen Statischer Timing-Analyse und Simulation!

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Welchen Vorteil bietet das XOR-Gate am Ausgangspin eines PALs ?

**Frage 7:**

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

**Frage 8:**

Beschreiben Sie das Stuck-at Fehlermodell!

**Frage 9:**

Was ist in VHDL in der Entity beschrieben?

**Frage 10:**

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

## Rechenbeispiele

### Beispiel 1

Für eine 7-Segment-Anzeige soll eine Ansteuerung realisiert werden: Der Eingang  $Z = (z_3, z_2, z_1, z_0)$  ist ein binär codierter positiver Integer-Wert. Dieser Wert soll durch geeignete Ansteuerung der Leuchtsegmente a, b, c, d, e, f, g als Ziffer auf einem Display dargestellt werden. Die Lage der einzelnen Segmente ist in Abbildung 1.1 (rechts) gegeben. Ein Segment leuchtet bei Ansteuerung mit „0“.

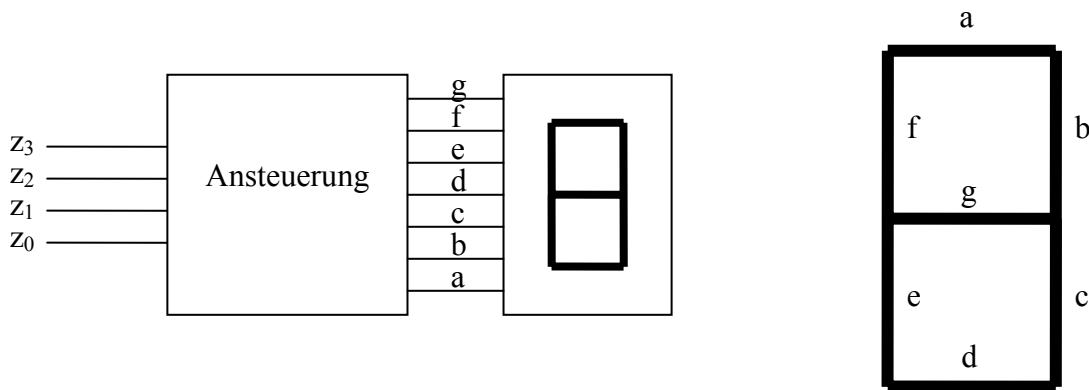


Abbildung 1.1

- Geben Sie die Wahrheitstabelle für die Leuchtsegmente b und c an! (Für Eingänge, die einem Integer größer als 9 entsprechen, kann der Ausgang beliebig sein – tragen Sie daher ein „X“ in die Wahrheitstabelle ein).
- Zeichnen Sie das KV-Diagramm für Leuchtsegment b! Leiten Sie daraus eine disjunktive Normalform ab, die mit möglichst wenig Mintermen auskommt. Belegen Sie dazu die „X“-Werte geeignet mit „0“ und „1“.
- Skizzieren Sie, wie Sie diese Verknüpfung für b mittels einer PAL-Struktur implementieren würden (Ausgangsinverter ist verfügbar):  
Wie viele p-Terms benötigen Sie bei bestmöglicher Auslegung?  
Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert werden müssen mit “O“
- Zeichnen Sie das KV-Diagramm für Leuchtsegment c! Leiten Sie daraus eine konjunktive Normalform ab, die mit möglichst wenig und möglichst kurzen Maxtermen auskommt. Belegen Sie dazu wieder die X-Werte geeignet mit „0“ und „1“.
- Leiten Sie eine Realisierung der für c benötigten Verknüpfung mittels Multiplexer-basierter Logik (Prinzip wie im ACTEL-FPGA, ohne Register) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

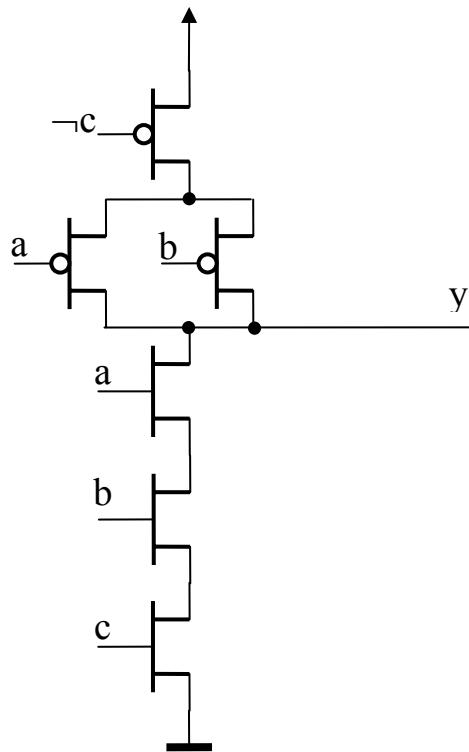


Abbildung 2.1

- (a) Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (0,0,1)$  ! Kennzeichnen Sie alle leitenden Transistoren!
  - (b) Was passiert beim Anlegen des Musters  $(a,b,c) = (0,1,0)$ ? Begründen Sie!
  - (c) Geben Sie die Wahrheitstabelle für die Funktion  $y$  an!
  - (d) Gibt es Eingangsmuster, die keinen definierten Ausgang ergeben? Falls ja – welche?
  - (e) Gibt es Eingangsmuster, die zu einem Kurzschluss führen können? Falls ja – welche?
  - (f) Welche Bedingung muss erfüllt sein, damit der Ausgang für alle Eingangskombinationen stets definiert und frei von Kurzschlüssen ist?
  - (g) Kann die Schaltung in Abbildung 2.1 eine sinnvolle Funktion haben? Falls ja – beschreiben Sie die zugrunde liegende Grundfunktion!

### Beispiel 3

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=2,5V$  einen mittleren Strom von 4A. Im Datenblatt finden Sie für die Kühlung folgende Angaben:

$$\theta_{JC} = 4K/W, \theta_{JA} = 12K/W$$

Es ist ein Kühlkörper vorzusehen, der besser als 1K/W spezifiziert ist.

- (a) Angenommen Sie haben einen Kühlkörper, der mit 2K/W spezifiziert ist. Dürfen Sie diesen verwenden?
- (b) Bei Verwendung eines Kühlkörpers mit 1K/W und im Betrieb bei  $T_{AMB}=20^{\circ}C$ : Welche Temperatur  $T_C$  erreicht der Chip (Gehäuse), welche Temperatur  $T_J$  der Die?
- (c) Sie haben gerade keinen passenden Kühlkörper zur Hand und betreiben den Chip daher ohne Kühlkörper. Welche Temperatur  $T_C$  bzw.  $T_J$  erreichen Gehäuse bzw. Die nun?
- (d) Auf wie viel % verkürzt sich durch den Betrieb ohne Kühlkörper die Lebenserwartung des Chips? *(Hinweis: Ermitteln Sie dazu den Temperature acceleration Factor)*

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV}$$

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use     IEEE.std_logic_1164.all;
use     IEEE.std_logic_UNSIGNED.all;

entity year is
  port(
    flower : in std_logic;
    grass : out std_logic;
    sun : out std_logic;
    bird   : in std_logic
  );
end year;

architecture season of year is
  signal tree, green:
    std_logic_vector(0 to 1);

begin

  spring: process(tree, flower)
  variable smell: std_logic_vector(0 to 3);
  begin
    if flower = '0' then
      smell := "0000";
    end if;
    case tree is
      when "10"  => grass <= '1';
                      sun  <= '1';
      when "01"  => grass <= '0';
                      smell := smell + '1';
                      sun  <= '1';
      when others => grass <= '0';
                      sun  <= smell(1);
    end case;
  end process spring;

  autumn: process(tree)
  begin
    case tree is
      when "10"  => green <= "11";
      when "00"  => green <= "01";
      when "01"  => green <= "10";
      when others => green <= "00";
    end case;
  end process autumn;

  summer: process(bird, flower)
  begin
    if flower = '0' then
      tree <= "00";
    else
      if bird'event and bird = '1' then
        tree <= green;
      end if;
    end if;
  end process summer;

end season;
```

- Identifizieren Sie Taktsignal und Reset!
- Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Tragen Sie den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf von sun, grass und smell !

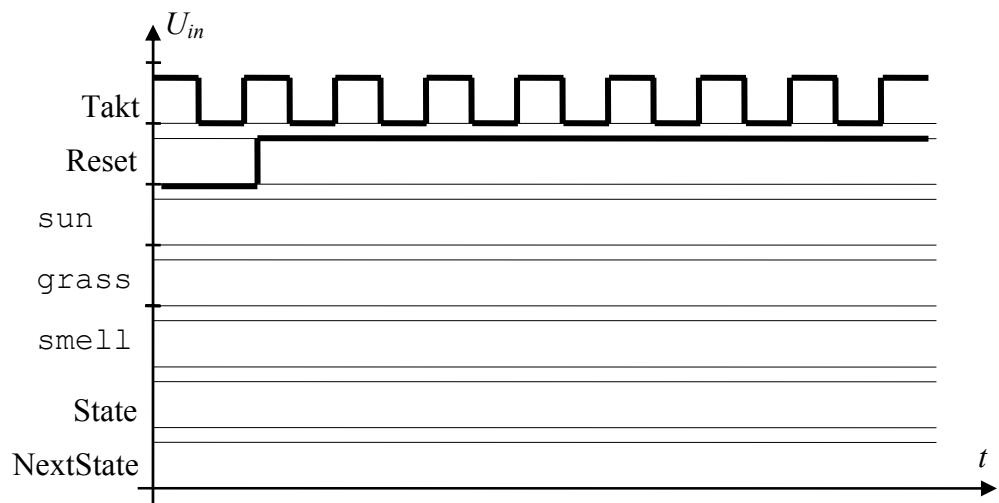


Abbildung 4.1

# Vorlesungsprüfung aus

## Digitales Design

21. April 2009

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Was versteht man unter Metastabilität?

**Frage 8:**

Was versteht man unter infant mortality?

**Frage 9:**

Was besagt die „Rule of Ten“?

**Frage 10:**

Was versteht man unter einer „post-layout gate-level Simulation“ und zu welchem Zeitpunkt im Desing Flow wird sie durchgeführt? Welchen Zweck hat sie?

## Rechenbeispiele

### Beispiel 1

Gegeben ist eine Variable A mit 3 Bit Wortbreite, d.h.  $A = (a_2, a_1, a_0)$ . A ist eine binär codierte positive Integer-Werte, es gilt also  $(0,0,0) = 0$  und  $(1,1,0) = 6$ , etc.

Entwerfen Sie eine Schaltung, die als Ergebnis  $Y = (y_2, y_1, y_0)$  den Betrag der Differenz von 3 und A ausgibt, also  $Y = |3 - A|$ .

(a) Skizzieren Sie, wie Sie diese Funktion mittels eines ROM implementieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

(b) Erstellen Sie das KV-Diagramm für  $y_1$  und geben Sie die Gleichung für  $y_1$  in konjunktiver und in disjunktiver Normalform an!

(c) Geben Sie eine Realisierung von  $y_1$  auf Basis Multiplexer-basierter Logik an! Wie viele Gatteräquivalente benötigt man für die Implementierung eines Multiplexers? Wie viele Gatteräquivalente benötigen Sie daher für Ihre Realisierung?

## Beispiel 2

Gegeben ist die Schaltung in Abbildung 1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.

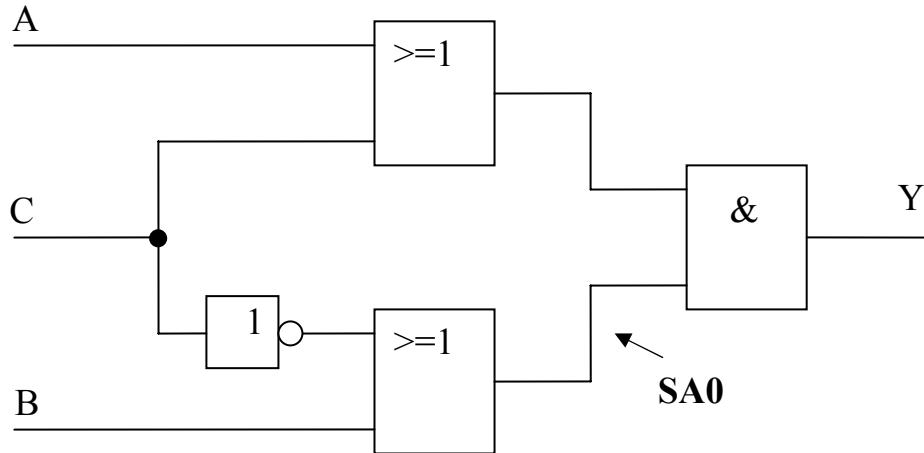


Abbildung 2.1

- (a) Welche Grundfunktion erfüllt diese Schaltung ?
- (b) Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- (c) In Abbildung 2.1 ist ein Knoten mit „SA0“ gekennzeichnet. Ermitteln Sie alle Testvektoren die geeignet sind, diesen Fehler zu entdecken. Bezeichnen Sie die dazu nötigen Schritte.
- (d) Zeigen Sie in der Schaltung ein Beispiel für Fehleräquivalenz!
- (e) Zeigen Sie in der Schaltung ein Beispiel für Fehlerdominanz!

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 10MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1,5\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

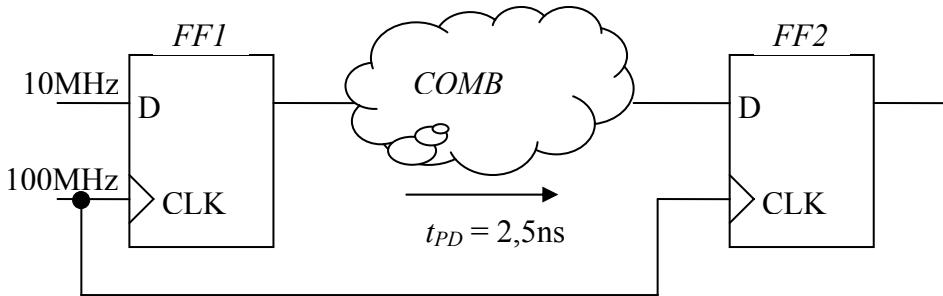


Abbildung 3.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 2.5V Versorgungsspannung 4A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit  $\theta_{JA}=6\text{K/W}$ ?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

	2.25 V	2.375 V	2.50 V	2.625 V	2.75 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
20°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.30
125°	1.76	1.65	1.56	1.49	1.45

Tabelle 3.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 2.75V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden (interpolieren Sie ggf. Werte in der Tabelle)? Ist die MTBU damit besser als bei (c)? Begründen Sie!
- Schätzen Sie ab, welchen thermischen Widerstand das Gehäuse haben müsste, damit sich für (c) und (d) die gleiche MTBU ergibt? (Hinweis: In diesem Fall muss auch der Derating Factor gleich sein).

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity economy is
  port(
    money: out std_logic_vector(0 to 2)
    crime:  in std_logic;
    crash :  in std_logic;
  );
end economy;
```

```
architecture crisis of economy is
  signal dollar, euro:
    std_logic_vector(0 to 1);

begin
  newyork: process(dollar)
  begin
    case dollar is
      when "00"  => money <= "101";
      when "10"  => money <= "001";
      when "01"  => money <= "110";
      when others => money <= "010";
    end case;
  end process newyork;

  vienna: process(dollar)
  begin
    case dollar is
      when "00"  => euro <= "01";
      when "10"  => euro <= "01";
      when "01"  => euro <= "10";
      when others => euro <= "00";
    end case;
  end process vienna;

  singapore: process(crime, crash)
  begin
    if crime = '1' then
      dollar <= "00";
    else
      if crash'event and crash = '0' then
        dollar <= euro;
      end if;
    end if;
  end process singapore;
end crisis;
```

- (a) Identifizieren Sie Taktsignal und Reset! Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (c) Ist der Reset synchron oder asynchron? Begründen Sie
- (d) Wie viele interne Zustände nimmt die State-Machine im normalen Betrieb ein? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen? Welche Sequenz von Ausgangssignalen ergibt sich daher?

# Vorlesungsprüfung aus Digitales Design

12. März 2010

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Beschreiben Sie den Aufbau eines SR-Latches aus kombinatorischen Basisgattern (AND, OR, NAND, NOR, INV, ...) und erklären Sie damit sein Verhalten für alle Eingangskombinationen!

**Frage 2:**

Was versteht man unter p-Dotierung? Wo wird diese angewendet?

**Frage 3:**

Was ist die Schwellspannung eines FET?

**Frage 4:**

Nennen Sie zwei wesentliche Unterschiede zwischen statischer Timing-Analyse und Simulation!

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Was ist ein IP-Core?

**Frage 7:**

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

**Frage 8:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 9:**

Skizzieren Sie die Badewannenkurve (Achsen beschriften!) und bezeichnen Sie die Bereiche kurz!

**Frage 10:**

Erläutern Sie das Prinzip des Boundary-Scan!

## Rechenbeispiele

### Beispiel 1

In der Dokumentation einer Funktionseinheit finden Sie einen Schaltplan, der deren Realisierung in einem Actel-FPGA beschreibt (Abbildung 1.1). Ihre Aufgabe besteht nun darin, die gleiche Funktion in einem LUT-basierten FPGA zu realisieren

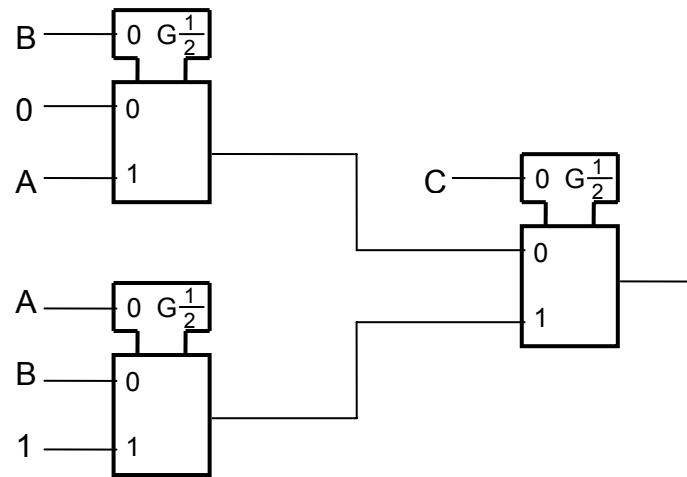


Abbildung 1.1

- Leiten Sie aus der Schaltung (direkt, nicht über die Wahrheitstabelle!) die logische Funktion ab, die in dem Actel-FPGA realisiert ist.
- Stellen Sie die Wahrheitstabelle auf und zeichnen Sie das KV-Diagramm.
- Leiten Sie daraus die **konjunktive** Normalform ab!
- Skizzieren Sie Ihre LUT-basierte Lösung: wie beschalten Sie die Eingänge, was sind die Speicherinhalte?

## Beispiel 2

Von einem bestimmten Server werden 1 Million Stück gefertigt. Jeder dieser Server ist mit einem DMA-Controller-Chip ausgerüstet. Ein solcher Controller Chip kostet 4€ und weist bei der Fertigung einen Defect Level von 4% auf. Die Kosten für die Reparatur des Servers aufgrund eines defekten DMA-Controllers betragen im Mittel 800€.

- (a) Welchen finanziellen Schaden verursachen die Reparaturkosten für die nicht entdeckten Controller-Chips?
- (b) Durch einen Funktionstest aller mit dem Controller bestückten Platinen vor dem Einbau in den Server könnte man 75% der verbliebenen Defekte erkennen, für die sich die Reparaturkosten dann auf 200€ reduzieren. Ist die Anwendung eines solchen Tests wirtschaftlich sinnvoll, wenn dadurch Testkosten von 30€ je Platine anfallen?
- (c) Durch einen Built-in Self-Test kann die Defektrate des Chips von 4% auf 1% vermindert werden. Ist die Anwendung des BIST wirtschaftlich sinnvoll, wenn die zusätzlich benötigte Testlogik den Preis des Controllers auf 5€ erhöht?

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 20MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über die kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1,5\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

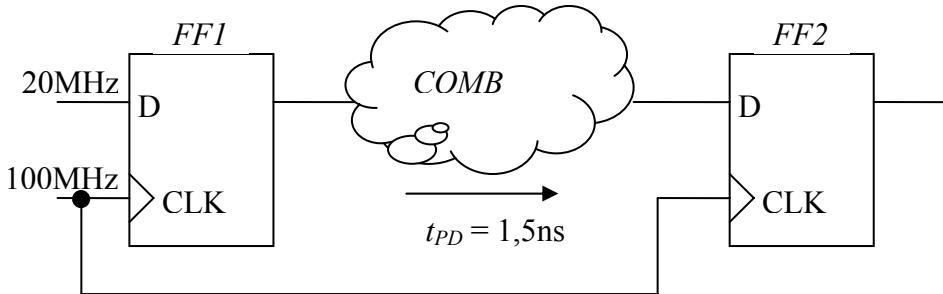


Abbildung 3.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 5V Versorgungsspannung 4A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit 3K/W?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution Time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

	4.50 V	4.75 V	5.00 V	5.25 V	5.50 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 5.5V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

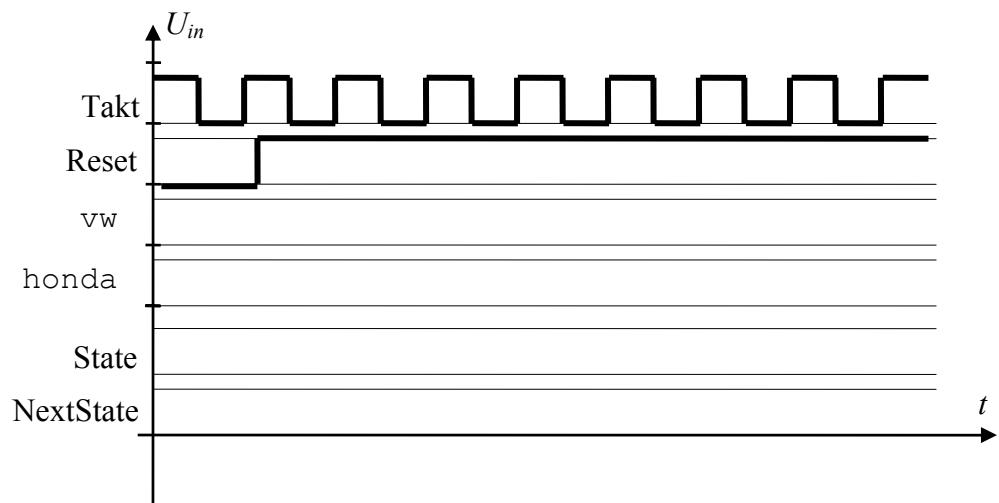
entity mydream is
  port
  (
    vw      : out std_logic_vector(0 to 1);
    bmw    : in  std_logic;
    honda  : out std_logic;
    volvo  : in  std_logic
  );
end entity mydream;
```

```
architecture car of mydream is
  signal ferrari, audi:
    std_logic_vector(0 to 7);
begin
  rally:process(bmw, volvo)
  begin
    if volvo = '0' then
      audi <= (others => '0');
    else
      if bmw'event and bmw = '1' then
        audi <= ferrari;
      end if;
    end if;
  end process rally;

  race:process(audi)
  begin
    ferrari <= audi + '1';
    if audi = "0000011" then
      ferrari <= (others => '1');
    end if;
  end process race;

  contest:process(audi)
  begin
    honda <= '0';
    case audi is
      when "00000001"  => vw <= "11";
      when "10000001"  => vw <= "00";
      when "11111111"  => vw <= "10";
                                         honda <= '1';
      when others        => vw <= "01";
    end case;
  end process contest;
end architecture car;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Ist der Reset HIGH-aktiv oder LOW-aktiv? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muss? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Tragen Sie für die ersten 7 Taktzyklen nach dem Reset den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf von vw und honda!



**Abbildung 4.1**

# Vorlesungsprüfung aus Digitales Design

21. Januar 2010

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit dokumentechten Stiften (Füllfeder, Kugelschreiber, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Wozu benötigt man ein Floating Gate?

**Frage 2:**

Was ist ein Transmission Gate und wie ist es aufgebaut?

**Frage 3:**

Welchen Unterschied macht es, ob Sie den Ausgang eines Gatters mit einem oder mit 10 Eingängen nachfolgender Gatter belasten?

**Frage 4:**

Was versteht man unter Electromigration?

**Frage 5:**

Erklären Sie den Unterschied zwischen Boundary Scan und Scan Test!

**Frage 6:**

Warum kann man beim FPGA das Taktsignal nur bei eigens dafür vorgesehenen Pins anlegen?

**Frage 7:**

Welchen Zweck hat ein Process in VHDL?

**Frage 8:**

Was versteht man unter Metastabilität?

**Frage 9:**

Welche Probleme treten beim „exhaustive Test“ in der praktischen Anwendung auf?

**Frage 10:**

Was versteht man unter Dotierung? Wofür wird sie angewendet?

## Rechenbeispiele

### Beispiel 1

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

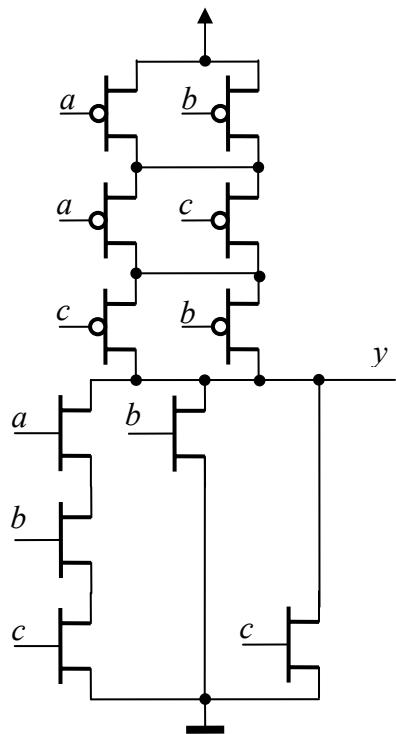
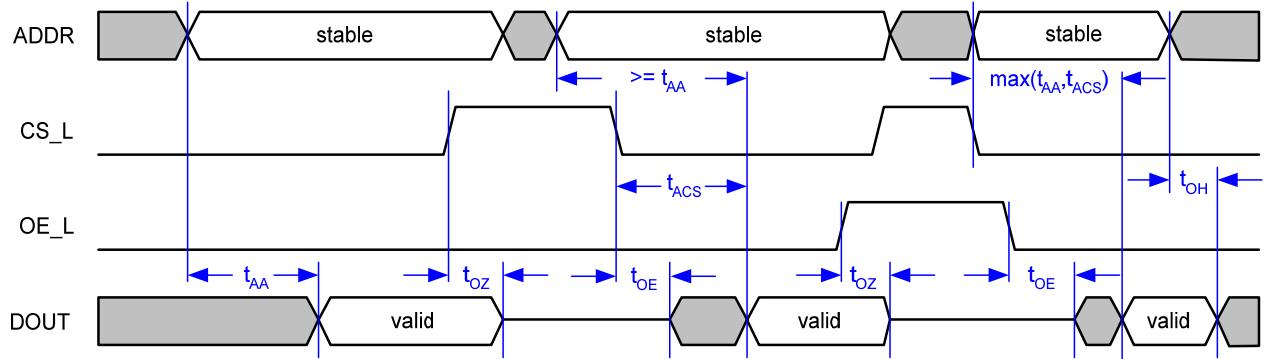


Abbildung 2.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (0,1,0)$ ? Begründen Sie!
- Modifizieren Sie den n-Stack so, dass sich (in Verbindung mit dem vorhandenen p-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !

## Beispiel 2

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 3.1)



$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}$$

**Abbildung 3.1**

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 3.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?

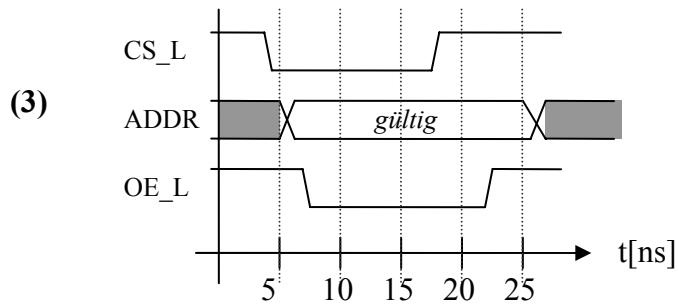
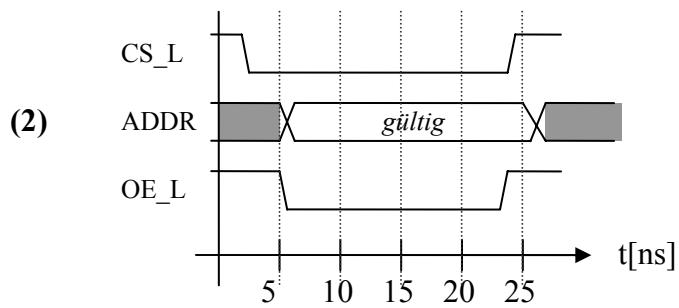
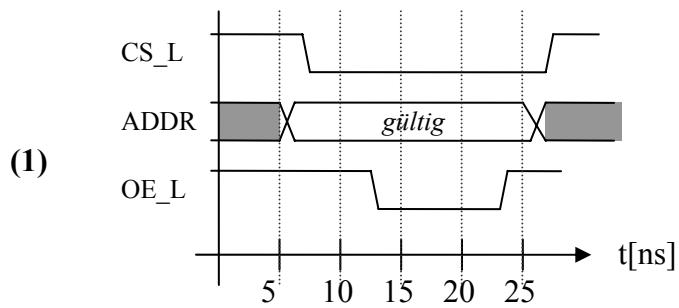
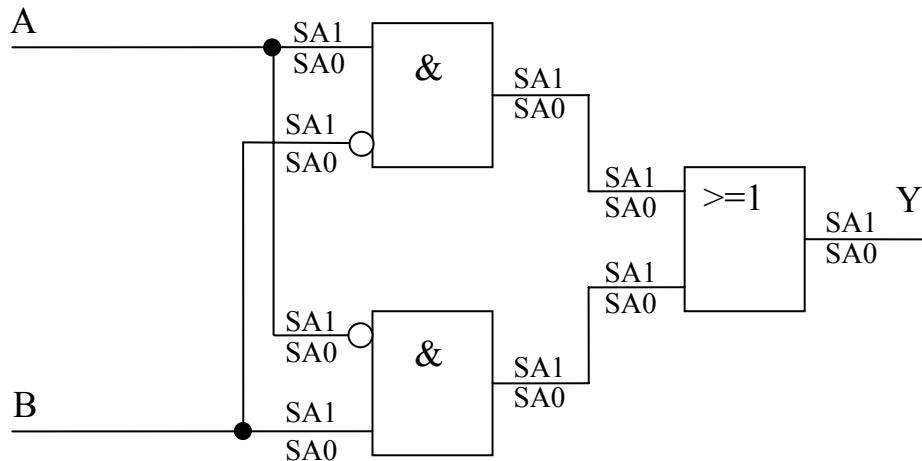


Abbildung 3.2

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.



**Abbildung 1**

- Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!  
Welche Grundfunktion erfüllt die Schaltung ?
- Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- In Abbildung sind alle möglichen Stuck-at Fehler eingetragen (SA0, SA1). Streichen Sie jene Fehler durch ein Kreuz durch („X“), die Sie aufgrund von Fehleräquivalenz nicht weiter zu berücksichtigen brauchen!
- Streichen Sie weiters jene Fehler durch einen einfachen Schrägstrich durch („/“), die Sie aufgrund von Fehlerdominanz nicht weiter zu berücksichtigen brauchen!
- Ermitteln Sie alle Testvektoren, die geeignet sind, den SA1-Fehler am Ausgang des oberen UND-Gatters zu erkennen! Beschreiben Sie die für die Ermittlung nötigen Schritte!  
Ermitteln Sie ebenso alle Vektoren für SA1 am Ausgang des unteren UND-Gatters sowie für SA0 am Ausgang des OR-Gatters!
- Geben Sie einen minimalen Satz von Testvektoren an, der geeignet ist, alle in Abbildung 1 eingetragenen Fehler zu erkennen!

## Beispiel 4

Gegeben sind die in Abbildung 4.1 dargestellten Signalverläufe für ein Datensignal  $D$  und ein Clock-Signal bzw. Enable-Signal  $C$ .

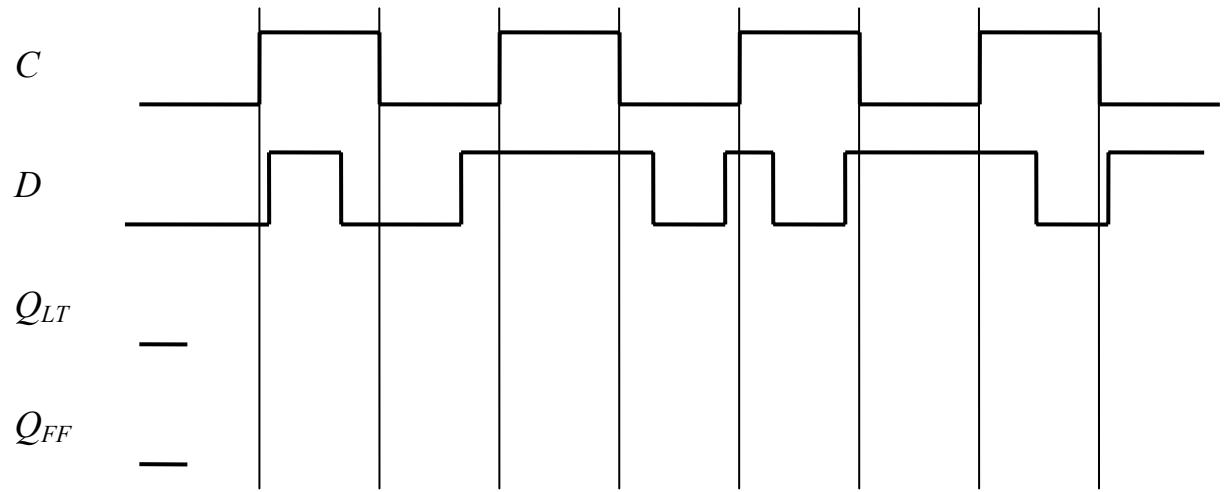


Abbildung 4.1

- Tragen Sie in die Zeile  $Q_{LT}$  das zugehörige Ausgangssignal  $Q$  eines D-Latch ein! („0“ = „Hold“)
- Tragen Sie in die Zeile  $Q_{FF}$  das zugehörige Ausgangssignal  $Q$  eines D-Flip-Flop ein! (steigende Flanke ist aktiv)
- Beschreibt der folgende VHDL-Code ein D-Flip-Flop, ein D-Latch oder keines von beiden? Begründen Sie!

```

Architecture BEISPIEL_4 of PRUEFUNG is
begin
    signal CLK, DATA_IN, NEXT, DATA_OUT : std_logic;

    CAPTURE: process (CLK)
    begin
        if CLK'event and CLK = '1' then
            DATA_OUT <= NEXT;
        else
            NEXT <= DATA_OUT;      ←
            end if;
    end process CAPTURE;

    NEXT <= DATA_IN;

end BEISPIEL_4;

```

- Wenn Sie den „else“-Zweig (mit Pfeilen markiert) weglassen – was beschreibt der Code dann?

# Vorlesungsprüfung aus Digitales Design

20. Januar 2011

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was besagt das Theorem von De Morgan? Geben Sie ein Beispiel!

**Frage 2:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 3:**

Warum sind Wafer rund?

**Frage 4:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

**Frage 7:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen!) und welche Bereiche unterscheidet man?

**Frage 8:**

Welche Schritte umfasst der Design-Flow eines ASIC? Erklären Sie jeweils kurz deren Zweck!

**Frage 9:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 10:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine kombinatorische logische Schaltung mit 3 Eingängen A, B, C, die an ihrem Ausgang Y genau dann logisch 1 ausgibt, wenn genau einer der Eingänge logisch 0 ist.

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung  $Y(A,B,C)$  in disjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung mittels AOI bzw. OAI realisieren können (Schaltung mit Transistoren). Wie viele Transistoren benötigen Sie, inklusive allfälliger Inverter.
- (d) Geben Sie an, wie Sie diese Schaltung allein durch 1-aus-2-Multiplexer und Inverter realisieren können (Schaltbild). Wie viele Gatteräquivalente benötigen Sie, inklusive allfällig benötigter Inverter, wenn ein Multiplexer 3 Gatteräquivalente umfasst?
- (e) Vergleichen Sie die Implementierungen aus (c) und (d): Welche Lösung ist billiger?

## Beispiel 2

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 25MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über die kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 2\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

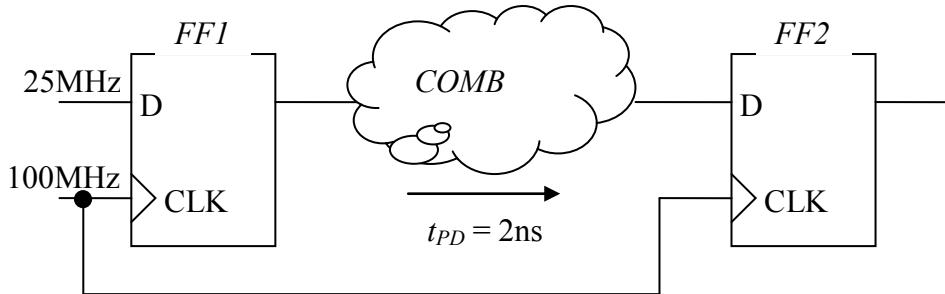


Abbildung 2.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 3,3V Versorgungsspannung 3A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit 8K/W?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur (für Temperaturen die nicht in der Tabelle stehen ist linear zu interpolieren)! Welche Resolution Time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

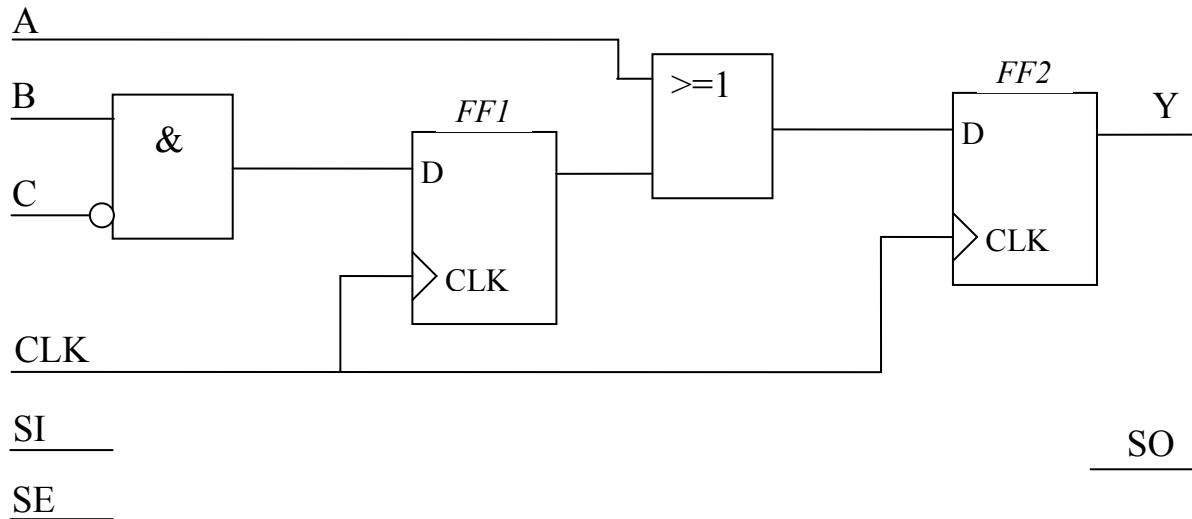
	3.00 V	3.15 V	3.30 V	3.45 V	3.60 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 2.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 3,6V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Ist die MTBU damit besser als bei (c)? Begründen Sie (Berechnung der neuen MTBU nicht unbedingt erforderlich)!

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1.



**Abbildung 3.1**

- Wie müssen Sie ein D-Flip-Flop erweitern, um daraus ein Scan-Register zu machen? Skizzieren Sie diese Erweiterung!
- Erweitern Sie die beiden Flip-Flops in Abbildung 3.1 entsprechend!
- Bilden Sie mit den beiden so entstandenen Scan-Registern eine Scan Chain. Schließen Sie die Signale SI (scan in), SO (scan out) und SE (scan enable) entsprechend an.
- Betrachten Sie das OR-Gate: Welche Testmuster müssen Sie an dieses Gatter anlegen, um alle Stuck-at Fehler an seinen Eingängen und seinem Ausgang zu finden?
- Beschreiben Sie den Ablauf eines Scan Tests anhand der Schaltung. Welche Pegel müssen Sie an die primären Eingänge legen, welche Testvektoren müssen Sie in die Scan-Chain takten und welche Pegel erwarten Sie am Ausgang für ein funktionierendes OR-Gate?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library ieee;
use ieee.std_logic_1164.all;

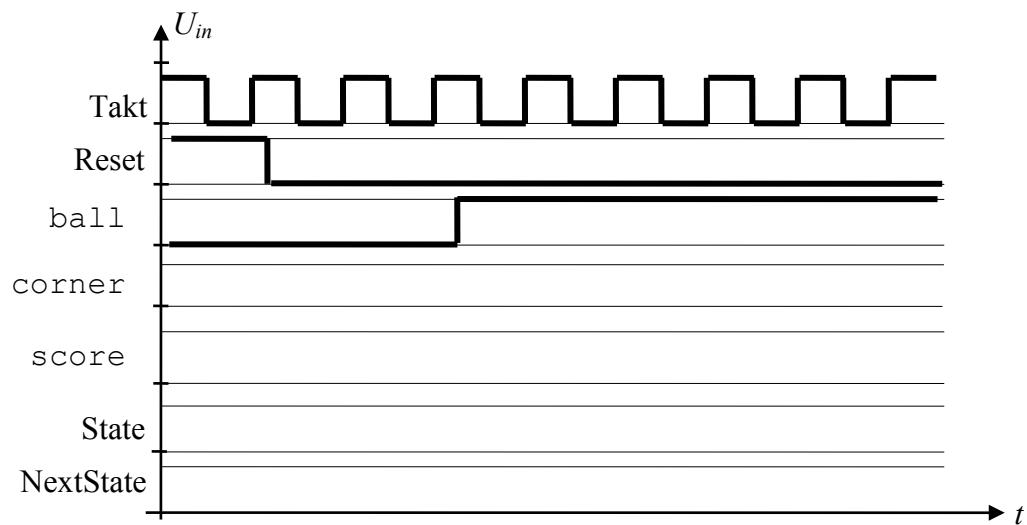
entity soccer is
  port
  (
    goal      : in  std_logic;
    penalty   : in  std_logic;
    ball      : in  std_logic;
    score     : out std_logic
  );
end entity soccer;

architecture world of soccer is
  signal fan, foul : std_logic_vector(0 to 2);
  signal corner : std_logic;
begin
  champion : process(fan, ball, corner)
  begin
    case fan is
      when "000"  => foul <= "010";
      when "001"  => foul <= "011";
      when "010"  => foul <= "001";
      when others => foul <= "000";
    end case;
    if (fan = "011") and (ball /= corner) then
      foul <= "111";
    end if;
  end process champion;

  semifinals : process(fan)
  begin
    case fan is
      when "111"  => score <= '0';
      when others  => score <= '1';
    end case;
  end process semifinals;

  stadion : process(goal, penalty)
  begin
    if penalty = '1' then
      fan <= (others => '0');
      corner <= '0';
    else
      if goal'event and goal = '1' then
        fan    <= foul;
        corner <= ball;
      end if;
    end if;
  end process stadion;
end architecture world;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Ist der Reset HIGH-aktiv oder LOW-aktiv? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muss? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Tragen Sie für die ersten 7 Taktzyklen nach dem Reset den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein!



**Abbildung 4.1**

# Vorlesungsprüfung aus Digitales Design

11. März 2011

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Wozu benötigt man in VHDL die Configuration?

**Frage 8:**

Was versteht man unter infant mortality?

**Frage 9:**

Was besagt die „Rule of Ten“?

**Frage 10:**

Was versteht man unter einer „post-layout gate-level Simulation“ und zu welchem Zeitpunkt im Design Flow wird sie durchgeführt? Welchen Zweck hat sie?

# Rechenbeispiele

## Beispiel 1

In der Dokumentation einer Funktionseinheit finden Sie einen Schaltplan, der deren Realisierung in einem Actel-FPGA beschreibt (Abbildung 1.1). Ihre Aufgabe besteht nun darin, die gleiche Funktion in einem ASIC als AOI bzw OAI zu realisieren.

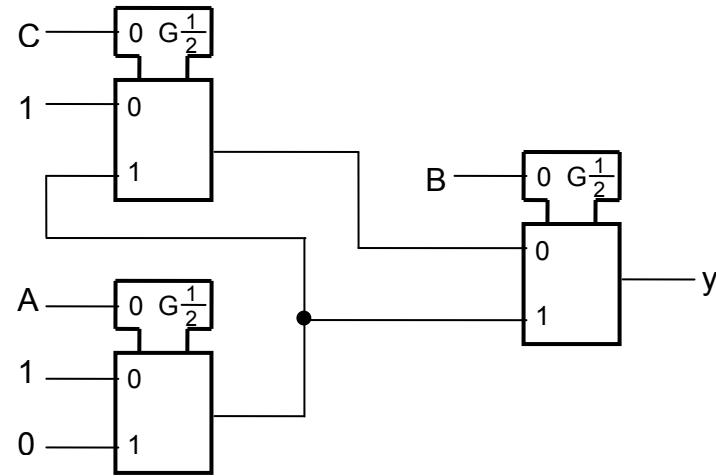


Abbildung 1.1

- Leiten Sie aus der Schaltung (direkt, nicht über die Wahrheitstabelle!) die logische Funktion ab, die in dem Actel-FPGA realisiert ist.
- Stellen Sie die Wahrheitstabelle auf und zeichnen Sie das KV-Diagramm.
- Leiten Sie daraus die **konjunktive** Normalform ab!
- Skizzieren Sie Ihre Lösung: Wie ist der n-Stack aus Transistoren aufgebaut, wie der p-Stack? Wie schalten Sie n-Stack und p-Stack zusammen, wo ist der Ausgang der Schaltung?

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=3,3V$  einen mittleren Strom von 2A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 6\text{K/W}$  für Betrieb ohne Kühlkörper.

Nehmen Sie für die folgenden Berechnungen an, dass der Chip mit einem Kühlkörper versehen wird, für den  $\theta_{CA} = 2,5\text{K/W}$  spezifiziert ist.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 4,0\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 4,0\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 3,3\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV} ; \gamma = 4,5 \text{V}^{-1}$$

(d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 10 Stunden um 6 Monate altert (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 3,3\text{V}$ ).

Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?

Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 4,0V)?

Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben?

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 200MHz Takt. Ein asynchrones Eingangssignal mit 20MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über die kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 500\text{ps} ; \quad \tau_C = 100\text{ps} ; \quad T_0 = 100\text{ps} .$$

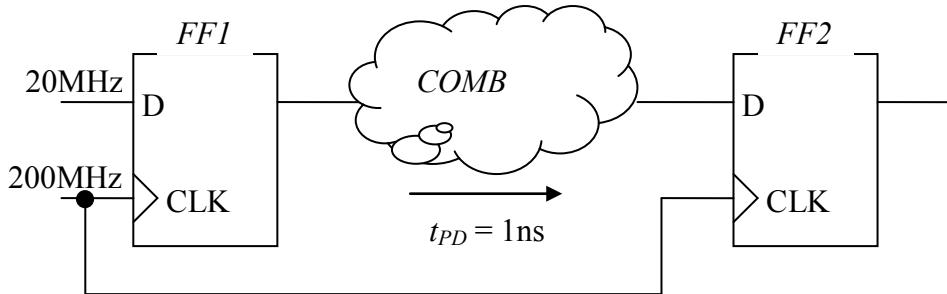


Abbildung 3.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 2,4V Versorgungsspannung 5A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit  $\theta_{JA} = 5\text{K/W}$ ?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution Time  $t_r$  erhalten Sie damit? Wird die MTBU damit besser als bei (a)? Begründen Sie!

	2.00 V	2.20 V	2.40 V	2.60 V	2.80 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
20°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 2.8V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library ieee;
use ieee.std_logic_1164.all;

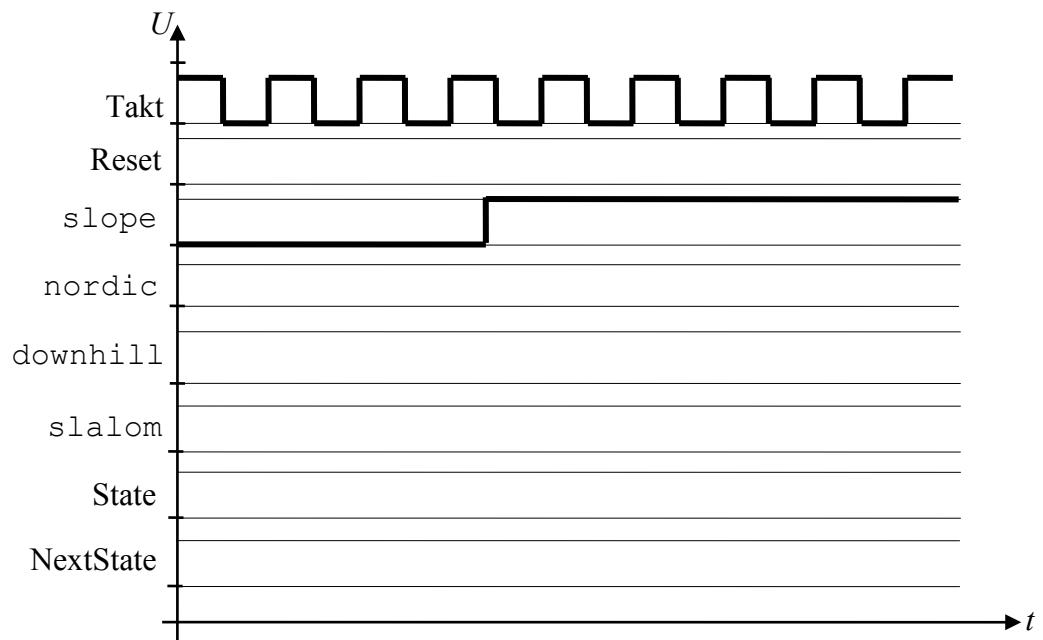
entity ski is
  port
  (
    race      : in  std_logic;
    winner    : in  std_logic;
    slope     : in  std_logic;
    slalom    : out std_logic
  );
end entity ski;
```

```
architecture tchaik of ski is
  signal lap, team : std_logic_vector(0 to 2);
  signal nordic, downhill : std_logic;
begin
  gold : process(lap)
  begin
    case lap is
      when "111"  => slalom <= '0';
      when others  => slalom <= '1';
    end case;
  end process gold;

  silver : process(lap, downhill, nordic)
  begin
    case lap is
      when "100"  => team <= "010";
      when "101"  => team <= "100";
      when "111"  => team <= "101";
      when others  => team <= "000";
    end case;
    if (lap = "100") and (downhill /= nordic) then
      team <= "111";
    end if;
  end process silver;

  bronze : process(race)
  begin
    if race'event and race = '1' then
      if winner = '1' then
        lap <= (others => '1');
        nordic <= '0';
        downhill <= '0';
      else
        lap <= team;
        nordic <= slope;
        downhill <= nordic;
      end if;
    end if;
  end process bronze;
end architecture tchaik;
```

- Identifizieren Sie Taktsignal und Reset!
- Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset HIGH-aktiv oder LOW-aktiv? Begründen Sie!
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muss? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Tragen Sie die Signale für einen 2,5 Taktzyklen langen Reset in Abbildung 4.1 ein! Ergänzen Sie weiters für die ersten vollen 6 Taktzyklen danach den Ablauf der Zustände (State plus zugehöriger Next-State) in der Abbildung.



**Abbildung 4.1**

# Vorlesungsprüfung aus Digitales Design

4. Mai 2011

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Beschreiben Sie den Aufbau eines SR-Latches aus kombinatorischen Basisgattern (AND, OR, NAND, NOR, INV, ...) und erklären Sie damit sein Verhalten für alle Eingangskombinationen!

**Frage 2:**

Was versteht man unter p-Dotierung? Wo wird diese angewendet?

**Frage 3:**

Was ist die Schwellspannung eines FET?

**Frage 4:**

Nennen Sie zwei wesentliche Unterschiede zwischen statischer Timing-Analyse und Simulation!

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Was ist ein IP-Core?

**Frage 7:**

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

**Frage 8:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 9:**

Skizzieren Sie die Badewannenkurve (Achsen beschriften!) und bezeichnen Sie die Bereiche kurz!

**Frage 10:**

Erläutern Sie das Prinzip des Boundary-Scan!

## Rechenbeispiele

### Beispiel 1

In der Dokumentation einer Funktionseinheit finden Sie einen Schaltplan, der deren Realisierung in einem Actel-FPGA beschreibt (Abbildung 1.1). Ihre Aufgabe besteht nun darin, die gleiche Funktion in einem LUT-basierten FPGA zu realisieren

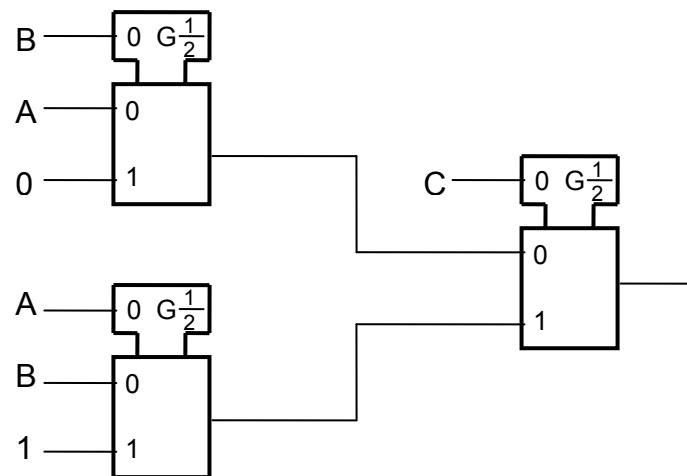


Abbildung 1.1

- Leiten Sie aus der Schaltung (direkt, nicht über die Wahrheitstabelle!) die logische Funktion ab, die in dem Actel-FPGA realisiert ist.
- Stellen Sie die Wahrheitstabelle auf und zeichnen Sie das KV-Diagramm.
- Leiten Sie daraus die **konjunktive** Normalform ab!
- Skizzieren Sie Ihre LUT-basierte Lösung: wie beschalten Sie die Eingänge, was sind die Speicherinhalte?

## Beispiel 2

Von einem bestimmten Server werden 1 Million Stück gefertigt. Jeder dieser Server ist mit einem DMA-Controller-Chip ausgerüstet. Ein solcher Controller Chip kostet 3€ und weist bei der Fertigung einen Defect Level von 5% auf. Die Kosten für die Reparatur des Servers aufgrund eines defekten DMA-Controllers betragen im Mittel 800€.

- (a) Welchen finanziellen Schaden verursachen die Reparaturkosten für die nicht entdeckten Controller-Chips?
- (b) Durch einen Funktionstest aller mit dem Controller bestückten Platinen vor dem Einbau in den Server könnte man 75% der verbliebenen Defekte erkennen, für die sich die Reparaturkosten dann auf 200€ reduzieren. Ist die Anwendung eines solchen Tests wirtschaftlich sinnvoll, wenn dadurch Testkosten von 30€ je Platine anfallen?
- (c) Durch einen Built-in Self-Test kann die Defektrate des Chips von 5% auf 1% vermindert werden. Ist die Anwendung des BIST wirtschaftlich sinnvoll, wenn die zusätzlich benötigte Testlogik den Preis des Controllers auf 4€ erhöht?

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 200MHz Takt. Ein asynchrones Eingangssignal mit 20MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über die kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,5\text{ns} ; \quad \tau_C = 0,1\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

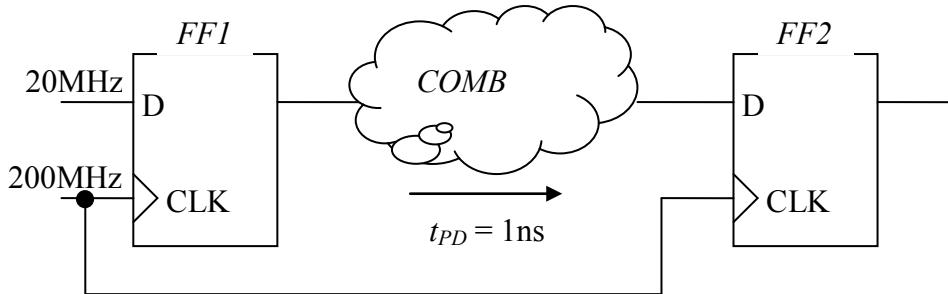


Abbildung 3.1

- (a) Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- (b) Die Schaltung ist Teil eines Chips, der bei 5V Versorgungsspannung 2A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit 6K/W?
- (c) Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution Time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

	4.50 V	4.75 V	5.00 V	5.25 V	5.50 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

- (d) Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 5.5V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

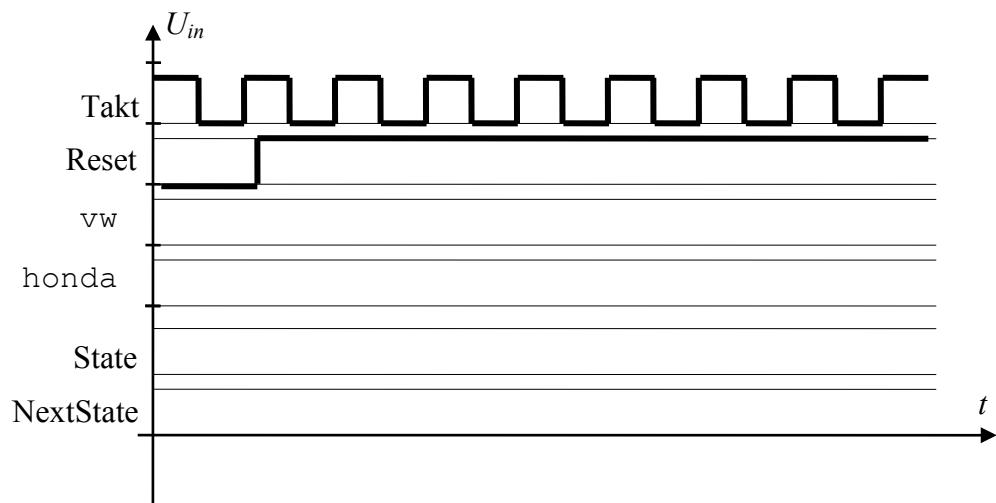
entity mydream is
  port
  (
    vw      : out std_logic_vector(0 to 1);
    bmw    : in  std_logic;
    honda  : out std_logic;
    volvo  : in  std_logic
  );
end entity mydream;
```

```
architecture car of mydream is
  signal ferrari, audi:
    std_logic_vector(0 to 7);
begin
  rally:process(bmw, volvo)
  begin
    if volvo = '0' then
      audi <= (others => '0');
    else
      if bmw'event and bmw = '1' then
        audi <= ferrari;
      end if;
    end if;
  end process rally;

  race:process(audi)
  begin
    ferrari <= audi + '1';
    if audi = "0000011" then
      ferrari <= (others => '1');
    end if;
  end process race;

  contest:process(audi)
  begin
    honda <= '0';
    case audi is
      when "00000001"  => vw <= "11";
      when "10000001"  => vw <= "00";
      when "11111111"  => vw <= "10";
                                honda <= '1';
      when others        => vw <= "01";
    end case;
  end process contest;
end architecture car;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Ist der Reset HIGH-aktiv oder LOW-aktiv? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muss? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Tragen Sie für die ersten 7 Taktzyklen nach dem Reset den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf von vw und honda!



**Abbildung 4.1**

# Vorlesungsprüfung aus Digitales Design

22. Juni 2011

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	15
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Beschreiben Sie den Unterschied zwischen D-Latch und D-Flipflop bezüglich Aufbau und Funktion!

**Frage 2:**

Welche elektrische Funktion hat das Siliziumdioxid im Chip? Skizzieren Sie den Querschnitt durch einen MOSFET und bezeichnen Sie die Stelle, wo Siliziumdioxid zum Einsatz kommt!

**Frage 3:**

Was ist ein Transmission Gate und wie ist es aufgebaut?

**Frage 4:**

Was ist Back-Annotation und zu welchem Zeitpunkt im Design-Flow wird sie durchgeführt?

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Welchen Vorteil bietet das XOR-Gate am Ausgangspin eines PALs ?

**Frage 7:**

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

**Frage 8:**

Was versteht man unter Electromigration?

**Frage 9:**

Wie funktioniert der Scan-Test?

**Frage 10:**

Welchen Zweck hat ein „Process“ in VHDL?

## Rechenbeispiele

### Beispiel 1

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_6 \oplus X_4 \oplus X_3 \oplus X_0$$

(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0110110100111100“ initialisiert. Welchen Wert hat der Ausgang nach 3 Taktzyklen (= aktiven Taktflanken)?

## Beispiel 2

Abbildung 2.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

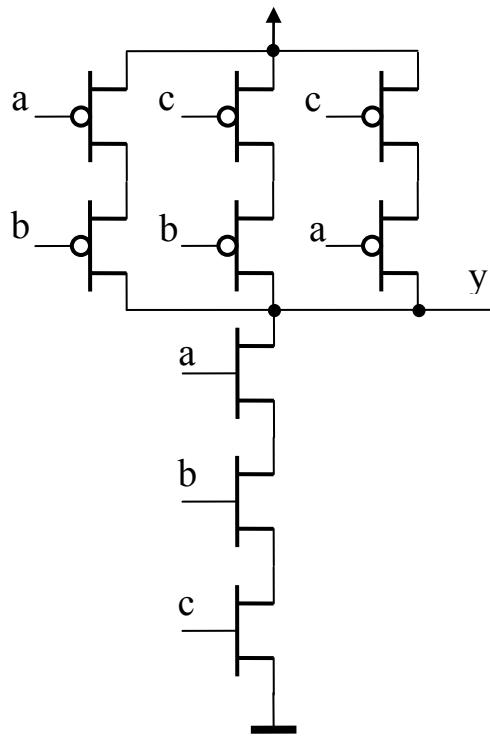


Abbildung 2.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (0,0,1)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (1,1,0)$ ? Begründen Sie!
- Geben Sie die Wahrheitstabelle für die Funktion  $y$  an!
- Gibt es Eingangsmuster, die keinen definierten Ausgang ergeben? Falls ja – welche?
- Gibt es Eingangsmuster, die zu einem Kurzschluss führen können? Falls ja – welche?
- Welche Bedingung muss allgemein erfüllt sein, damit der Ausgang für alle Eingangskombinationen stets definiert und frei von Kurzschlüssen ist?
- Verändern Sie den n-Stack so, dass die in (f) genannten Bedingungen erfüllt sind!
- Schreiben Sie die so entstandene logische Funktion in konjunktiver Normalform an!

### Beispiel 3

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=2,5V$  einen mittleren Strom von 4A. Im Datenblatt finden Sie für die Kühlung folgende Angaben:

$$\theta_{JC} = 5\text{K/W}, \theta_{JA} = 10\text{K/W}$$

Es ist ein Kühlkörper vorzusehen, der besser als 1K/W spezifiziert ist.

- (a) Angenommen Sie haben einen Kühlkörper, der mit 0,5K/W spezifiziert ist. Dürfen Sie diesen verwenden?
- (b) Bei Verwendung eines Kühlkörpers mit 1K/W und im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ : Welche Temperatur  $T_C$  erreicht der Chip (Gehäuse), welche Temperatur  $T_J$  der Die?
- (c) Ihr Zulieferer hat die Spannungsversorgung schlecht dimensioniert, und diese liefert anstelle der spezifizierten 2,5V nun eine Versorgungsspannung von  $V_{DD}=2,9V$ . Welche Temperatur  $T_C$  bzw.  $T_J$  erreichen Gehäuse bzw. Die nun?  
*(Hinweis: Nehmen Sie an, die Verlustleistung sei durch dynamische Umladeströme dominiert)*
- (d) Auf wie viel % verkürzt sich durch den Betrieb mit der überhöhten Versorgungsspannung die Lebenserwartung des Chips?  
*(Hinweis: Ermitteln Sie dazu den Temperature Acceleration Factor sowie den Voltage Acceleration Factor)*

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV} ; \gamma = 3,2 \text{V}^{-1}$$

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity mystery is
  port(
    heart,dream : in std_logic;
    pavane : out std_logic_vector(0 to 3)
  );
end mystery;

architecture tales of mystery is
  signal fall,prelude,paradise,arrival:
    std_logic_vector(0 to 2);

begin

allan: process(fall,paradise)
begin
  case paradise is
    when "001" => arrival <= "010";
    when "010" => arrival <= "100";
    when others => arrival <= "001";
  end case;
  prelude <= fall XOR paradise;
end process allan;

parsons: process(fall)
begin
  case fall is
    when "000" => pavane <= "0000";
    when "001" => pavane <= "0010";
    when "011" => pavane <= "0110";
    when "111" => pavane <= "1110";
    when "110" => pavane <= "1100";
    when "100" => pavane <= "1000";
    when others => pavane <= "1111";
  end case;
end process parsons;

project: process(heart,dream)
begin
  if dream = '0' then
    fall <= "111";
    paradise <= "001";
  else
    if heart'event and heart = '1' then
      fall <= prelude;
      paradise <= arrival;
    end if;
  end if;
end process project;

end tales;
```

- Identifizieren Sie Taktsignal und Reset!
- Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Ist der Reset hi-aktiv oder lo-aktiv? Begründen Sie!
- Welches ist die aktive Taktflanke? Begründen Sie!
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Tragen Sie den Ablauf der aller Zustandssignale (State plus zugehöriger Next-State, Darstellung als Bus) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf am Ausgang ! Nehmen Sie an, der Reset sei bis zum Zeitpunkt der eingetragenen Flanke aktiv und wird dann inaktiv.
- Welche Werte nimmt der Ausgang an? In welcher Reihenfolge?
- Welche Werte nimmt das LSB des Ausgangs an? Welche Bedeutung könnte es haben?

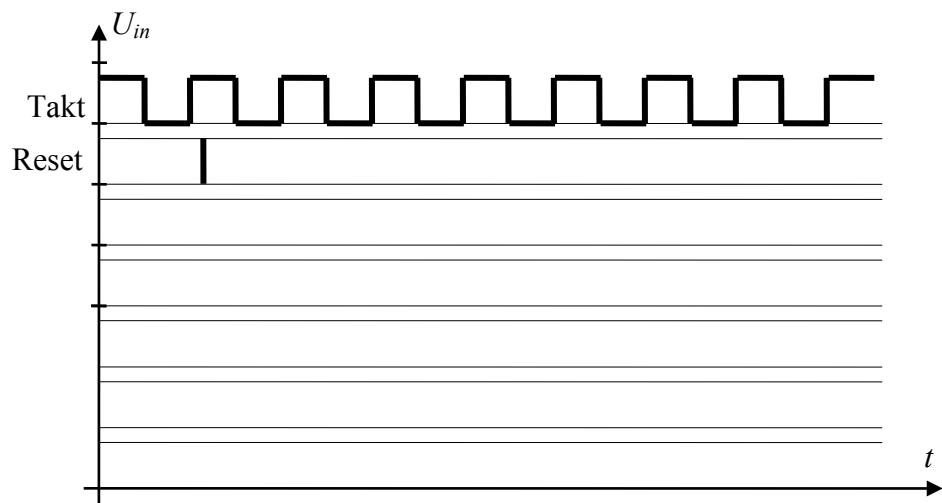


Abbildung 4.1

# Vorlesungsprüfung aus Digitales Design

21. Oktober 2011

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

### Frage 1:

Mit welcher logischen Verknüpfung kann man einen steuerbaren/programmierbaren Inverter am effizientesten realisieren?

### Frage 2:

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 75\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die Zeitkonstante ergibt!

### Frage 3:

Stellen Sie ein NOR-Gate mit Hilfe von Schalten schematisch dar! Wählen Sie eine Schalterstellung, bei der HI ausgegeben wird.

### Frage 4:

Im Datenblatt eines Logikbausteines finden Sie eine grafische Darstellung der (nichtlinearen) Abhängigkeit der Ausgangsspannung vom Ausgangsstrom. Wie können Sie für Ihren Anwendungsfall (bekannter Ausgangsstrom) den zugehörigen Ausgangswiderstand ermitteln?

### Frage 5:

Was ist resistenter gegen Störungen: ein mask-ROM oder ein UV-EPROM? Warum?

### Frage 6:

Was ist ein IP-Core?

### Frage 7:

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

### Frage 8:

Was ist ein Schmitt-Trigger-Eingang? Wozu wird er verwendet?

### Frage 9:

Skizzieren Sie die Badewannenkurve (Achsen beschriften!) und bezeichnen Sie die Bereiche kurz!

### Frage 10:

Erläutern Sie das Prinzip des Boundary-Scan!

# Rechenbeispiele

## Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

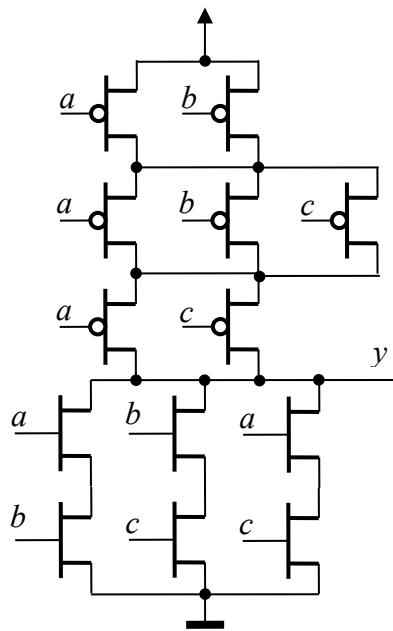


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,1)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (0,1,1)$ ? Begründen Sie!
- Modifizieren Sie den p-Stack so, dass sich (in Verbindung mit dem vorhandenen n-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$ !
- Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !

## Beispiel 2

In der Dokumentation einer Funktionseinheit finden Sie einen Schaltplan, der deren Realisierung in einem Actel-FPGA beschreibt (Abbildung 2.1). Ihre Aufgabe besteht nun darin, die gleiche Funktion in einem LUT-basierten FPGA zu realisieren

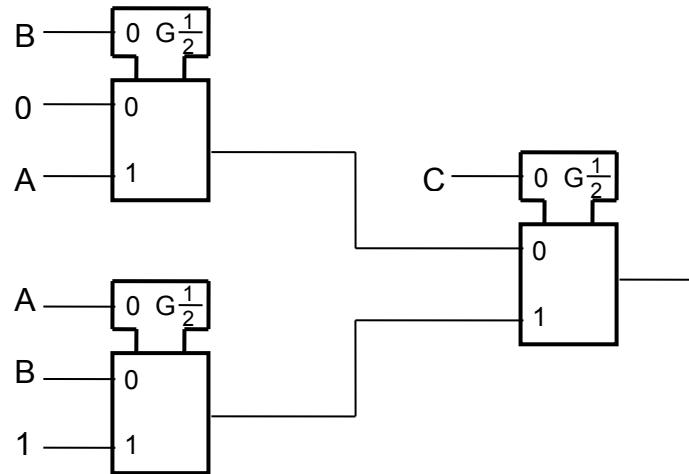


Abbildung 2.1

- (a) Leiten Sie aus der Schaltung (direkt, nicht über die Wahrheitstabelle!) die logische Funktion ab, die in dem Actel-FPGA realisiert ist.
  - (b) Stellen Sie die Wahrheitstabelle auf und zeichnen Sie das KV-Diagramm.
  - (c) Leiten Sie daraus die **konjunktive** Normalform ab!
  - (d) Skizzieren Sie Ihre LUT-basierte Lösung: wie beschalten Sie die Eingänge, was sind die Speicherinhalte?

### Beispiel 3

In Abbildung 3.1 ist ein analoger Spannungsverlauf  $U_{in}$  gegeben.

- Dieses Signal  $U_{in}$  wird an einen Eingang eines digitalen Gatters mit Schwellwert  $U_{th} = 1,5V$  (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 3.1 den Spannungsverlauf  $U_{dig1}$  nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von  $U_{in}$  nun ein Schmitt Trigger-Eingang verwendet.  $U_{dig2}$  zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (incl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Trigger! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

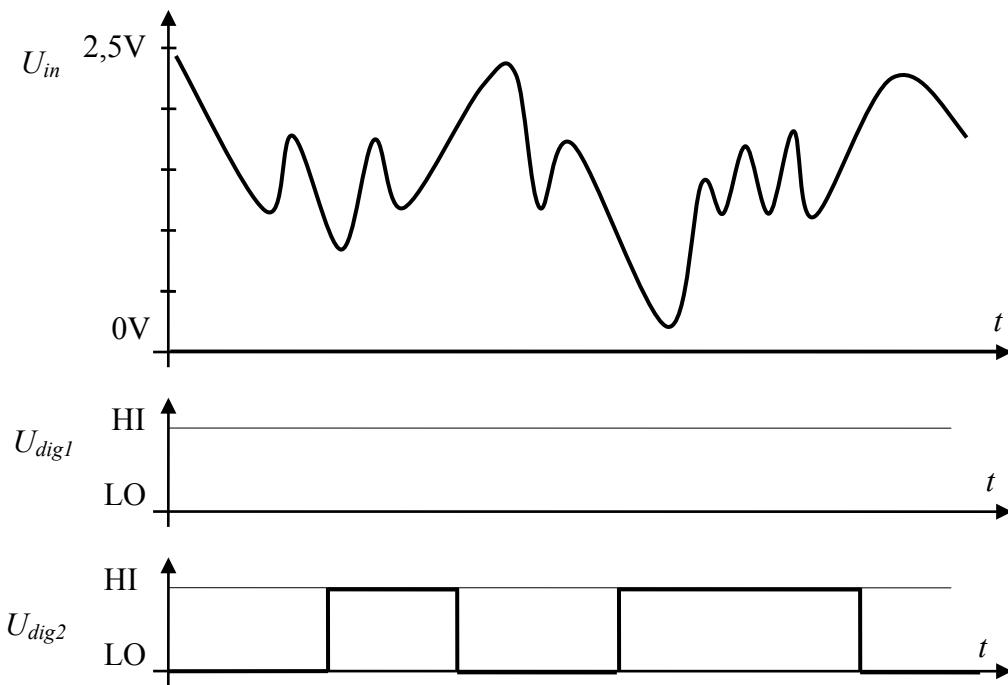


Abbildung 3.1

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library IEEE;
use      IEEE.std_logic_1164.all;

entity universe is
port(
  moon:      in std_logic;
  jupiter : in std_logic;
  neptun:out std_logic_vector(0 to 2)
  );
end universe;
```

```
architecture master of universe is
  signal earth, pluto:
    std_logic_vector(0 to 1);

begin
  fire: process(earth)
  begin
    case earth is
      when "00"  => neptun <= "101";
      when "01"  => neptun <= "001";
      when "10"  => neptun <= "110";
      when others => neptun <= "010";
    end case;
  end process fire;

  water: process(earth)
  begin
    case earth is
      when "00"  => pluto <= "01";
      when "10"  => pluto <= "11";
      when "01"  => pluto <= "10";
      when others => pluto <= "00";
    end case;
  end process water;

  ice: process(moon, jupiter)
  begin
    if jupiter = '1' then
      earth <= "00";
    else
      if moon'event and moon = '1' then
        earth <= pluto;
      end if;
    end if;
  end process ice;
end master;
```

- Identifizieren Sie Taktsignal und Reset! Ist der Reset HI-aktiv oder LO-aktiv?
- Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muß? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- Wie viele Bit umfasst der Eingang dieser Schaltung? Wie viele der Ausgang? Begründen Sie!
- Wie viele interne Zustände kann die State-Machine einnehmen? Begründen Sie! In welcher Reihenfolge werden sie ausgehend vom Reset durchlaufen?

# Vorlesungsprüfung aus Digitales Design

11. November 2011

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was besagt das Theorem von De Morgan? Geben Sie ein Beispiel!

**Frage 2:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 3:**

Warum sind Wafer rund?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

**Frage 7:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

**Frage 8:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

**Frage 9:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 10:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Zu realisieren ist eine Schaltung, die für eine Zahl  $b$  den Wert  $y = 8 - b$  berechnet. Der Eingangswert  $b$  ( $0 \leq b \leq 7$ ) ist als positive Binärzahl ( $b_2, b_1, b_0$ ) dargestellt. Das Ergebnis  $y$  ist wiederum eine positive Binärzahl und soll unmittelbar das Ergebnis darstellen ( $1 \leq y \leq 8$ ).

- (a) Wie breit muss der Ausgang  $y$  sein?
- (b) Beschreiben Sie eine Realisierung mittels ROM: Welches ROM benötigen Sie (Anzahl der Adressleitungen und der Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- (c) Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie für jedes Ausgangsbit ( $y_n \dots y_0$ ) die logische Verknüpfung, die realisiert werden müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten! Geben Sie Ihre Lösung als disjunktive Normalform an!
- (d) Leiten Sie eine Realisierung für die Funktion  $y_2(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=1,2V$  einen mittleren Strom von 6A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 6\text{K/W}$  für Betrieb ohne Kühlkörper.

Nehmen Sie für die folgenden Berechnungen an, dass der Chip mit einem Kühlkörper versehen wird, für den  $\theta_{CA} = 3\text{K/W}$  spezifiziert ist.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 1,8\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 1,8\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 1,2\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV} ; \gamma = 4,5 \text{V}^{-1}$$

(d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 10 Stunden um 6 Monate altert (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 1,2\text{V}$ ).

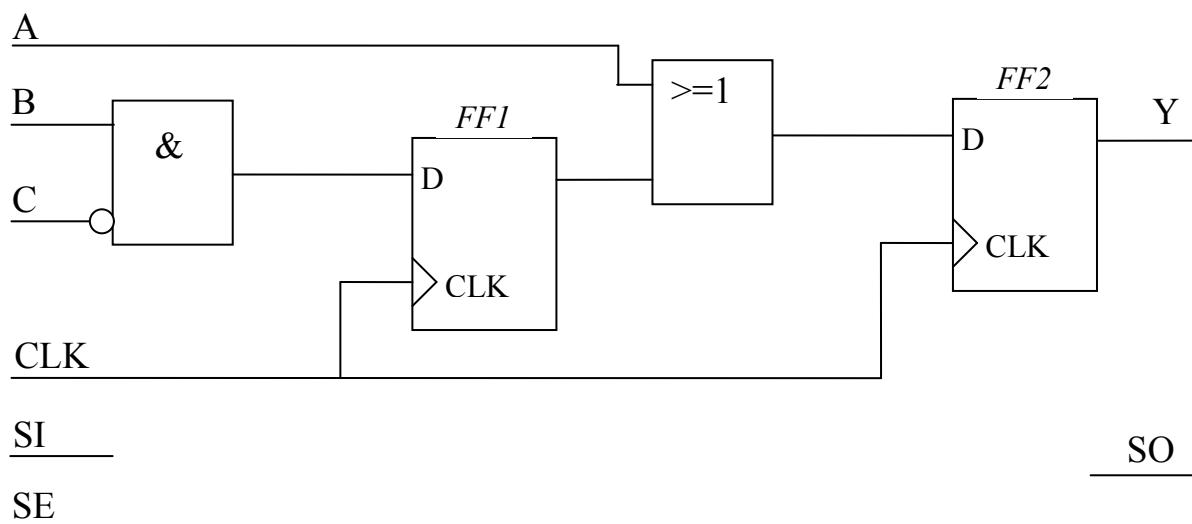
Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?

Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 1,8V)?

Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben?

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1.



**Abbildung 3.1**

- Wie müssen Sie ein D-Flip-Flop erweitern, um daraus ein Scan-Register zu machen?  
Skizzieren Sie diese Erweiterung!
- Erweitern Sie die beiden Flip-Flops in Abbildung 3.1 entsprechend!
- Bilden Sie mit den beiden so entstandenen Scan-Registern eine Scan Chain. Schließen Sie die Signale SI (scan in), SO (scan out) und SE (scan enable) entsprechend an.
- Betrachten Sie das OR-Gate: Welche Testmuster müssen Sie an dieses Gatter anlegen, um alle Stuck-at Fehler an seinen Eingängen und seinem Ausgang zu finden?
- Beschreiben Sie den Ablauf eines Scan Tests anhand der Schaltung. Welche Pegel müssen Sie an die primären Eingänge legen, welche Testvektoren müssen Sie in die Scan-Chain takten und welche Pegel erwarten Sie am Ausgang für ein funktionierendes OR-Gate?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library ieee;
use ieee.std_logic_1164.all;

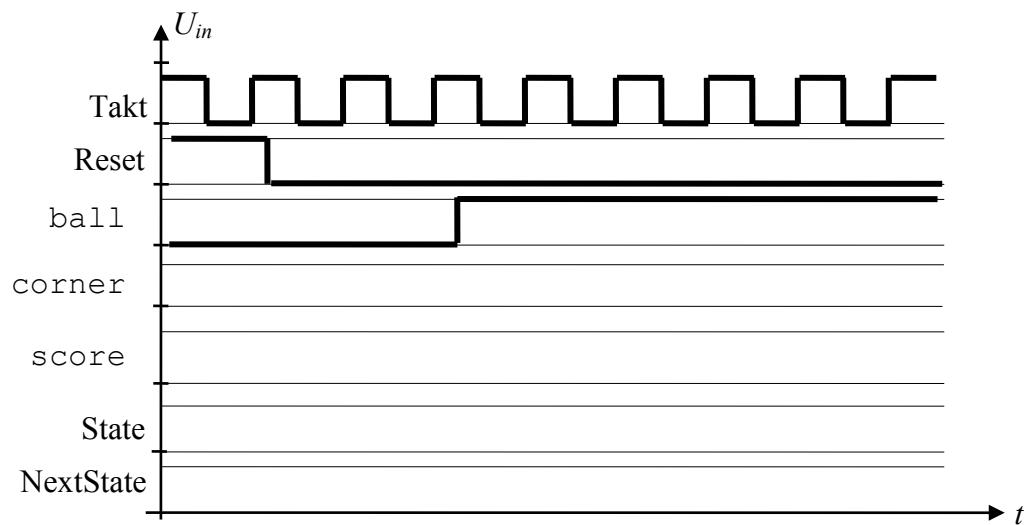
entity soccer is
  port
  (
    goal      : in  std_logic;
    penalty   : in  std_logic;
    ball      : in  std_logic;
    score     : out std_logic
  );
end entity soccer;

architecture world of soccer is
  signal fan, foul : std_logic_vector(0 to 2);
  signal corner : std_logic;
begin
  champion : process(fan, ball, corner)
  begin
    case fan is
      when "000"  => foul <= "010";
      when "001"  => foul <= "011";
      when "010"  => foul <= "001";
      when others => foul <= "000";
    end case;
    if (fan = "011") and (ball /= corner) then
      foul <= "111";
    end if;
  end process champion;

  semifinals : process(fan)
  begin
    case fan is
      when "111"  => score <= '0';
      when others  => score <= '1';
    end case;
  end process semifinals;

  stadion : process(goal, penalty)
  begin
    if penalty = '1' then
      fan <= (others => '0');
      corner <= '0';
    else
      if goal'event and goal = '1' then
        fan    <= foul;
        corner <= ball;
      end if;
    end if;
  end process stadion;
end architecture world;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Ist der Reset HIGH-aktiv oder LOW-aktiv? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muss? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Tragen Sie für die ersten 7 Taktzyklen nach dem Reset den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein!



**Abbildung 4.1**

# Vorlesungsprüfung aus Digitales Design

20. Januar 2012

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	10
	2	10
	3	15
	4	15
Gesamt	100	

## Theoriefragen

**Frage 1:**

Wozu benötigt man ein Floating Gate?

**Frage 2:**

Was ist ein Transmission Gate und wie ist es aufgebaut?

**Frage 3:**

Welchen Unterschied macht es, ob Sie den Ausgang eines Gatters mit einem oder mit 10 Eingängen nachfolgender Gatter belasten?

**Frage 4:**

Was versteht man unter Electromigration?

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 7:**

Was versteht man im Zusammenhang mit einem PLD unter einem Product Term?

**Frage 8:**

Wozu benötigt man bei der Fertigung eines ICs die Masken?

**Frage 8:**

Altert ein Chip auch wenn er nicht in Betrieb ist? Begründen Sie!

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

### Beispiel 1

Zu entwerfen ist eine Schaltung, die die Zahlen 0 bis 7 (codiert als positive Integer) an einer Kette von 7 Leuchtdioden (LED\_1 ... LED\_7) so ausgibt, dass bei „0“ keine LED leuchtet, bei „1“ leuchtet LED\_1 bei „2“ leuchten LED\_1 und LED\_2 und bei „7“ leuchten alle LEDs (siehe Abbildung 1.1). Nehmen Sie an, eine LED leuchtet, wenn sie mit „1“ angesteuert wird.

	LED_1	LED_2	LED_3	LED_4	LED_5	LED_6	LED_7	
„0“	□	□	□	□	□	□	□	
„1“	■	□	□	□	□	□	□	„leuchtet“
„2“	■	■	□	□	□	□	□	
„3“	■	■	■	□	□	□	□	„leuchtet nicht“
„4“	■	■	■	■	□	□	□	
„5“	■	■	■	■	■	□	□	
„6“	■	■	■	■	■	■	□	
„7“	■	■	■	■	■	■	■	

Abbildung 1.1

- Geben Sie die Wahrheitstabelle für alle LEDs an!
- Geben Sie die logische Verknüpfung an, die Sie für LED\_4 realisieren müssen!
- Zeichnen Sie das KV-Diagramm für LED\_5 und geben Sie die benötigte Funktion in konjunktiver Normalform an!
- Zeichnen Sie das KV-Diagramm für LED\_3 und geben Sie die benötigte Funktion in disjunktiver Normalform an!
- Geben Sie ein Schaltbild an, wie Sie die Funktion für LED\_1 mittels Multiplexern realisieren können (ähnlich den ACTEL-Bausteinen)

## Beispiel 2

In Abbildung 2.1 ist ein analoger Spannungsverlauf  $U_{in}$  gegeben.

- Dieses Signal  $U_{in}$  wird an einen Eingang eines digitalen Gatters mit Schwellwert  $U_{th} = 0,9V$  (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 2.1 den Spannungsverlauf  $U_{dig1}$  nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von  $U_{in}$  nun ein Schmitt Trigger-Eingang verwendet.  $U_{dig2}$  zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (inkl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Triggers! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

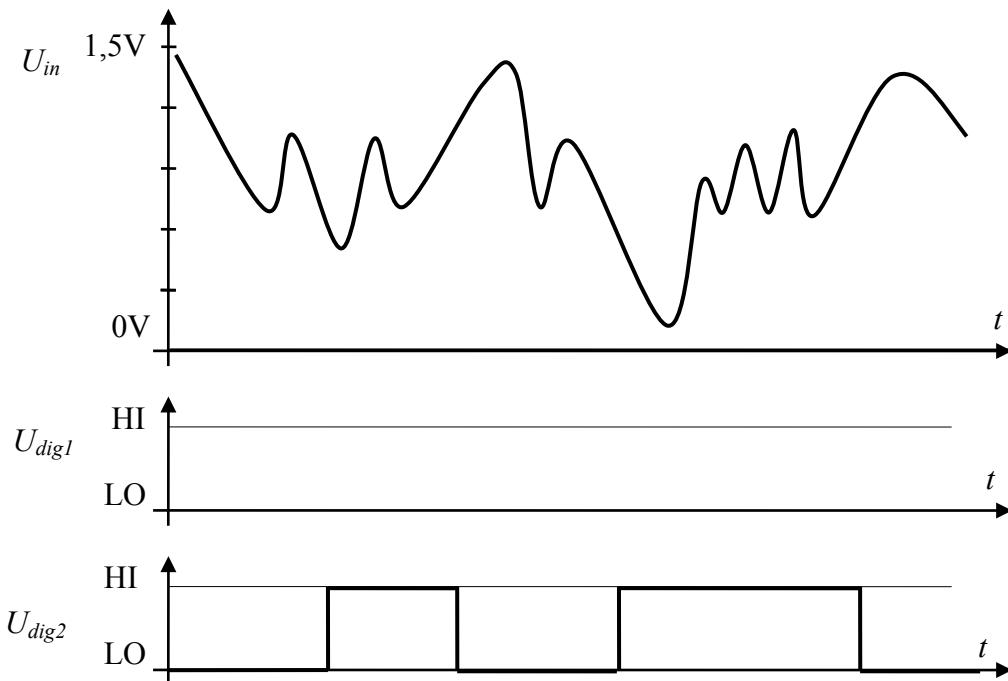


Abbildung 2.1

### Beispiel 3

Gegeben ist die in Abbildung 3.1 dargestellte Schaltung mit 200MHz Takt. Ein asynchrones Eingangssignal mit 20MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über die kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,5\text{ns} ; \quad \tau_C = 0,1\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

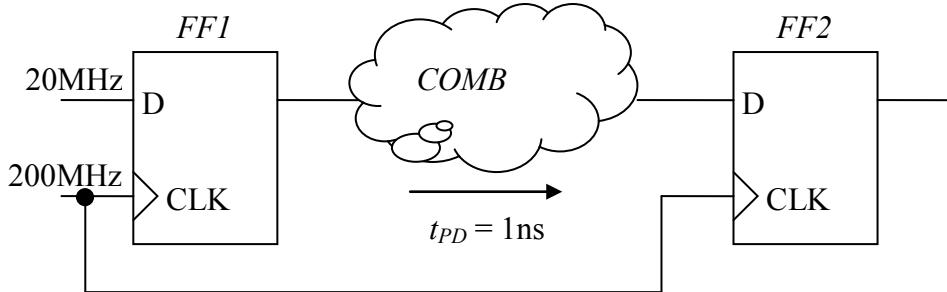


Abbildung 3.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 1,2V Versorgungsspannung 5A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit  $\Theta_{JA}=10\text{K/W}$ ?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 3.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution Time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 3.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 1.3V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library ieee;
use ieee.std_logic_1164.all;

entity RAM_acc is
  port
  (
    clk, res_n : in std_logic;
    data        : in std_logic_vector(7 downto 0);
    addr        : out std_logic_vector(7 downto 0);
    c_sel       : out std_logic;
    o_ena       : out std_logic
  );
end entity RAM_acc;

architecture good of RAM_acc is
  type STATE_TYPE is (zero, one, two, three);
  signal state, state_next : STATE_TYPE;
  signal addr_int : std_logic_vector(7 downto 0);
  signal addr_next : std_logic_vector(7 downto 0);
  signal rd_val : std_logic_vector(7 downto 0);
begin
  addr <= addr_int;

  sync : process(clk)
  begin
    if clk'event and clk = '1' then
      if res_n = '0' then
        state <= zero;
        addr_int <= (others => '0');
        rd_val <= (others => '1');
      else
        state <= state_next;
        addr_int <= addr_next;
        rd_val <= data;
      end if;
    end if;
  end process sync;

  next_state : process(state)
  begin
    case state is
      when zero =>
        state_next <= one;
      when one =>
        state_next <= two;
      when two =>
        state_next <= three;
      when three =>
        state_next <= zero;
    end case;
  end process next_state;

  output : process(state, addr_int, rd_val)
  begin
    addr_next <= addr_int;
    c_sel <= '1';
    o_ena <= '1';

    case state is
      when zero =>
        addr_next <= rd_val;
      when one =>
        c_sel <= '0';
      when two =>
        c_sel <= '0';
      when others =>
        o_ena <= '0';
    end case;
  end process output;
end architecture good;
```

- Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- Tragen Sie für die ersten 6 Taktzyklen nach dem Reset den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein! Ergänzen Sie weiters den Zeitverlauf aller Ausgangssignale (treffen Sie für die Eingänge ggf. sinnvolle Annahmen).

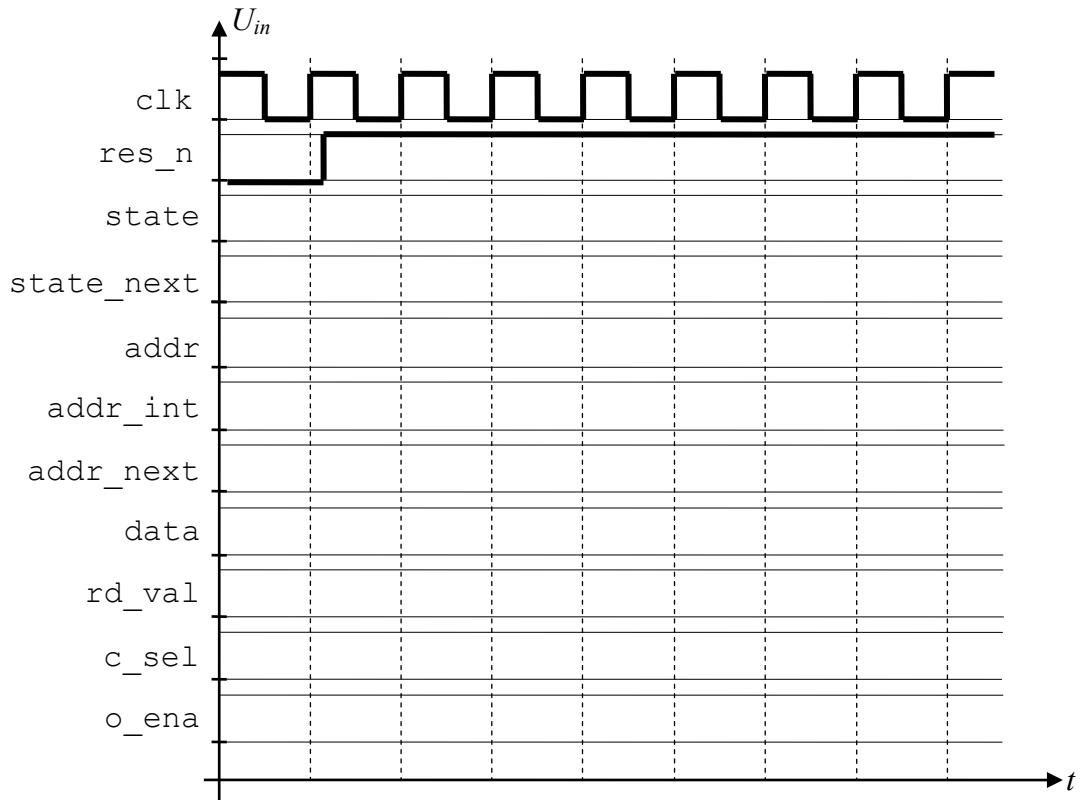
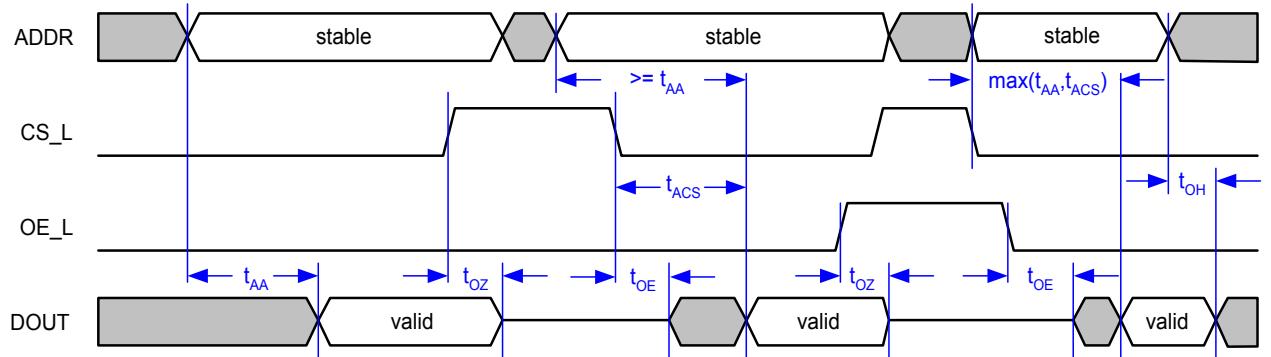


Abbildung 4.1

Gegeben ist weiters ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 4.2)



$$t_{AA} = 14\text{ns}, t_{ACS} = 9\text{ns}, t_{OE} = 4\text{ns}$$

Abbildung 4.2

Angenommen die oben beschriebene State Machine wird mit 200MHz betrieben und wie folgt mit dem SRAM verschaltet: CS\_L wird verbunden mit c\_sel, OE\_L mit o\_ena, ADDR mit addr und DOUT mit data.

- (c) Kann für diesen Betrieb sichergestellt werden, dass die Daten des SRAM korrekt von der State Machine übernommen werden (Timing innerhalb der State Machine sei ideal, d.h. keine Delays und keine Setup-Time)? Welches Signal ist problematisch und warum?
- (d) Wie genau müsste man den Code der State Machine ändern, um ein korrektes (bzw. optimiertes) Timing zu erzielen?

# Vorlesungsprüfung aus Digitales Design

9. März 2012

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	10
	3	15
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Wie würden Sie in CMOS ein OR2-Gatter realisieren?

**Frage 4:**

Erläutern Sie das Prinzip des Boundary-Scan!

**Frage 5:**

Was versteht man unter einem non-volatile Memory?

**Frage 6:**

Wie hängt die Junction-Temperatur eines Chips mit der Umgebungstemperatur zusammen?

**Frage 7:**

Was besagt die „Rule of Ten“?

**Frage 8:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 9:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

**Frage 10:**

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

## Rechenbeispiele

## Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

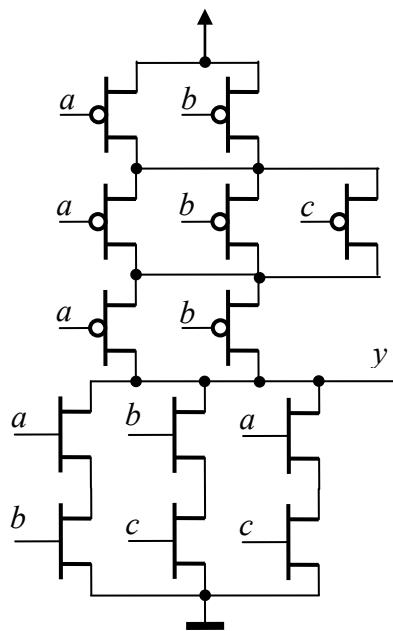


Abbildung 1.1

- (a) Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
  - (b) Was passiert beim Anlegen des Musters  $(a,b,c) = (1,0,1)$ ? Begründen Sie!
  - (c) Modifizieren Sie den p-Stack so, dass sich (in Verbindung mit dem vorhandenen n-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
  - (d) Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
  - (e) Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIIxxxx !

## Beispiel 2

Von einer Versorgungsleitung in einem Chip seien folgende Kennwerte bekannt:

Querschnitt =  $15\mu\text{m}^2$ ; Material: Aluminium ( $E_{\text{act}} = 0.7\text{eV}$ );  $k = 8,6 \cdot 10^{-5}\text{eV/K}$

Bei Betrieb mit einem Strom von 2A und einer Junction-Temperatur  $T_J = 80^\circ\text{C}$  beträgt die MTTF dieser Leitung 8 Jahre.

Aufgrund eines Maskenfehlers bei der Fertigung beträgt der Querschnitt dieser Leitung jedoch nur  $5\mu\text{m}^2$ .

- (a) Welche MTTF ist zu erwarten?
- (b) Beim Burn-in wird der Chip 100 Stunden lang (bei unveränderter Versorgungsspannung) mit  $T_J = 140^\circ\text{C}$  betrieben. Welcher Betriebsdauer entspricht dies bei Normalbetrieb?
- (c) Ist der Test geeignet, den Defekt zu erkennen? Begründen Sie!

### Beispiel 3

Gegeben sei ein CPU-Chip, der nominal bei 5V Versorgungsspannung, 25°C Umgebungs-temperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 85°C erreicht. Abbildung 3.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 98% der gefertigten Chips funktionieren. Bei den restlichen 2% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

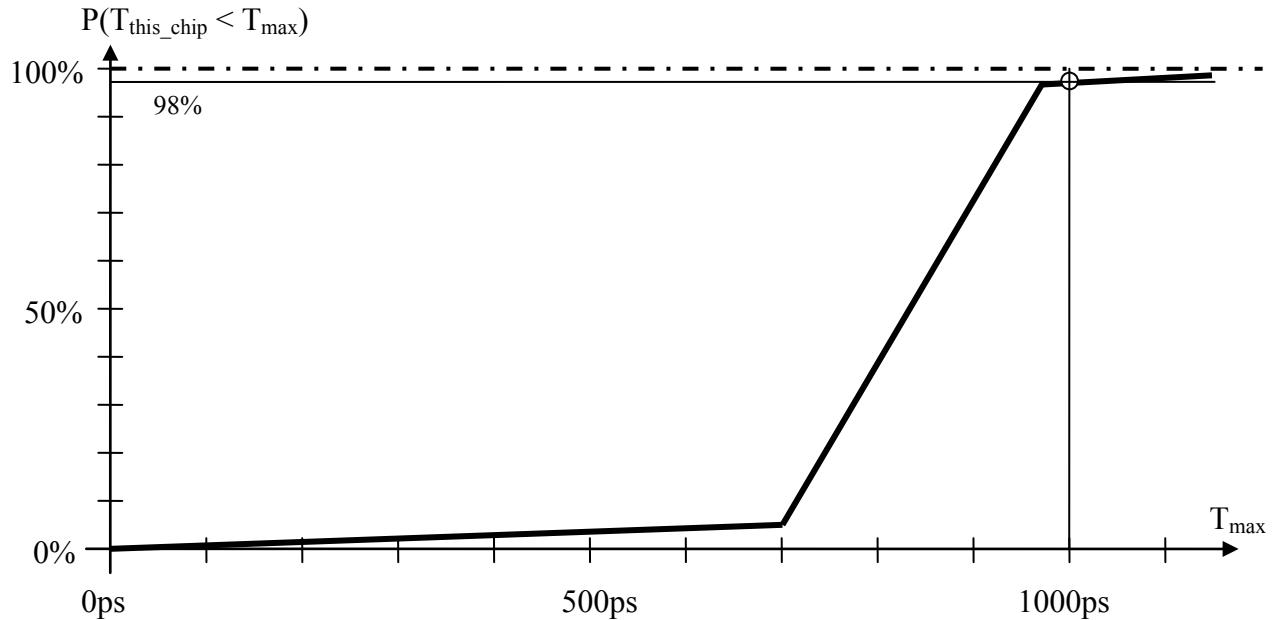


Abbildung 3.1

- (a) Würde man den Chip um 25% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 3.1 der Prozentsatz der auszuscheidenden Chips?
- (b) Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,25GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.
- (c) Wie hoch wird die Die-Temperatur bei 1,25GHz? (Nehmen Sie an, dass dynamische Ströme die Verlustleistung dominieren).
- (d) Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,25GHz? ( $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{act} = 0,7 \text{ eV}$ )
- (e) Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den genauen (relativen) Wert dieser Änderung!

$T_{\text{junction}}$	70°C	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- (f) Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er trotz der Erwärmung noch bei 1,25GHz funktioniert? Wie hoch ist daher nun – unter Berücksichtigung der Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

## Beispiel 4

Analysieren Sie den folgenden VHDL-Code:

```
architecture roulette of russia is
    signal a, b, k, p, x, y: std_logic;
begin
    KIEW: process(a, x)
        if x = '0' then
            y <= a;
        else
            y <= NOT(a);
        end if;
    end process KIEW;

    MOSCOW: process(k, p)
        if k = '1' then
            a <= '0';
        else
            if p'event and p = '1' then
                a <= y;
            end if;
        end if;
    end process MOSCOW;

    TALLIN: process(a, x)
        if x = '1' then
            b <= '0';
        else
            b <= a;
        end if;
    end process TALLIN;
end roulette;
```

- (a) Welches Signal entspricht dem Takt? Begründen Sie!  
Ist die steigende oder die fallende Taktflanke die aktive?
- (b) Welches Signal entspricht dem Reset?  
Handelt es sich um einen synchronen oder einen asynchronen Reset?  
Ist der Reset HI-aktiv oder LO-aktiv? Begründen Sie!
- (c) Welches Signal entspricht dem internen Zustand der State-Machine?
- (d) Handelt es sich um eine State-Machine vom Moore-Type oder vom Mealy-Type?  
Begründen Sie!  
Beschreiben Sie die Teilaufgaben der einzelnen Prozesse!
- (e) Beschreiben Sie die Funktion des Codes:  
Welches Signal entspricht dem Eingang, welches dem Ausgang?  
Was passiert mit dem Zustand der State-Machine und dem Ausgang wenn der Eingang auf '1' geht? Was passiert beim Reset?

# Vorlesungsprüfung aus Digitales Design (alter Stpl.)

21. Juni 2012

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Welche Strecke legt eine elektromagnetische Welle auf einer Leitung innerhalb von 1ns zurück?

**Frage 2:**

Skizzieren Sie die Prinzipschaltung eines D-Latch! (Aufbau aus Schaltern und Invertern)

**Frage 3:**

Was versteht man unter Dotierung? Wofür wird sie angewendet?

**Frage 4:**

Was versteht man unter „CMOS“? Erklären Sie alle Buchstaben in dieser Abkürzung!

**Frage 5:**

Nennen Sie zwei wesentliche Unterschiede zwischen Statischer Timing-Analyse und Simulation!

**Frage 6:**

Was ist ein OTP-ROM?

**Frage 7:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

**Frage 8:**

Welchen Vorteil bietet das XOR-Gate am Ausgangspin eines PALs ?

**Frage 9:**

Was versteht man unter Metastabilität?

**Frage 10:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

# Rechenbeispiele

## Beispiel 1

Für die Beleuchtung eines Treppenhauses soll eine Steuerung entworfen werden, die folgende Informationen über digitale Eingänge erhält:

- |                                       |                         |                        |
|---------------------------------------|-------------------------|------------------------|
| • <b>M</b> – Manueller Schalter:      | „Automatikbetrieb“ = 1; | „Dauerbeleuchtung“ = 0 |
| • <b>U</b> – Schalter „Urlaubsmodus“: | „Normalbetrieb“ = 0;    | „Urlaubsbetrieb“ = 1   |
| • <b>H</b> – Helligkeitssensor:       | „hell“ = 1;             | „dunkel“ = 0           |
| • <b>Z</b> – Zufallsgenerator:        | „Licht aus“ = 1;        | „Licht ein“ = 0        |

Der Ausgang ist ebenfalls digital:

$$B - \text{Beleuchtung:} \quad \text{„ein“} = 1; \quad \text{„aus“} = 0$$

Die Steuerung soll folgende Funktionen bieten:

- Wenn mit **M** „Dauerbeleuchtung“ selektiert wird, ist die Beleuchtung ohne weitere Bedingungen eingeschaltet. Im „Automatikbetrieb“ gilt:
- Wenn mit **U** „Urlaubsmodus“ selektiert wird, entscheidet bei Dunkelheit (lt. Helligkeitssensor **H**) der Zufallsgenerator **Z**, ob das Licht eingeschaltet wird. Ist es hell, bleibt das Licht aus.
- Bei „Normalbetrieb“ lt. Schalter **U** ist das Licht bei Dunkelheit (lt. **H**) ständig an. Ist es hell, bleibt das Licht aus.

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung  $B(M,U,H,Z)$  in disjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung als AOI bzw. OAI realisieren können, wobei die günstigere Variante zu wählen ist.
- (d) Entwerfen Sie den p-Stack und den n-Stack und zeichnen Sie die Schaltung (ggf. unter Hinzufügen zusätzlicher Inverter)
- (e) Wie viele Transistoren benötigen Sie für Ihre Lösung (inkl. Inverter)?
- (f) Wie würden Sie diese Schaltung mit LUT-basierter Logik realisieren (Skizze mit Beschaltung der Eingänge, Speicherinhalte)?
- (g) Unter der Annahme, dass Sie 6 Transistoren pro Speicherzelle (Bit) benötigen – ist die LUT-Lösung günstiger als die AIO/OAI Lösung?

## Beispiel 2

Gegeben ist die in Abbildung 2.1 dargestellte Schaltung mit 200MHz Takt. Ein asynchrones Eingangssignal mit 25MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über die kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,5\text{ns} ; \quad \tau_C = 0,1\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

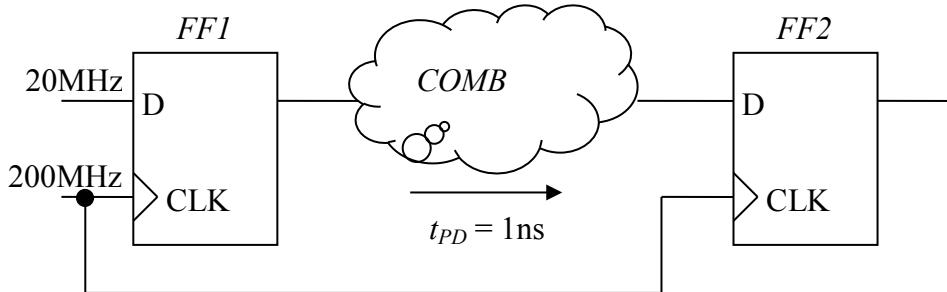


Abbildung 2.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 1,2V Versorgungsspannung 5A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit  $\Theta_{JA}=10\text{K/W}$ ?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 2.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution Time  $t_r$  erhalten Sie damit? Ist die MTBU damit besser als bei (a)? Begründen Sie!

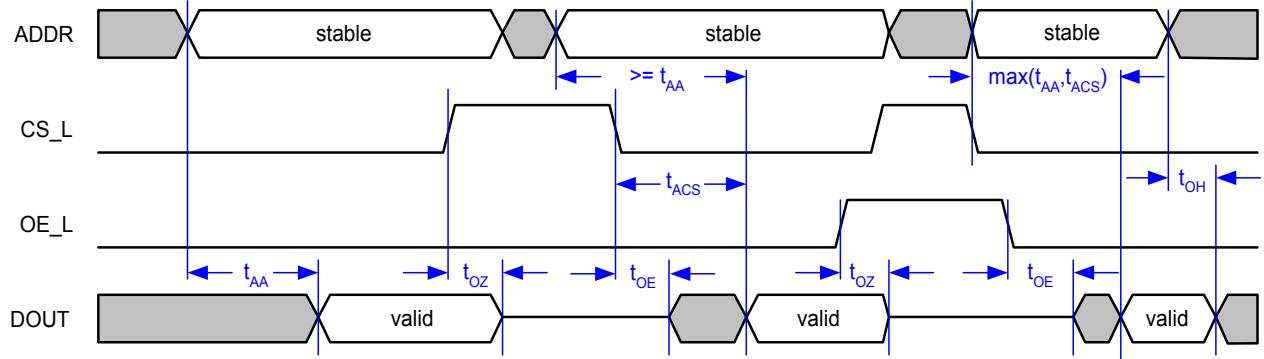
	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
25°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 2.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 1.3V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

### Beispiel 3

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 3.1)



$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}, t_{OZ} = 1\text{ns}, t_{OH} = 0\text{ns}$$

**Abbildung 3.1**

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 3.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?

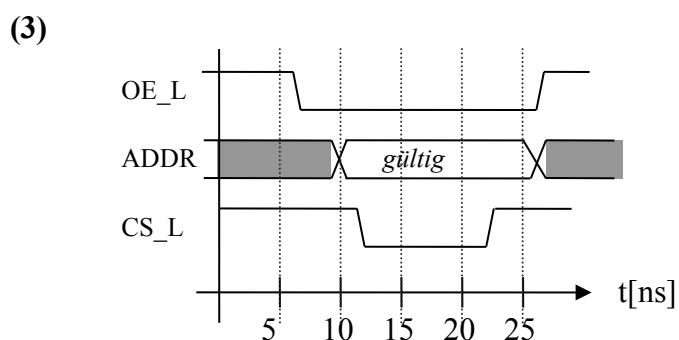
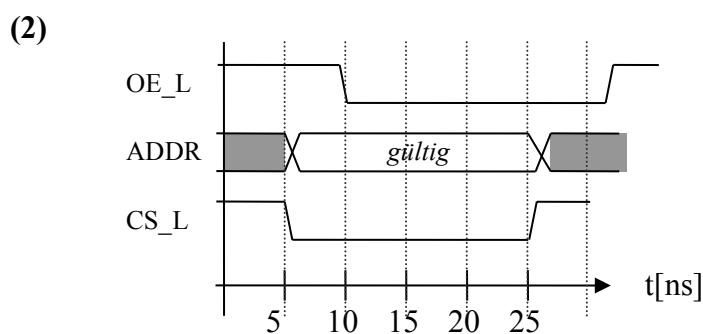
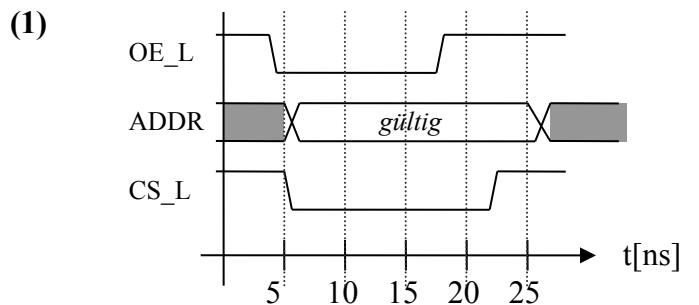


Abbildung 3.2

# Vorlesungsprüfung aus Digitales Design

9. Mai 2012

---

Die Arbeitszeit beträgt 2 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (incl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	50	
Rechenbeispiel	1	15
	2	15
	3	10
	4	10
Gesamt	100	

## Theoriefragen

**Frage 1:**

Was besagt das Theorem von De Morgan? Geben Sie ein Beispiel!

**Frage 2:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 3:**

Warum sind Wafer rund?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Wozu benötigt man ein Floating Gate?

**Frage 6:**

Welche 3 Teile beschreiben eine Design-Unit in VHDL?

**Frage 7:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

**Frage 8:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

**Frage 9:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 10:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Zu realisieren ist eine Schaltung, die für eine Zahl  $b$  den Wert  $y = 8 - b$  berechnet. Der Eingangswert  $b$  ( $0 \leq b \leq 7$ ) ist als positive Binärzahl ( $b_2, b_1, b_0$ ) dargestellt. Das Ergebnis  $y$  ist wiederum eine positive Binärzahl und soll unmittelbar das Ergebnis darstellen ( $1 \leq y \leq 8$ ).

- (a) Wie breit muss der Ausgang  $y$  sein?
- (b) Beschreiben Sie eine Realisierung mittels ROM: Welches ROM benötigen Sie (Anzahl der Adressleitungen und der Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- (c) Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie für jedes Ausgangsbit ( $y_n \dots y_0$ ) die logische Verknüpfung, die realisiert werden müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten! Geben Sie Ihre Lösung als disjunktive Normalform an!
- (d) Leiten Sie eine Realisierung für die Funktion  $y_2(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=1,2V$  einen mittleren Strom von 6A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 6\text{K/W}$  für Betrieb ohne Kühlkörper.

Nehmen Sie für die folgenden Berechnungen an, dass der Chip mit einem Kühlkörper versehen wird, für den  $\theta_{CA} = 3\text{K/W}$  spezifiziert ist.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 1,8\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 1,8\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 1,2\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV} ; \gamma = 4,5 \text{V}^{-1}$$

(d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 10 Stunden um 6 Monate altert (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 1,2\text{V}$ ).

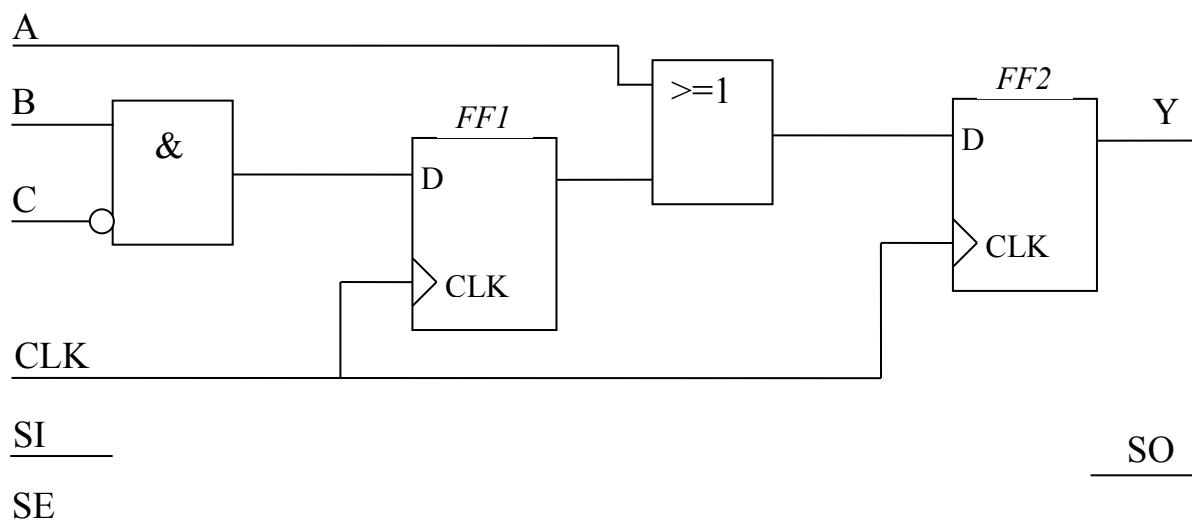
Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?

Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 1,8V)?

Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben?

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1.



**Abbildung 3.1**

- Wie müssen Sie ein D-Flip-Flop erweitern, um daraus ein Scan-Register zu machen?  
Skizzieren Sie diese Erweiterung!
- Erweitern Sie die beiden Flip-Flops in Abbildung 3.1 entsprechend!
- Bilden Sie mit den beiden so entstandenen Scan-Registern eine Scan Chain. Schließen Sie die Signale SI (scan in), SO (scan out) und SE (scan enable) entsprechend an.
- Betrachten Sie das OR-Gate: Welche Testmuster müssen Sie an dieses Gatter anlegen, um alle Stuck-at Fehler an seinen Eingängen und seinem Ausgang zu finden?
- Beschreiben Sie den Ablauf eines Scan Tests anhand der Schaltung. Welche Pegel müssen Sie an die primären Eingänge legen, welche Testvektoren müssen Sie in die Scan-Chain takten und welche Pegel erwarten Sie am Ausgang für ein funktionierendes OR-Gate?

## Beispiel 4

Gegeben ist folgender VHDL-Code einer State-Machine:

```
library ieee;
use ieee.std_logic_1164.all;

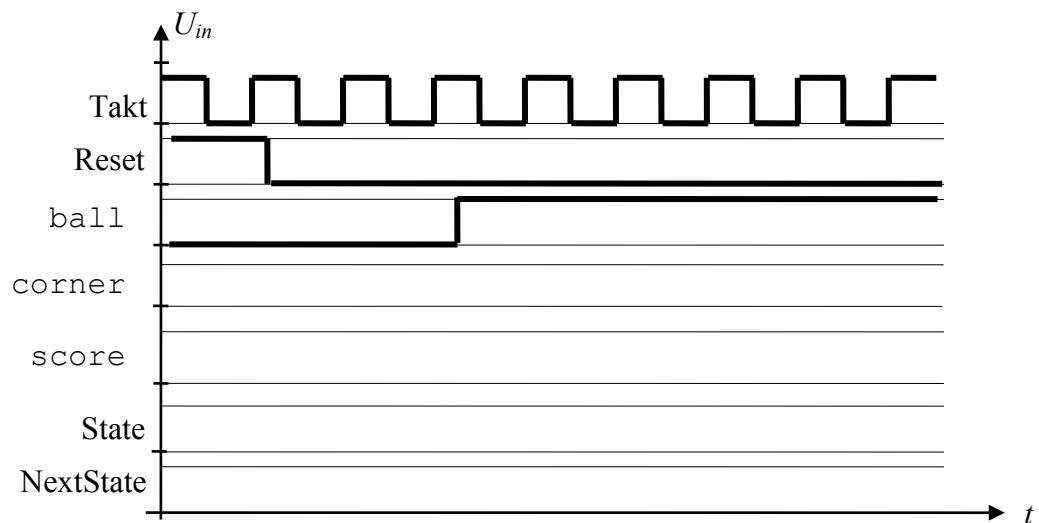
entity soccer is
  port
  (
    goal      : in  std_logic;
    penalty   : in  std_logic;
    ball      : in  std_logic;
    score     : out std_logic
  );
end entity soccer;

architecture world of soccer is
  signal fan, foul : std_logic_vector(0 to 2);
  signal corner : std_logic;
begin
  champion : process(fan, ball, corner)
  begin
    case fan is
      when "000"  => foul <= "010";
      when "001"  => foul <= "011";
      when "010"  => foul <= "001";
      when others => foul <= "000";
    end case;
    if (fan = "011") and (ball /= corner) then
      foul <= "111";
    end if;
  end process champion;

  semifinals : process(fan)
  begin
    case fan is
      when "111"  => score <= '0';
      when others  => score <= '1';
    end case;
  end process semifinals;

  stadion : process(goal, penalty)
  begin
    if penalty = '1' then
      fan <= (others => '0');
      corner <= '0';
    else
      if goal'event and goal = '1' then
        fan    <= foul;
        corner <= ball;
      end if;
    end if;
  end process stadion;
end architecture world;
```

- (a) Identifizieren Sie Taktsignal und Reset!
- (b) Handelt es sich um einen synchronen oder einen asynchronen Reset? Begründen Sie!
- (c) Ist der Reset HIGH-aktiv oder LOW-aktiv? Begründen Sie!
- (d) Nennen Sie die 3 Funktionsblöcke, die eine State-Machine stets umfassen muss? Welcher Process im obigen Code entspricht welchem Funktionsblock?
- (e) Tragen Sie für die ersten 7 Taktzyklen nach dem Reset den Ablauf der Zustände (State plus zugehöriger Next-State) in Abbildung 4.1 ein!



**Abbildung 4.1**

# Vorlesungsprüfung aus Digitales Design

9. November 2012

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	16
	2	16
	3	16
Gesamt	96	

## Theoriefragen (je 6 Punkte)

### Frage 1:

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 75\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die Zeitkonstante ergibt!

### Frage 2:

Stellen Sie ein NOR-Gate mit Hilfe von Schalten schematisch dar! Wählen Sie eine Schalterstellung, bei der HI ausgegeben wird.

### Frage 3:

Im Datenblatt eines Logikbausteines finden Sie eine grafische Darstellung der (nichtlinearen) Abhängigkeit der Ausgangsspannung von Ausgangsstrom. Wie können Sie für Ihren Anwendungsfall (bekannter Ausgangsstrom) den zugehörigen Ausgangswiderstand ermitteln?

### Frage 4:

Was ist resistenter gegen Störungen: ein mask-ROM oder ein UV-EPROM? Warum?

### Frage 5:

Wodurch unterscheidet sich im Aufbau ein Tri-State-Ausgang von einem open-Drain-Ausgang?

### Frage 6:

Warum verursacht ein Scan-Test einen Overhead in der Chipfläche?

### Frage 7:

Nennen Sie zwei Maßnahmen um die Wahrscheinlichkeit für Upsets infolge von Metastabilität zu vermeiden!

### Frage 8:

Warum werden bei CMOS-Logik die Funktionen NAND und NOR bevorzugt verwendet und nur selten AND und OR?

# Rechenbeispiele

## Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

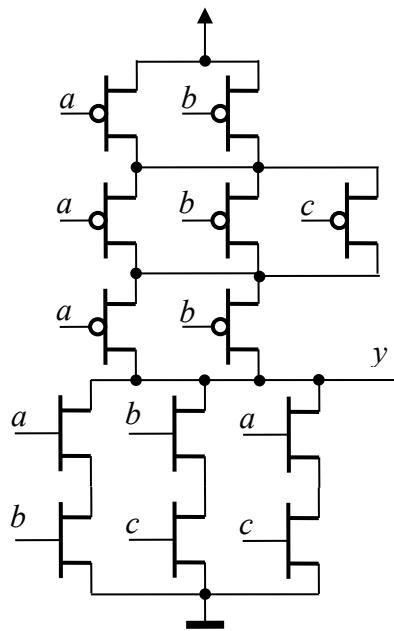


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (1,0,0)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (1,0,1)$ ? Begründen Sie!
- Modifizieren Sie den p-Stack so, dass sich (in Verbindung mit dem vorhandenen n-Stack) eine korrekt funktionierende logische Schaltung ergibt! Geben Sie deren Funktion  $y$  in Form einer Booleschen Gleichung an!
- Zeichnen Sie das KV-Diagramm dieser Funktion  $y$  !
- Bezeichnen Sie die Funktion korrekt als AOIxxxx bzw. OAIxxxx !

## Beispiel 2

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_7 \oplus X_5 \oplus X_3 \oplus X_0$$
(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0111100010110110“ initialisiert. Welchen Wert hat der Ausgang nach 4 Taktzyklen (= aktiven Taktflanken)?

### Beispiel 3

Gegeben sind zwei Variable A und B mit 2 Bit Wortbreite, d.h.  $A = (a_1, a_0)$ ,  $B = (b_1, b_0)$ . Gesucht ist die Realisierung einer Funktion, die genau dann „1“ ausgibt, wenn  $A < B$ . A und B sind binär codierte positive Integer-Werte, es gilt also  $(0,0) < (0,1) < (1,0) < (1,1)$ .

(a) Skizzieren Sie, wie Sie diese Funktion mittels eines ROM implementieren würden:

Wie viele Adressleitungen benötigen Sie?

Welche Signale schließen sie daran an?

Welche Speichergröße benötigen Sie?

Geben Sie zu jeder ROM-Adresse den zugehörigen Speicherinhalt an!

(b) Skizzieren Sie, wie Sie diese Funktion mittels einer PAL-Struktur implementieren würden:

Wie viele p-Terms benötigen Sie?

Kennzeichnen Sie in Ihrer Skizze alle Verbindungen die programmiert (=verbunden) werden müssen mit „O“

# Vorlesungsprüfung aus Digitales Design

8. März 2013

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	16
	2	16
	3	16
Gesamt	96	

## **Theoriefragen (je 6 Punkte)**

### **Frage 1:**

Was besagt das Theorem von De Morgan? Geben Sie ein Beispiel!

### **Frage 2:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

### **Frage 3:**

Warum sind Wafer rund?

### **Frage 4:**

Wozu benötigt man ein Floating Gate?

### **Frage 5:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

### **Frage 6:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

### **Frage 7:**

Wovon hängt das Ausmaß der Electromigration ab?

### **Frage 8:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Zu realisieren ist eine Schaltung, die für eine Zahl  $b$  den Wert  $y = 8 - b$  berechnet. Der Eingangswert  $b$  ( $0 \leq b \leq 7$ ) ist als positive Binärzahl  $(b_2, b_1, b_0)$  dargestellt. Das Ergebnis  $y$  ist wiederum eine positive Binärzahl und soll unmittelbar das Ergebnis darstellen ( $1 \leq y \leq 8$ ).

- (a) Wie breit muss der Ausgang  $y$  sein?
- (b) Beschreiben Sie eine Realisierung mittels ROM: Welches ROM benötigen Sie (Anzahl der Adressleitungen und der Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- (c) Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie für jedes Ausgangsbit  $(y_n \dots y_0)$  die logische Verknüpfung, die realisiert werden müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten! Geben Sie Ihre Lösung als disjunktive Normalform an!
- (d) Leiten Sie eine Realisierung für die Funktion  $y_2(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=1,2V$  einen mittleren Strom von 6A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 6\text{K/W}$  für Betrieb ohne Kühlkörper.

Nehmen Sie für die folgenden Berechnungen an, dass der Chip mit einem Kühlkörper versehen wird, für den  $\theta_{CA} = 3\text{K/W}$  spezifiziert ist.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 1,8\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 1,8\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 1,2\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV} ; \gamma = 4,5 \text{V}^{-1}$$

(d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 10 Stunden um 6 Monate altert (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 1,2\text{V}$ ).

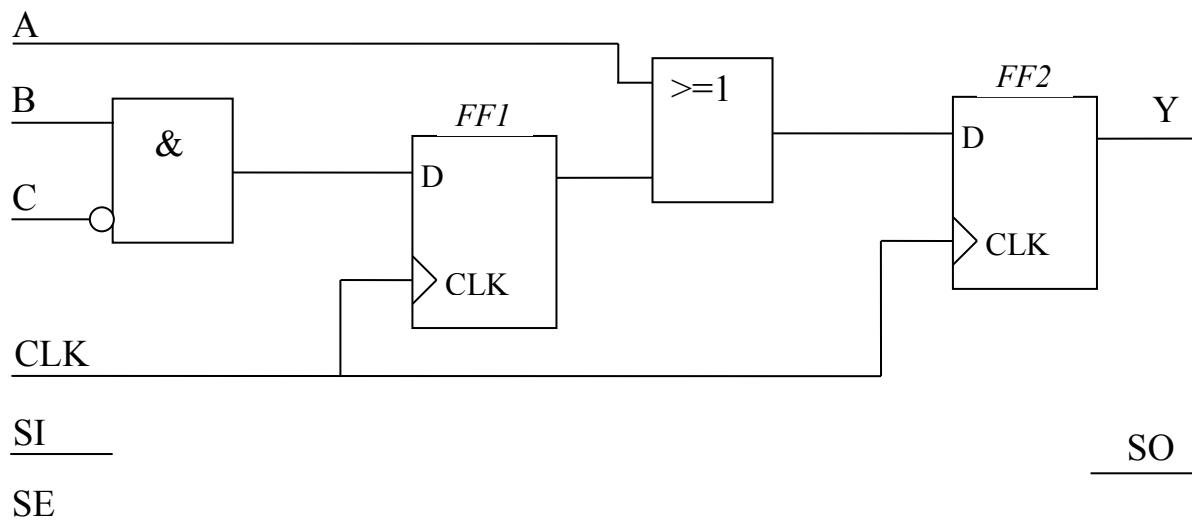
Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?

Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 1,8V)?

Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben?

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1.



**Abbildung 3.1**

- Wie müssen Sie ein D-Flip-Flop erweitern, um daraus ein Scan-Register zu machen? Skizzieren Sie diese Erweiterung!
- Erweitern Sie die beiden Flip-Flops in Abbildung 3.1 entsprechend!
- Bilden Sie mit den beiden so entstandenen Scan-Registern eine Scan Chain. Schließen Sie die Signale SI (scan in), SO (scan out) und SE (scan enable) entsprechend an.
- Betrachten Sie das OR-Gate: Welche Testmuster müssen Sie an dieses Gatter anlegen, um alle Stuck-at Fehler an seinen Eingängen und seinem Ausgang zu finden?
- Beschreiben Sie den Ablauf eines Scan Tests anhand der Schaltung. Welche Pegel müssen Sie an die primären Eingänge legen, welche Testvektoren müssen Sie in die Scan-Chain takten und welche Pegel erwarten Sie am Ausgang für ein funktionierendes OR-Gate?

# Vorlesungsprüfung aus Digitales Design

18. Oktober 2013

---

Die Arbeitszeit beträgt 90 Minuten. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	16
	2	16
	3	16
Gesamt	96	

## **Theoriefragen (je 6 Punkte)**

### **Frage 1:**

Was besagt das Theorem von De Morgan? Geben Sie ein Beispiel!

### **Frage 2:**

Nennen Sie 6 Vorteile der Digitalisierung von Signalen bzw. Information!

### **Frage 3:**

Wie realisiert man in einem Flip-Flop ein Clock Enable (Schaltung)?

### **Frage 4:**

Nennen Sie 6 der Logikpegel der 9-wertigen Logik nach IEEE!

### **Frage 5:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

### **Frage 6:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

### **Frage 7:**

Wovon hängt das Ausmaß der Electromigration ab?

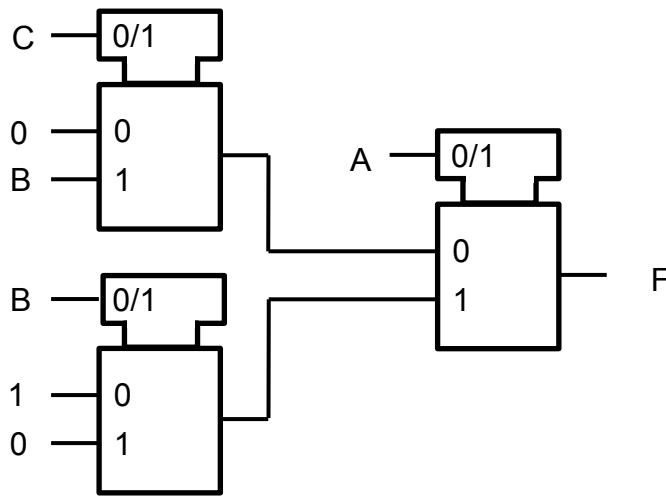
### **Frage 8:**

Sie verbinden den Ausgang eines Gatters (Ausgangswiderstand  $30\Omega$ ) mit dem Eingang eines anderen Gatters (Eingangskapazität  $0,5\text{pF}$ ). Mit welcher Signalverzögerung müssen Sie rechnen, wenn die Kapazität der Leitung  $0,1\text{pF}$  beträgt (Leitungswiderstand vernachlässigbar)?

# Rechenbeispiele

## Beispiel 1

Gegeben ist die Multiplexer-basierte Implementierung einer Funktion  $F(A,B,C)$  laut Abbildung 1.1.



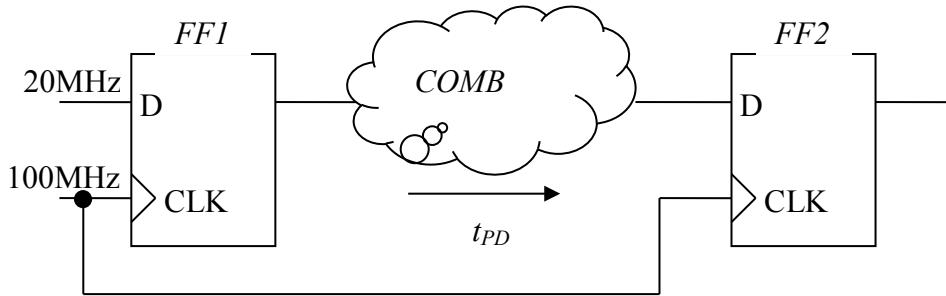
**Abbildung 1.1:** Implementierung der Funktion  $F$  mittels Multiplexern

- Ermittlen Sie anhand der Schaltung (nicht Wahrheitstabelle) die Funktion  $F(A,B,C)$ !
- Zeichnen Sie das KV-Diagramm und geben sie die konjunktive Normalform an!
- Geben Sie für die verwendeten Multiplexer eine Realisierung mittels Transmission Gates und Invertern an (mit geeigneter Entkopplung von Eingang und Ausgang)! Wie viele Transistoren benötigt ein Multiplexer, wie viele die gesamte Implementierung von  $F(A,B,C)$  lt. Abbildung 1.1 (für interne Verbindungen können Sie die Entkopplung nun einsparen)?
- Entwerfen Sie eine alternative Realisierung von  $F(A,B,C)$  mittels AOI bzw. OAI! Welche Variante (OAI oder AOI) ist günstiger und warum?
- Stellen Sie den Aufbau Ihrer Lösung als Transistorschaltung aus p-Stack und n-Stack dar (vergessen Sie nicht, den Ausgang zu kennzeichnen)! Falls Sie Inverter benötigen, geben Sie einmal den Aufbau eines Inverters aus Transistoren an, und verwenden Sie in Ihrer Schaltung für  $F(A,B,C)$  zur besseren Übersichtlichkeit nur das Invertersymbol.
- Wie viele Transistoren benötigen Sie nun für die Implementierung von  $F(A,B,C)$ ? Vergessen Sie nicht, die Transistoren für die Inverter zu berücksichtigen!

## Beispiel 2

Gegeben ist die in Abbildung 2.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 20MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 2,5\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$



**Abbildung 2.1:** Kombinatorische Funktion mit synchronisierten Ein- und Ausgängen

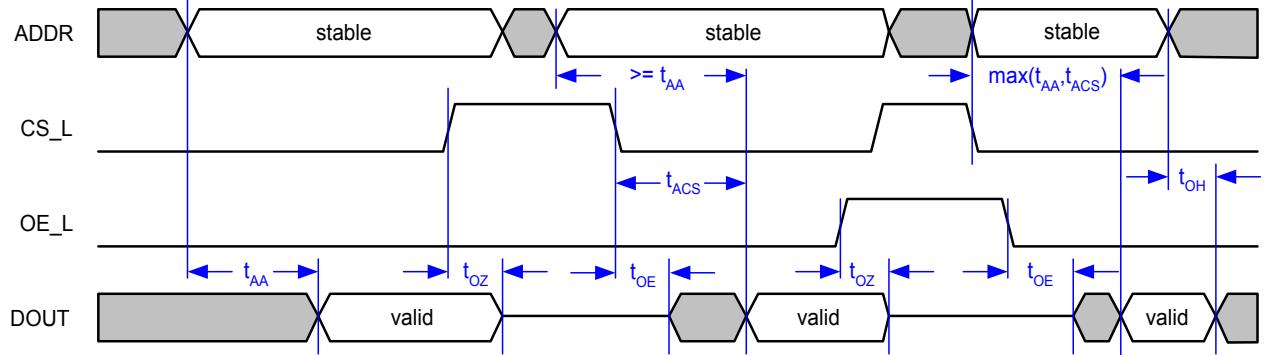
- (a) Welche MTBU ist bei diesen Nominalwerten zu erwarten?

Die dargestellte Schaltung ist Teil eines größeren Chip-Designs. Zur Erhöhung der Testbarkeit des Chips wird ein Scan-Test eingeführt (full scan).

- (b) Wie muss die dargestellte Schaltung ergänzt werden, um einen full Scan zu unterstützen (zeichnen Sie Ihren Vorschlag in Abbildung 2.1 ein)?
- (c) Nehmen Sie an, jedes zusätzlich in den Datenpfad eingefügte Schaltungselement verursache ein zusätzliches Delay von 2,5ns. Welche MTBU ergibt sich dann für die erweiterte Schaltung?
- (d) Wie weit müssten Sie die Taktfrequenz reduzieren, um wieder die ursprüngliche MTBU zu erreichen? (Hinweis: Es genügt, wenn Sie den dominanten Term berücksichtigen)

### Beispiel 3

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 3.1)



$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}, t_{OZ} = 1\text{ns}, t_{OH} = 0\text{ns}$$

**Abbildung 3.1**

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 3.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?

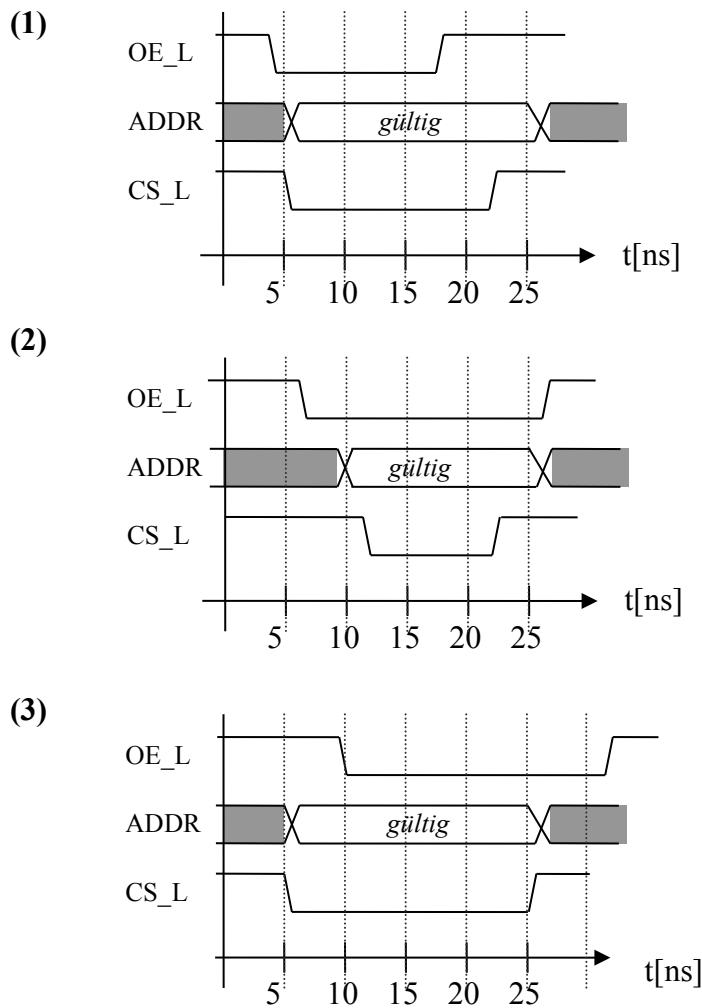


Abbildung 3.2

# Vorlesungsprüfung aus Digitales Design

8. November 2013

---

Die Arbeitszeit beträgt 90 Minuten. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	16
	2	16
	3	16
Gesamt	96	

## **Theoriefragen (je 6 Punkte)**

### **Frage 1:**

Beschreiben Sie den Unterschied zwischen D-Latch und D-Flipflop bezüglich Aufbau und Funktion!

### **Frage 2:**

Was ist Back-Annotation und zu welchem Zeitpunkt im Design-Flow wird sie durchgeführt?

### **Frage 3:**

Was ist ein Transmission Gate und wie ist es aufgebaut?

### **Frage 4:**

Über welchen Faktor hängen die Komplexitätsmaße „Gate-Count“ und „Anzahl der Transistoren“ zusammen? Erklären Sie diesen Faktor!

### **Frage 5:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

### **Frage 6:**

Was versteht man unter Metastabilität?

### **Frage 7:**

Nennen Sie zwei wesentliche Unterschiede zwischen Statischer Timing-Analyse und Simulation!

### **Frage 8:**

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

## Rechenbeispiele

### Beispiel 1

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_6 \oplus X_3 \oplus X_2 \oplus X_0$$

(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0110110100111100“ initialisiert. Welchen Wert hat der Ausgang nach 3 Taktzyklen (= aktiven Taktflanken)?

## Beispiel 2

In Abbildung 2.1 ist ein analoger Spannungsverlauf  $U_{in}$  gegeben.

- Dieses Signal  $U_{in}$  wird an einen Eingang eines digitalen Gatters mit Schwellwert  $U_{th} = 1,5V$  (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 3.1 den Spannungsverlauf  $U_{dig1}$  nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von  $U_{in}$  nun ein Schmitt Trigger-Eingang verwendet.  $U_{dig2}$  zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (incl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Trigger! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

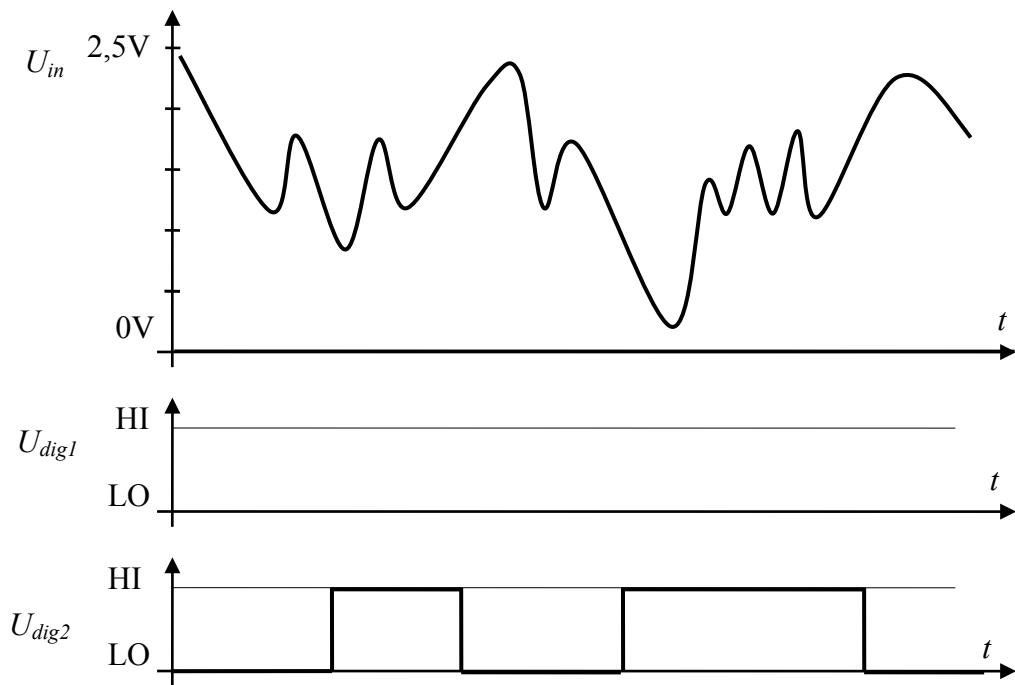


Abbildung 2.1

### Beispiel 3

Gegeben sei ein CPU-Chip, der nominal bei 2,5V Versorgungsspannung, 25°C Umgebungs-temperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 85°C erreicht. Abbildung 3.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 98% der gefertigten Chips funktionieren. Bei den restlichen 2% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

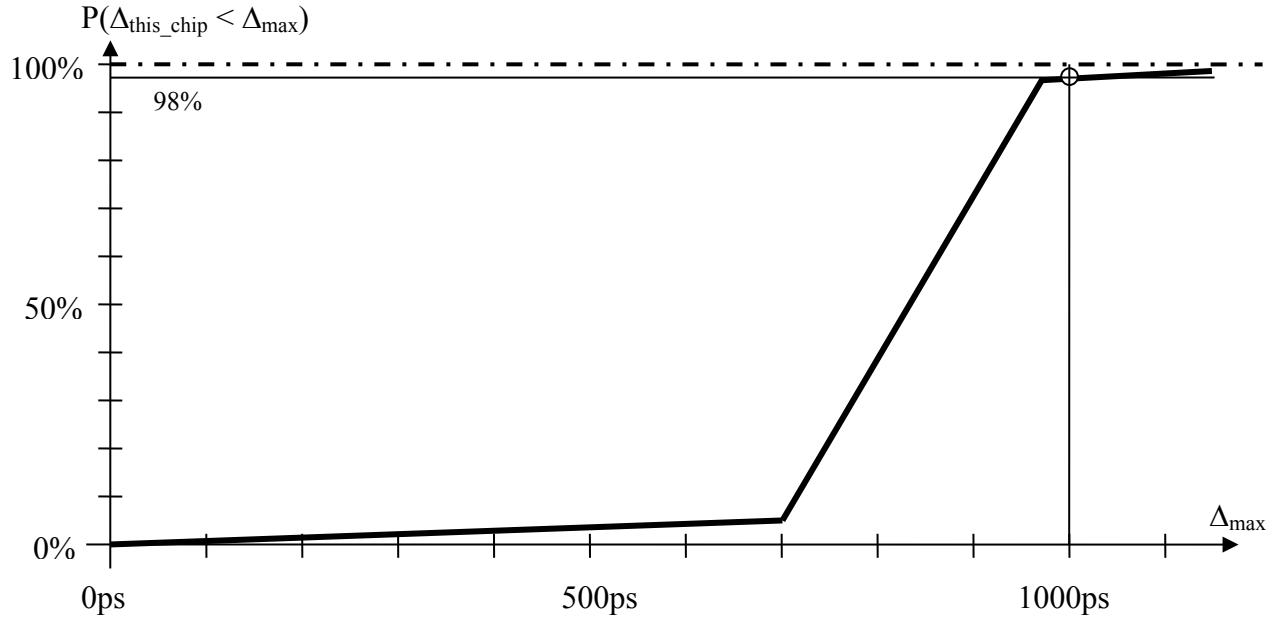


Abbildung 3.1

- (a) Würde man den Chip um 25% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 3.1 der Prozentsatz der auszuscheidenden Chips?
- (b) Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,25GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.
- (c) Um welchen Faktor steigt die Verlustleistung bei Betrieb mit 1,25GHz? Um welchen Faktor steigt die Stromaufnahme? Wie hoch wird die Die-Temperatur? (Nehmen Sie an, dass die Kühlung unverändert bleibt und dass dynamische Ströme die Verlustleistung dominieren).
- (d) Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,25GHz, unter Berücksichtigung der veränderten Stromaufnahme und Temperatur? ( $k = 8,6 \cdot 10^{-5} \text{ eV/K}$  ;  $E_{\text{act}} = 0,7 \text{ eV}$ )
- (e) Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den genauen (relativen) Wert dieser Änderung!

$T_{\text{junction}}$	70°C	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- (f) Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er trotz der Erwärmung noch bei 1,25GHz funktioniert? Wie hoch ist daher nun – unter Berücksichtigung der Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

# Vorlesungsprüfung aus Digitales Design

17. Jänner 2014

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	16
	2	16
	3	16
Gesamt	96	

## **Theoriefragen (je 6 Punkte)**

### **Frage 1:**

Was besagt das Theorem von De Morgan? Geben Sie ein Beispiel!

### **Frage 2:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

### **Frage 3:**

Warum sind Wafer rund?

### **Frage 4:**

Wozu benötigt man ein Floating Gate?

### **Frage 5:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

### **Frage 6:**

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

### **Frage 7:**

Wovon hängt das Ausmaß der Electromigration ab?

### **Frage 8:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Zu realisieren ist eine Schaltung, die für eine Zahl  $b$  den Wert  $y = 8 - b$  berechnet. Der Eingangswert  $b$  ( $0 \leq b \leq 7$ ) ist als positive Binärzahl  $(b_2, b_1, b_0)$  dargestellt. Das Ergebnis  $y$  ist wiederum eine positive Binärzahl und soll unmittelbar das Ergebnis darstellen ( $1 \leq y \leq 8$ ).

- (a) Wie breit muss der Ausgang  $y$  sein?
- (b) Beschreiben Sie eine Realisierung mittels ROM: Welches ROM benötigen Sie (Anzahl der Adressleitungen und der Speicherzellen, Wortbreite), wie beschalten Sie die Adressen, wie die Daten? Geben Sie eine Liste der Speicherinhalte an!
- (c) Gehen Sie von der Liste der Speicherinhalte aus (a) aus und beschreiben Sie für jedes Ausgangsbit  $(y_n \dots y_0)$  die logische Verknüpfung, die realisiert werden müssten, wenn Sie die Funktion mittels logischer Grundfunktionen realisieren wollten! Geben Sie Ihre Lösung als disjunktive Normalform an!
- (d) Leiten Sie eine Realisierung für die Funktion  $y_2(b_2, b_1, b_0)$  mittels Multiplexer-basierter Logik (wie im ACTEL-FPGA) her! Zeichnen Sie das Schaltbild Ihrer Lösung!

## Beispiel 2

An einem Chip messen Sie bei einer Versorgungsspannung von  $V_{DD}=1,2V$  einen mittleren Strom von 6A. Im Datenblatt finden Sie für das Gehäuse folgende Angabe:

$$\theta_{JC} = 2\text{K/W}$$

$\theta_{JA} = 6\text{K/W}$  für Betrieb ohne Kühlkörper.

Nehmen Sie für die folgenden Berechnungen an, dass der Chip mit einem Kühlkörper versehen wird, für den  $\theta_{CA} = 3\text{K/W}$  spezifiziert ist.

- (a) Welche Temperatur  $T_J$  erreicht der Die im Betrieb bei  $T_{AMB}=20^\circ\text{C}$ ?
- (b) Angenommen Sie erhöhen für einen Burn-in dieses Chips die Versorgungsspannung auf  $V_{DD} = 1,8\text{V}$ . Welche Temperatur  $T_J$  erreicht der Die nun?  
(Nehmen Sie an, die Verlustleistung sei durch Ladeströme dominiert)
- (c) Bestimmen Sie Temperature Acceleration Factor  $AF_T$  und Voltage Acceleration Factor  $AF_V$  für den Betrieb bei  $V_{DD} = 1,8\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$  gegenüber einem Normalbetrieb bei  $V_{DD} = 1,2\text{V}$  und  $T_{AMB} = 20^\circ\text{C}$ !

$$k = 8,6 \cdot 10^{-5} \text{eV/K} ; E_{act} = 0,7 \text{eV} ; \gamma = 4,5 \text{V}^{-1}$$

(d) Angenommen, Sie wollen erreichen, dass der Chip beim Burn-in innerhalb von 10 Stunden um 6 Monate altert (als Normalbetrieb gilt wieder  $T_{AMB} = 20^\circ\text{C}$ ;  $V_{DD} = 1,2\text{V}$ ).

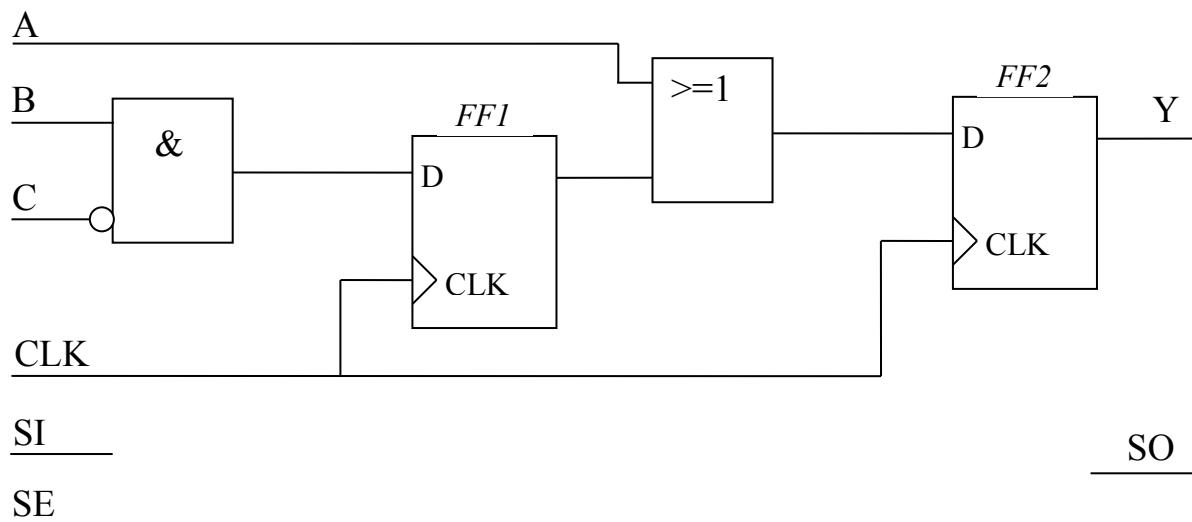
Welchen Acceleration Factor  $AF$  benötigen Sie insgesamt?

Welcher Temperature Acceleration Factor  $AF_T$  ist nun erforderlich ( $V_{DD}$  ist weiterhin 1,8V)?

Bei welcher Die-Temperatur  $T_J$  und welcher Umgebungstemperatur  $T_{AMB}$  muss man den Chip dafür betreiben?

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1.



**Abbildung 3.1**

- Wie müssen Sie ein D-Flip-Flop erweitern, um daraus ein Scan-Register zu machen?  
Skizzieren Sie diese Erweiterung!
- Erweitern Sie die beiden Flip-Flops in Abbildung 3.1 entsprechend!
- Bilden Sie mit den beiden so entstandenen Scan-Registern eine Scan Chain. Schließen Sie die Signale SI (scan in), SO (scan out) und SE (scan enable) entsprechend an.
- Betrachten Sie das OR-Gate: Welche Testmuster müssen Sie an dieses Gatter anlegen, um alle Stuck-at Fehler an seinen Eingängen und seinem Ausgang zu finden?
- Beschreiben Sie den Ablauf eines Scan Tests anhand der Schaltung. Welche Pegel müssen Sie an die primären Eingänge legen, welche Testvektoren müssen Sie in die Scan-Chain takten und welche Pegel erwarten Sie am Ausgang für ein funktionierendes OR-Gate?

# Vorlesungsprüfung aus Digitales Design

14. März 2014

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	16
	2	16
	3	16
Gesamt	96	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Was passiert wenn man beim SR-Latch sowohl S als auch R aktiviert?

**Frage 3:**

Warum sind Wafer rund?

**Frage 4:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 5:**

Skizzieren Sie den internen Aufbau eines D-Flipflop aus Invertern und Transmission Gates. Geben Sie an, wie viele Gatteräquivalente Ihre Realisierung benötigt!

**Frage 6:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen!) und welche Bereiche unterscheidet man?

**Frage 7:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 8:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, für ein 2-aus-3 Threshold Gate mit invertiertem Ausgang. Die Schaltung soll also am Ausgang ( $y$ ) genau dann 1 ausgeben, wenn an zumindest zwei der drei Eingänge ( $a, b, c$ ) logisch 1 anliegt.

- (a) Geben Sie Wahrheitstabelle und KV-Diagramm für diese Schaltung an!
- (b) Leiten Sie aus dem KV-Diagramm die Gleichung der logischen Verknüpfung einmal in disjunktiver und einmal in konjunktiver Normalform ab!
- (c) Geben Sie an, wie Sie diese Schaltung mittels LUT realisieren können: Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!
- (d) Geben Sie eine möglichst einfache Realisierung der Funktion mittels AOI bzw. OAI an (was ist einfacher?). Zeichnen Sie die Schaltung als Realisierung mittels FETs!
- (e) Vergleichen Sie die Implementierungen aus (c) und (d): Wie viele Gatteräquivalente benötigen Sie für (d)? Nehmen Sie an, für eine Speicherzelle der LUT werden 6 Transistoren benötigt, und die restliche Logik sei vernachlässigbar – wie viele Gatteräquivalente benötigt die LUT-Lösung aus (c)?

## Beispiel 2

Gegeben ist die in Abbildung 2.1 dargestellte Schaltung mit 200MHz Takt. Ein asynchrones Eingangssignal mit 20MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht über die kombinatorische Logik  $COMB$  an den Eingang von Flip-Flop  $FF2$ . Die Verzögerungszeit der kombinatorischen Logik beträgt  $t_{PD} = 1\text{ns}$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 500\text{ps} ; \quad \tau_C = 100\text{ps} ; \quad T_0 = 100\text{ps} .$$

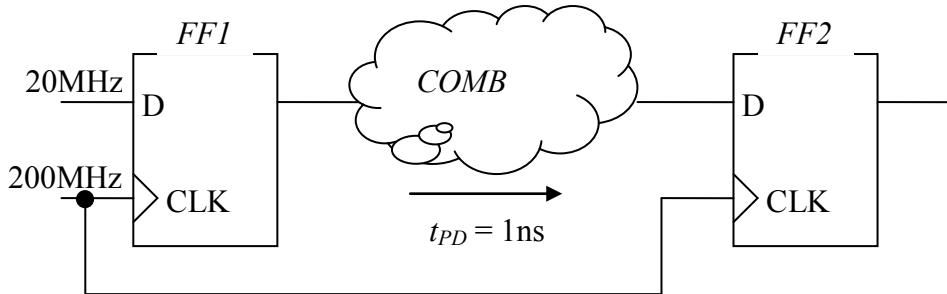


Abbildung 2.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 2,4V Versorgungsspannung 5A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 20°C und einem Gehäuse mit  $\theta_{JA} = 5\text{K/W}$ ?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 2.1 die Werte für  $t_{PD}$  und  $t_{SU}$  bei der nach (b) errechneten Temperatur! Welche Resolution Time  $t_r$  erhalten Sie damit? Wird die MTBU damit besser als bei (a)? Begründen Sie!

	2.00 V	2.20 V	2.40 V	2.60 V	2.80 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
20°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.41

Tabelle 2.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 2.8V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Ist die MTBU damit besser als bei (c)? Begründen Sie!

### Beispiel 3

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_7 \oplus X_5 \oplus X_3 \oplus X_0$$

(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann

Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?

Nehmen Sie an, der Generator sei auf den Wert „0111100010110110“ initialisiert. Welchen Wert hat der Ausgang nach 4 Taktzyklen (= aktiven Taktflanken)?

# Vorlesungsprüfung aus Digitales Design

7. Mai 2014

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	20
	2	12
	3	16
Gesamt	96	

## Theoriefragen

**Frage 1:**

Beschreiben Sie den Unterschied zwischen D-Latch und D-Flipflop bezüglich Aufbau und Funktion!

**Frage 2:**

Was ist Back-Annotation und zu welchem Zeitpunkt im Design-Flow wird sie durchgeführt?

**Frage 3:**

Was ist ein Transmission Gate und wie ist es aufgebaut?

**Frage 4:**

Über welchen Faktor hängen die Komplexitätsmaße „Gate-Count“ und „Anzahl der Transistoren“ zusammen? Erklären Sie diesen Faktor!

**Frage 5:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen nicht vergessen!) und welche Bereiche unterscheidet man?

**Frage 6:**

Was versteht man unter Metastabilität?

**Frage 7:**

Nennen Sie zwei wesentliche Unterschiede zwischen Statischer Timing-Analyse und Simulation!

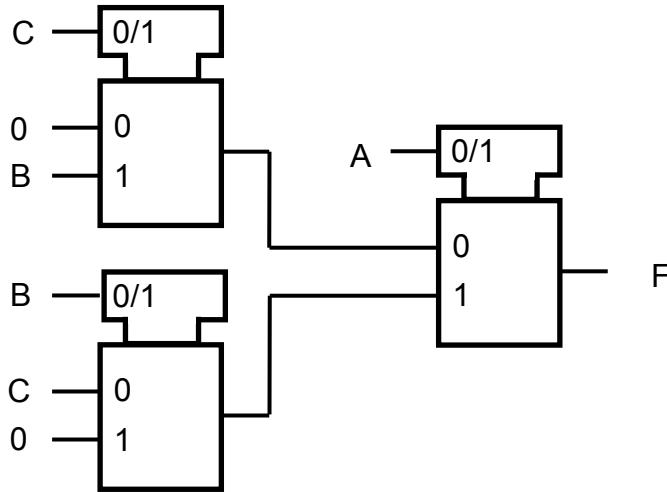
**Frage 8:**

Wozu benötigt man den thermischen Widerstand? Welche Einheit hat er?

# Rechenbeispiele

## Beispiel 1

Gegeben ist die Multiplexer-basierte Implementierung einer Funktion  $F(A,B,C)$  laut Abbildung 1.1.



**Abbildung 1.1:** Implementierung der Funktion  $F$  mittels Multiplexern

- Ermittlen Sie anhand der Schaltung (nicht Wahrheitstabelle) die Funktion  $F(A,B,C)$ !
- Zeichnen Sie das KV-Diagramm und geben sie die konjunktive Normalform an!
- Geben Sie für die verwendeten Multiplexer eine Realisierung mittels Transmission Gates und Invertern an (mit geeigneter Entkopplung von Eingang und Ausgang)! Wie viele Transistoren benötigt ein Multiplexer, wie viele die gesamte Implementierung von  $F(A,B,C)$  lt. Abbildung 1.1 (für interne Verbindungen können Sie die Entkopplung nun einsparen)?
- Entwerfen Sie eine alternative Realisierung von  $F(A,B,C)$  mittels AOI bzw. OAI! Welche Variante (OAI oder AOI) ist günstiger und warum?
- Stellen Sie den Aufbau Ihrer Lösung als Transistorschaltung aus p-Stack und n-Stack dar (vergessen Sie nicht, den Ausgang zu kennzeichnen)! Falls Sie Inverter benötigen, geben Sie einmal den Aufbau eines Inverters aus Transistoren an, und verwenden Sie in Ihrer Schaltung für  $F(A,B,C)$  zur besseren Übersichtlichkeit nur das Invertersymbol.
- Wie viele Transistoren benötigen Sie nun für die Implementierung von  $F(A,B,C)$ ? Vergessen Sie nicht, die Transistoren für die Inverter zu berücksichtigen!

## Beispiel 2

In Abbildung 2.1 ist ein analoger Spannungsverlauf  $U_{in}$  gegeben.

- Dieses Signal  $U_{in}$  wird an den Eingang eines digitalen Gatters mit Schwellwert  $U_{th} = 1,25V$  (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 2.1 den Spannungsverlauf  $U_{dig1}$  nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von  $U_{in}$  nun ein Schmitt Trigger-Eingang verwendet.  $U_{dig2}$  zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (inkl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Triggers! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

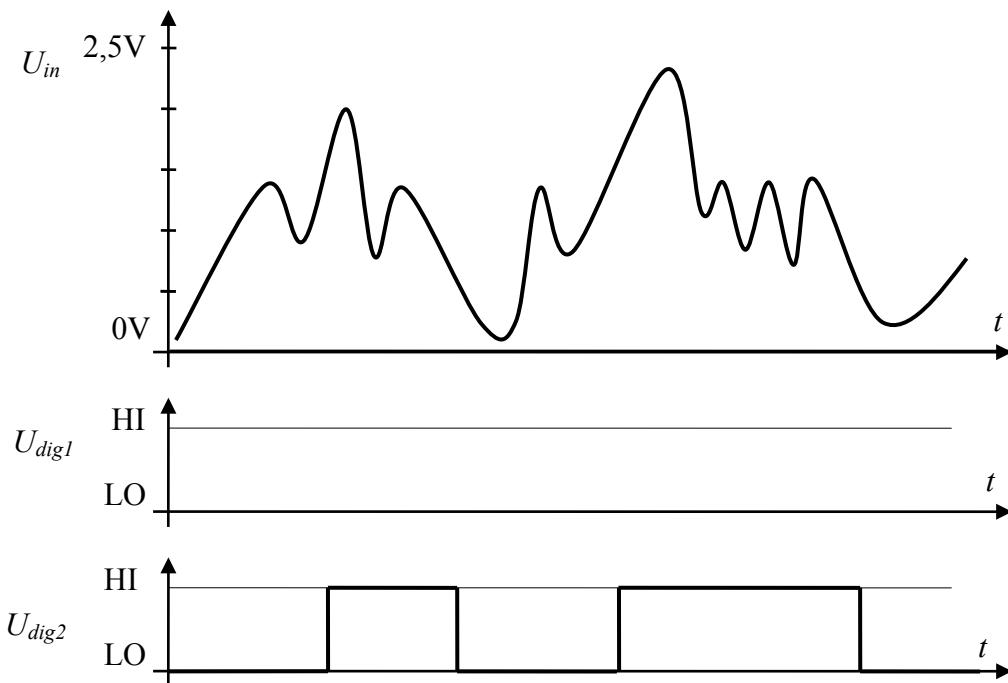
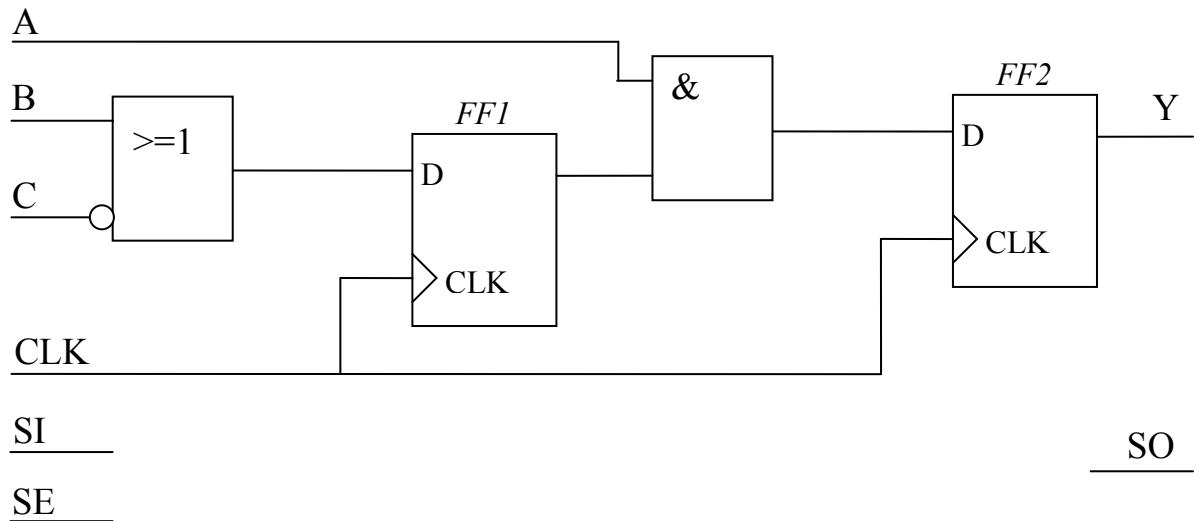


Abbildung 2.1

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1.



**Abbildung 3.1**

- Wie müssen Sie ein D-Flip-Flop erweitern, um daraus ein Scan-Register zu machen?  
Skizzieren Sie diese Erweiterung!
- Erweitern Sie die beiden Flip-Flops in Abbildung 3.1 entsprechend!
- Bilden Sie mit den beiden so entstandenen Scan-Registern eine Scan Chain. Schließen Sie die Signale SI (scan in), SO (scan out) und SE (scan enable) entsprechend an.
- Betrachten Sie das OR-Gate: Welche Testmuster müssen Sie an dieses Gatter anlegen, um alle Stuck-at Fehler an seinen Eingängen und seinem Ausgang zu finden?
- Beschreiben Sie den Ablauf eines Scan Tests anhand der Schaltung. Welche Pegel müssen Sie an die primären Eingänge legen, welche Testvektoren müssen Sie in die Scan-Chain takten und welche Pegel erwarten Sie am Ausgang für ein funktionierendes OR-Gate?

# Vorlesungsprüfung aus Digitales Design

17. Oktober 2014

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	18
	2	18
	3	12
Gesamt	96	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Warum haben EPROMs ein Fenster im Gehäuse?

**Frage 3:**

Warum sind Wafer rund?

**Frage 4:**

Wie werden in VLSI-Chips Widerstände realisiert?

**Frage 5:**

Skizzieren Sie den internen Aufbau eines D-Flipflop aus Invertern und Transmission Gates. Geben Sie an, wie viele Gatteräquivalente Ihre Realisierung benötigt!

**Frage 6:**

Was beschreibt die Badewannenkurve? Wie sieht sie aus (Achsen!) und welche Bereiche unterscheidet man?

**Frage 7:**

Wovon hängt das Ausmaß der Electromigration ab?

**Frage 8:**

Warum wendet man beim BIST das Prinzip des nondeterministic Testing an?

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, für ein 3-aus-3 Threshold Gate mit Hysterese: Die Schaltung soll den Ausgang ( $y$ ) genau dann auf 1 setzen, wenn an allen drei Eingängen ( $a, b, c$ ) logisch 1 anliegt. Der Ausgang wird genau dann auf 0 gesetzt, wenn an allen drei Eingängen logisch 0 anliegt. Für alle anderen Eingangskombinationen wird der letzte gesetzte Wert gehalten (Hysterese).

- (a) Da die Schaltung ein „Gedächtnis“ für den letzten gesetzten Wert benötigt, brauchen Sie ein Speicherelement. Verwenden Sie dafür ein SR-Latch. Erstellen Sie Wahrheitstabelle und KV-Diagramm für die kombinatorischen Blöcke zur Ansteuerung von R und S!
  - (b) Nehmen Sie an, Sie hätten zur Implementierung nur NOR-Gatter (mit bis zu 4 Eingängen) und Inverter zur Verfügung. Wie würden Sie das SR-Latch realisieren (Schaltplan)?
  - (c) Leiten Sie aus dem KV-Diagramm von (a) die Gleichung der logischen Verknüpfung für die Ansteuerung von R und S in der Implementierung nach (b) ab! Wie können Sie diese mit NOR und Invertern realisieren (Schaltplan)?
  - (d) Beim SR-Latch gibt es eine illegale Eingangskombination für R und S. Welche ist dies und wie verhält sich das Latch dann?
  - (e) Kann diese Kombination in Ihrer Schaltung auftreten? Falls ja, wann? Falls nein, warum nicht?
- 
- (f) Erarbeiten Sie nun eine alternative Implementierung der Funktion mittels LUT (ohne SR-Latch!): Erstellen Sie dazu die Wahrheitstabelle für die Gesamtfunktion  $y(a, b, c, y')$ .
  - (g) Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!

## Beispiel 2

Gegeben ist der in Abbildung 2.1 dargestellte Synchronizer mit 500MHz Takt. Ein asynchrones Eingangssignal mit 103MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht direkt an den Eingang von Flip-Flop *FF2*. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 250\text{ps} ; \quad \tau_C = 50\text{ps} ; \quad T_0 = 100\text{ps} .$$



Abbildung 2.1

- Welche MTBU ist bei diesen Nominalwerten zu erwarten?
- Die Schaltung ist Teil eines Chips, der bei 2,4V Versorgungsspannung 5A Strom verbraucht. Welche Leistung verbraucht dieser Chip? Welche Temperatur erreicht der Die bei einer Umgebungstemperatur von 23°C und einem Gehäuse mit  $\theta_{JA} = 6\text{K/W}$ ?
- Ermitteln Sie anhand der Derating Factors nach Tabelle 2.1 den neuen Wert für  $t_{SU}$  bei der nach (b) errechneten Temperatur (interpolieren Sie in der Tabelle bei Bedarf)! Welche Resolution Time  $t_r$  erhalten Sie damit? Wird die MTBU damit besser werden als bei (a)? Begründen Sie!

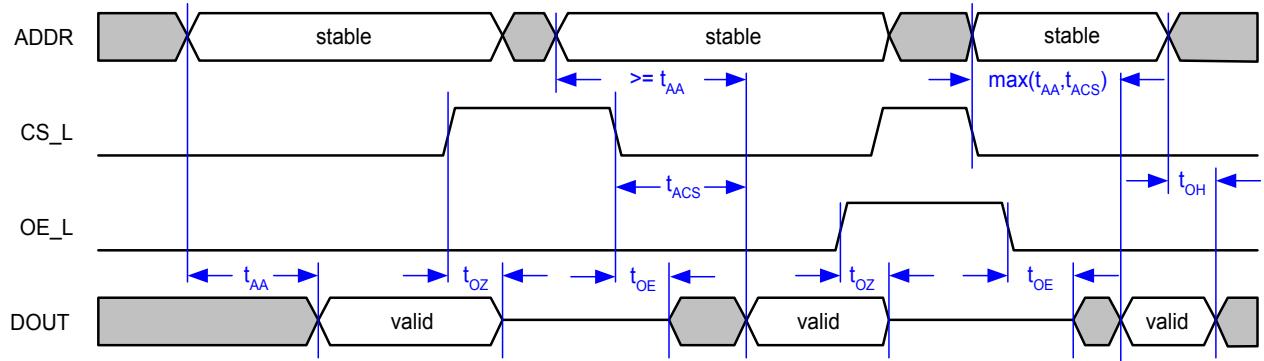
	2.00 V	2.20 V	2.40 V	2.60 V	2.80 V
-40°	0.77	0.73	0.68	0.64	0.61
0°	1.00	0.93	0.87	0.82	0.78
20°	1.14	1.07	1.00	0.94	0.90
80°	1.50	1.40	1.33	1.26	1.20
100°	1.60	1.49	1.41	1.34	1.28
125°	1.76	1.65	1.56	1.47	1.45

Tabelle 2.1

- Wie verändert sich die Situation, wenn Sie als Versorgungsspannung 2.8V anlegen (nehmen Sie an, dass die dynamischen Verluste dominieren)? Welche Leistung und Temperatur erreicht der Chip nun? Welchen Derating Factor müssen Sie anwenden? Welche Resolution Time  $t_r$  erhalten Sie nun? Wird die MTBU damit besser werden als bei (c)? Begründen Sie, woran das liegt!

### Beispiel 3

Gegeben ist ein SRAM mit Read-Timing nach folgendem Datenblatt (Abbildung 3.1)



$$t_{AA} = 15\text{ns}, t_{ACS} = 10\text{ns}, t_{OE} = 5\text{ns}$$

**Abbildung 3.1**

Gegeben sind weiters die Ausgangsmuster von drei State-Machines, die einen Zugriff auf dieses SRAM implementieren sollen (Abbildung 3.2).

- Geben Sie zu jeder Implementierung an, ob sie geeignet ist, einen gültigen Zugriff durchzuführen. Begründen Sie jeweils Ihre Antwort!
- Tragen Sie bei den korrekten Implementierungen den Zeitpunkt ein, ab dem auf die Daten zugegriffen werden kann!
- Machen Sie bei den mangelhaften Implementierungen einen Korrekturvorschlag: Welche Flanke müsste wie verschoben werden, damit der Zugriff gültig wird?

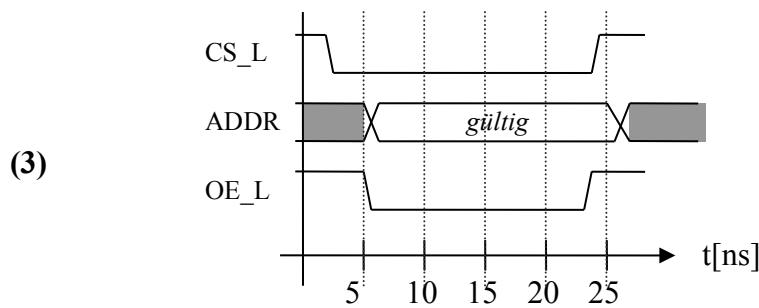
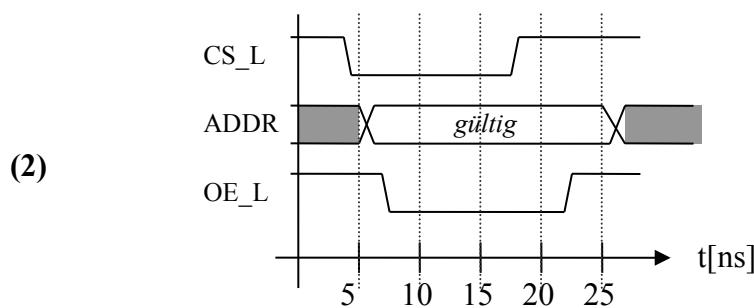
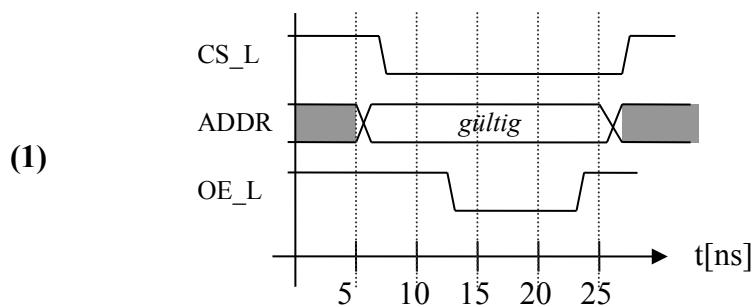


Abbildung 3.2

# Vorlesungsprüfung aus Digitales Design

7. November 2014

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	18
	2	18
	3	12
Gesamt	96	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Was versteht man unter infant mortality?

**Frage 8:**

Was besagt die „Rule of Ten“?

## Rechenbeispiele

### Beispiel 1

Abbildung 1.1 zeigt die FET-Realisierung einer logischen Funktion  $y(a,b,c)$ .

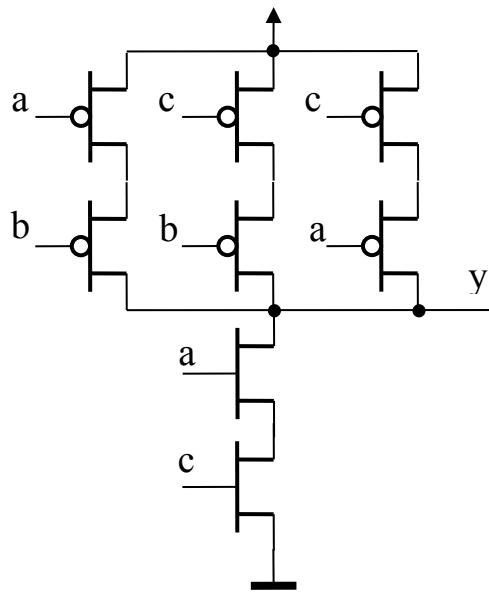


Abbildung 1.1

- Leiten Sie anhand dieses Schaltbildes her, welchen Wert der Ausgang  $y$  für folgendes Bitmuster am Eingang annimmt:  $(a,b,c) = (0,0,1)$  ! Kennzeichnen Sie alle leitenden Transistoren!
- Was passiert beim Anlegen des Musters  $(a,b,c) = (1,1,0)$ ? Begründen Sie!
- Geben Sie, soweit möglich, die Wahrheitstabelle für die Funktion  $y$  an!
- Gibt es Eingangsmuster, die keinen definierten Ausgang ergeben? Falls ja – welche?
- Gibt es Eingangsmuster, die zu einem Kurzschluss führen können? Falls ja – welche?
- Welche Bedingung muss allgemein erfüllt sein, damit der Ausgang für alle Eingangskombinationen stets definiert und frei von Kurzschlüssen ist?
- Verändern Sie den n-Stack so, dass die in (f) genannten Bedingungen erfüllt sind!
- Schreiben Sie die so entstandene logische Funktion in konjunktiver Normalform an!

## Beispiel 2

Gegeben ist die Schaltung in Abbildung 2.1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.

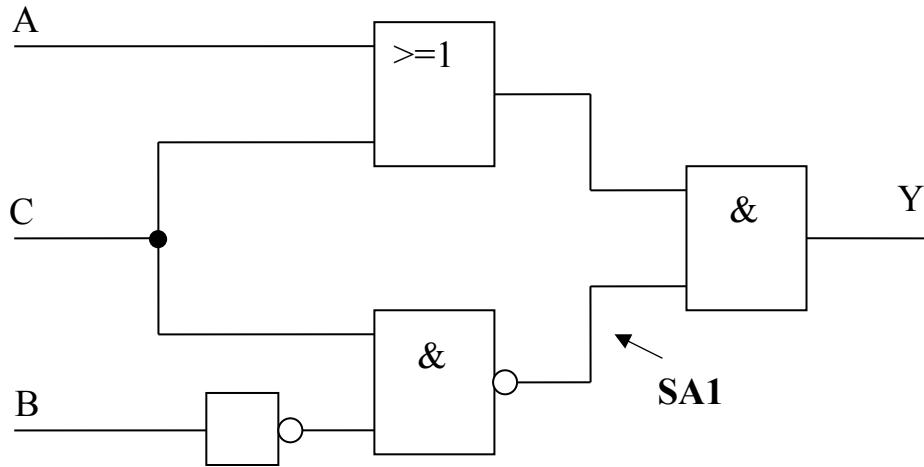


Abbildung 2.1

- (a) Welche Grundfunktion erfüllt diese Schaltung ?
- (b) Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?  
Geben Sie die Vektoren an!
- (c) In Abbildung 2.1 ist ein Knoten mit „SA1“ gekennzeichnet. Ermitteln Sie alle Testvektoren die geeignet sind, diesen Fehler zu entdecken. Bezeichnen Sie die dazu nötigen Schritte.
- (d) Zeigen Sie in der Schaltung ein Beispiel für Fehleräquivalenz!
- (e) Zeigen Sie in der Schaltung ein Beispiel für Fehlerdominanz!

## Beispiel 1

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_8 \oplus X_4 \oplus X_3 \oplus X_0$$

(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0110110100111100“ initialisiert. Welchen Wert hat der Ausgang nach 3 Taktzyklen (= aktiven Taktflanken)?

# Vorlesungsprüfung aus Digitales Design

2. Juni 2015

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel	Mögliche Punkte	Erhaltene Punkte
Theoriefragen	48	
Rechenbeispiel	1	18
	2	18
	3	12
Gesamt	96	

## Theoriefragen

**Frage 1:**

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

**Frage 2:**

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand  $R = 100\Omega$ ) zum Eingang eines Gatters G2 (Eingangskapazität  $C = 0,1\text{pF}$ ) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

**Frage 3:**

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

**Frage 4:**

Was versteht man unter Bonding?

**Frage 5:**

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

**Frage 6:**

Wozu verwendet man eine Antifuse?

**Frage 7:**

Was versteht man unter infant mortality?

**Frage 8:**

Was besagt die „Rule of Ten“?

## Beispiel 1

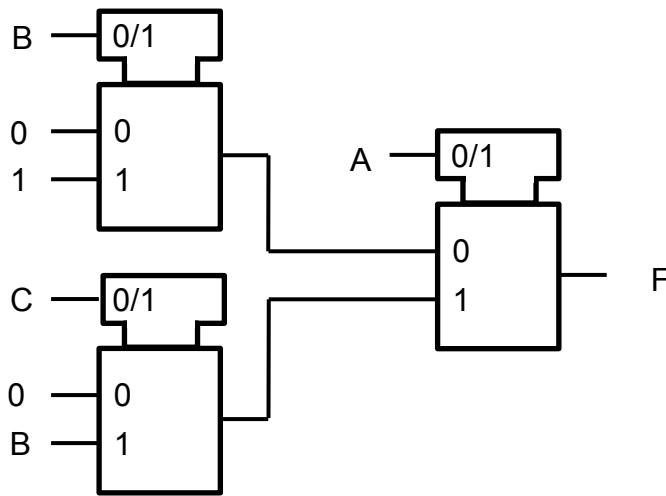
Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom  
$$X_{16} = X_8 \oplus X_4 \oplus X_3 \oplus X_0$$
(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0110110100111100“ initialisiert. Welchen Wert hat der Ausgang nach 3 Taktzyklen (= aktiven Taktflanken)?

# Rechenbeispiele

## Beispiel 1

Gegeben ist die Multiplexer-basierte Implementierung einer Funktion  $F(A,B,C)$  laut Abbildung 1.1.



**Abbildung 1.1:** Implementierung der Funktion  $F$  mittels Multiplexern

- Ermittlen Sie anhand der Schaltung (nicht Wahrheitstabelle) die Funktion  $F(A,B,C)$ !
- Zeichnen Sie das KV-Diagramm und geben sie die konjunktive Normalform an!
- Geben Sie für die verwendeten Multiplexer eine Realisierung mittels Transmission Gates und Invertern an (mit geeigneter Entkopplung von Eingang und Ausgang)! Wie viele Transistoren benötigt ein Multiplexer, wie viele die gesamte Implementierung von  $F(A,B,C)$  lt. Abbildung 1.1 (für interne Verbindungen können Sie die Entkopplung nun einsparen)?
- Entwerfen Sie eine alternative Realisierung von  $F(A,B,C)$  mittels AOI bzw. OAI! Welche Variante (OAI oder AOI) ist günstiger und warum?
- Stellen Sie den Aufbau Ihrer Lösung als Transistorschaltung aus p-Stack und n-Stack dar (vergessen Sie nicht, den Ausgang zu kennzeichnen)! Falls Sie Inverter benötigen, geben Sie einmal den Aufbau eines Inverters aus Transistoren an, und verwenden Sie in Ihrer Schaltung für  $F(A,B,C)$  zur besseren Übersichtlichkeit nur das Invertersymbol.
- Wie viele Transistoren benötigen Sie nun für die Implementierung von  $F(A,B,C)$ ? Vergessen Sie nicht, die Transistoren für die Inverter zu berücksichtigen!

## Beispiel 2

Gegeben ist der in Abbildung 2.1 dargestellte Synchronizer mit 500MHz Takt ( $f_{clk}$ ). Ein asynchrones Eingangssignal ( $f_{input}$ ) mit 93MHz liegt am Eingang von Flip-Flop  $FF1$ . Der Ausgang von  $FF1$  geht direkt an den Eingang von Flip-Flop  $FF2$ . Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

setup time  $t_{SU} = 220\text{ps}$ ; hold time  $t_H = 160\text{ps}$ ; clock to output delay  $t_{CO} = 350\text{ps}$ ;  
metastability characteristics:  $\tau_C = 50\text{ps}$  ;  $T_0 = 100\text{ps}$

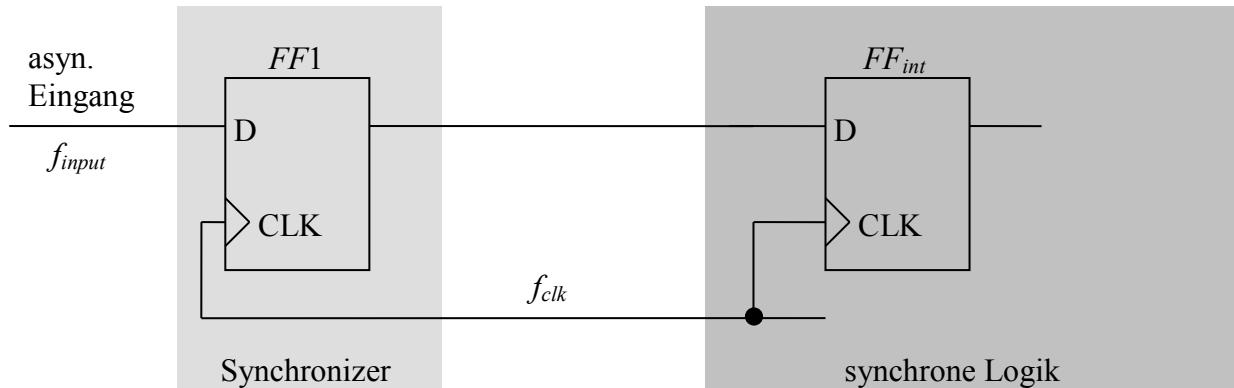


Abbildung 2.1

(a) Wie groß ist die Resolution Time für  $FF_{int}$ ? Welche MTBU ist zu erwarten?

Zur Erhöhung der MTBU soll der Synchronizer zweistufig gemacht werden, indem ein weiteres Flip-Flop,  $FF2$ , mit identischen Eigenschaften zwischen den Ausgang von  $FF1$  und den Eingang von  $FF_{int}$  geschaltet wird. Damit ergibt sich die in Abbildung 2.2 dargestellte Schaltung.

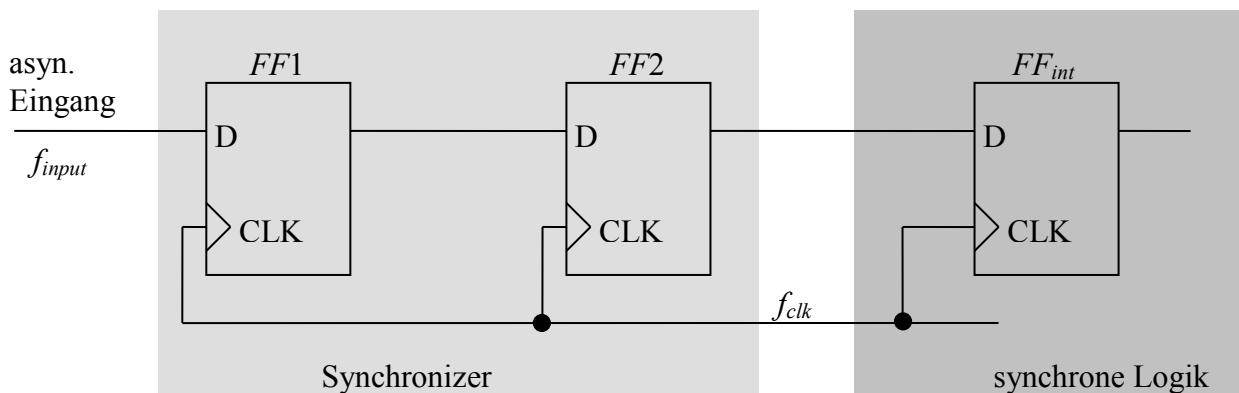


Abbildung 2.2

(b) Welche Resolution Time und MTBU ergeben sich mit diesem neuen Synchronizer?

(c) Ihr Chef möchte, dass Sie  $FF2$  mit invertiertem Takt ansteuern, damit die Latenzzeit des Synchronizers vermindert wird. Er argumentiert, dass seine Lösung zwar schlechtere MTBU aufweist als die nach Abb. 2.2, aber immer noch bessere als jene nach Abb. 2.1. Ist das korrekt? Begründen Sie ihre Antwort!

## Rechenbeispiele

### Beispiel 1

Gesucht ist eine Schaltung, für ein 2-aus-3 Threshold Gate mit Hysterese: Sie soll den Ausgang (y) genau dann auf 1 setzen, wenn an zumindest zwei der drei Eingänge (a,b,c) logisch 1 anliegt. Der Ausgang wird genau dann auf 0 gesetzt, wenn an allen drei Eingängen logisch 0 anliegt. Für alle anderen Eingangskombinationen wird der letzte gesetzte Wert gehalten (Hysterese).

- (a) Da die Schaltung ein „Gedächtnis“ für den letzten gesetzten Wert benötigt, brauchen Sie ein Speicherelement. Verwenden Sie dafür ein SR-Latch mit Beschaltung laut Abbildung 1.1. Erstellen Sie KV-Diagramm und DNF für die kombinatorischen Blöcke „set“ und „reset“!

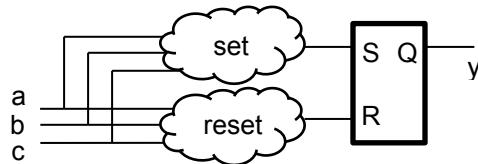


Abbildung 1.1

Nehmen Sie für (b) bis (e) an, Sie hätten zur Implementierung nur NOR-Gatter (mit bis zu 4 Eingängen) und Inverter zur Verfügung.

- (b) Wie würden Sie das SR-Latch mit NOR Gattern realisieren (Schaltplan)?  
 (c) Beim SR-Latch gibt es eine illegale Eingangskombination für R und S. Welche ist dies und wie verhält sich Ihr Latch dann?  
 (d) Kann diese Kombination in Ihrer Implementierung des Threshold Gate auftreten? Falls ja, für welches (a,b,c)? Falls nein, warum nicht?  
 (e) Betrachten Sie die kombinatorische Funktion für die „set“ Logik: Wie können Sie diese nur mit NOR und Invertern realisieren (Schaltplan)?  
 (f) Ihr Chef hat vor seinem Urlaub die in Abb. 1.2 dargestellte Implementierung für die set-Logik skizziert. Beschalten Sie die Eingänge e1 ... e4 passend!

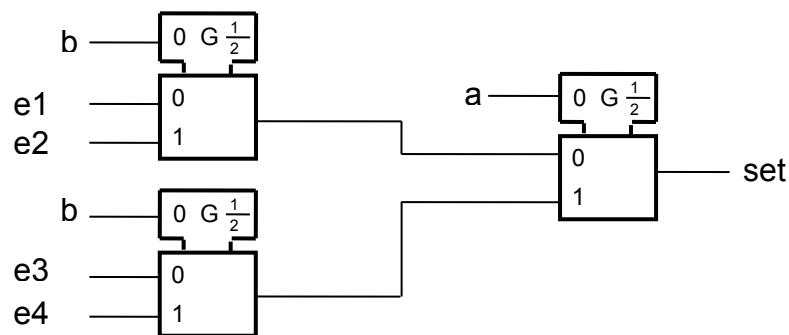
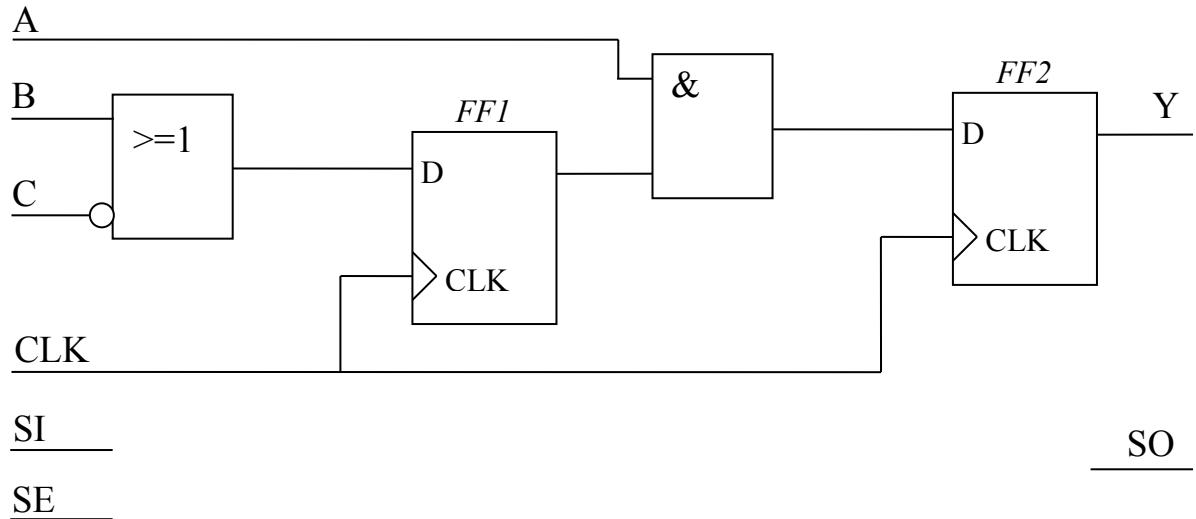


Abbildung 1.2

- (g) Erarbeiten Sie eine alternative Implementierung der gesamten Threshold-Funktion mittels LUT (ohne Verwendung eines SR-Latch!): Erstellen Sie dazu die Wahrheitstabelle  $y(a,b,c,y')$ .  
 (h) Wie viele Eingänge und Ausgänge benötigt die LUT, wie werden diese beschaltet (Skizze)? Geben Sie den Speicherinhalt der LUT an!

### Beispiel 3

Gegeben ist die Schaltung in Abbildung 3.1.



**Abbildung 3.1**

- (a) Wie müssen Sie ein D-Flip-Flop erweitern, um daraus ein Scan-Register zu machen?  
Skizzieren Sie diese Erweiterung!
- (b) Erweitern Sie die beiden Flip-Flops in Abbildung 3.1 entsprechend!
- (c) Bilden Sie mit den beiden so entstandenen Scan-Registern eine Scan Chain. Schließen Sie die Signale SI (scan in), SO (scan out) und SE (scan enable) entsprechend an.
- (d) Betrachten Sie das AND-Gate: Welche Testmuster müssen Sie an dieses Gatter anlegen, um alle Stuck-at Fehler an seinen Eingängen und seinem Ausgang zu finden?
- (e) Beschreiben Sie den Ablauf eines Scan Tests anhand der Schaltung für das Beispiel eines SA0 am unteren Eingang des AND-gates.
  - a. Welchen Pegel müssen Sie dort anlegen um den Fehler zu aktivieren?
  - b. Welche Sequenz von Signalen an SE, SI und CLK benötigen Sie, um das zu erreichen?
  - c. Welche Sequenz von Signalen müssen Sie als nächstes anlegen, um den Fehler an SO sichtbar zu machen?