

Technische Grundlagen der Informatik			Test 3 24.01.2020 90 Minuten Gruppe A
Matrikelnr.	Nachname	Vorname	Unterschrift

Deckblatt sofort ausfüllen und unterschreiben!

Bitte deutlich und nur mit **Kugelschreiber** schreiben.
Verwenden Sie keine Korrekturhilfsmittel. Streichen Sie
Passagen, die nicht gewertet werden sollen, deutlich durch.

Unleserliche Antworten werden nicht gewertet!

Geben Sie bei Rechenaufgaben immer den **Lösungsweg** an!

Es sind keine Hilfsmittel zugelassen. Dies inkludiert Bücher,
Mitschriften, Ausdrücke von Folien, Smartphones, Smartwat-
ches, Taschenrechner etc.

Zusatzblätter werden nicht akzeptiert!

1	[15]	[]
2	[11]	[]
3	[8]	[]
4	[8]	[]
5	[17]	[]
6	[10]	[]
7	[10]	[]
8	[13]	[]
9	[8]	[]
Summe	[100]	[]

Selbsteinschätzung: []

1. (____ / 15 Punkte) Speichermodelle und Multi-Core

(a) Kreuzen Sie an, ob es sich um wahre oder falsche Aussagen handelt.

(richtig: +1 Punkt, falsch: -1 Punkt, keine Antwort: 0 Punkte)

	wahr	falsch
Implementierungen mittels RMW-Operationen sind bei einer geringen Anzahl von Zugriffskonflikten performanter als solche, die auf Semaphore basieren.	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Semaphore können sowohl im SC- als auch im RA-Speichermodell verwendet werden.	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Programmierer:innen müssen beim Übergang vom SC- zum RA-Speichermodell Änderungen im Programm-Code vornehmen.	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Durch Relaxen von Speicheroperationen kann keine Performance gewonnen werden.	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Ein <i>Release-Acquire</i> (RA) Speichermodell kann <i>Sequentially Consistent</i> (SC) Verhalten simulieren.	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Um schwache Speichermodelle der Hardware berücksichtigen zu können, müssen Programmiersprachen entsprechende Sprachmittel anbieten.	<input checked="" type="checkbox"/>	<input type="checkbox"/>

- (b) Ein Programm P lässt sich zu einem Teil von a Prozent nur sequentiell ausführen. Die restlichen p Prozent lassen sich auf beliebig vielen Cores parallel ausführen. Bei der Ausführung von P auf einem System mit 8 Cores (Prozessorkerne) ist der Speedup 4. Wie groß ist der **parallelisierbare** Anteil p des Programmes?

Amdahl's Law $S = \frac{1}{(1-p) + \frac{p}{C}}$ $C = 8$
 $S = 4$

$$4 = \frac{1}{(1-p) + \frac{p}{8}} \quad | \cdot N$$

$$4 \cdot \left((1-p) + \frac{p}{8} \right) = 1$$

$$4 - 4p + \frac{1}{2}p = 1 \quad | + 4p; - \frac{1}{2}p; -1$$

$$3 = 3,5p$$

$$p = \frac{3}{3,5} = \underline{\underline{0,85}}$$

85,7%

- (c) Geben Sie drei Möglichkeiten zur Erweiterung der Hardware an, die eine beschleunigte Programmausführung bewirken sollen, durch die es jedoch zu SC-Verletzungen kommen kann.

Architektur ohne Caches (**write-Buffer**)

Architektur mit privaten Caches

Programmumordnung (**O O O E**)

- (d) Wodurch kann es dazu kommen, dass sich die Exekutionsordnung von der Programmordnung unterscheidet? Nennen Sie zwei mögliche Ursachen.

CPU (**Out of Order Execution**)

Compiler (**Optimierung des Codes**)

- (e) Nennen Sie ein Hardwareelement das eine Abweichung der Speicherordnung von der Exekutionsordnung verursachen kann.

Speicher (**Caches, Write-Buffer**)

Technische Grundlagen der Informatik			Test 3 25.01.2019 100 Minuten Gruppe A
Matrikelnr.	Nachname	Vorname	Unterschrift

Deckblatt sofort ausfüllen und unterschreiben!

Bitte deutlich und nur mit **Kugelschreiber** schreiben. Verwenden Sie keine Korrekturhilfsmittel. Streichen Sie Passagen, die nicht gewertet werden sollen, deutlich durch.

Unleserliche Antworten werden nicht gewertet!

Geben Sie bei Rechenaufgaben immer den **Lösungsweg** an!

Es sind keine Hilfsmittel zugelassen. Dies inkludiert Bücher, Mitschriften, Ausdrücke von Folien, Smartphones, Smartwatches, Taschenrechner etc.

Zusatzblätter werden nicht akzeptiert!

Bei **Ankreuzfragen** werden Minuspunkte auf Teilaufgaben übernommen. Das Minimum je Gesamtaufgabe beträgt 0 Punkte.

1	[20]	[]
2	[6]	[]
3	[14]	[]
4	[22]	[]
5	[6]	[]
6	[9]	[]
7	[14]	[]
8	[9]	[]
Summe	[100]	[]

1. (____ / 20 Punkte) Chipsatz und Multi-Core

(a) Kreuzen Sie an, ob es sich um wahre oder falsche Aussagen handelt.

(richtig: +2 Punkt, falsch: -2 Punkt, keine Antwort: 0 Punkte)

	wahr	falsch
Bei Distributed Shared Memory können die Prozessoren via Switches kommunizieren.	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Atomic read/write Memory-Operationen sind eine Möglichkeit zur Hardware-Unterstützung von Synchronisation.	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Bei Fine-grain Multithreading wird nach jedem Zyklus der Thread gewechselt.	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Der DMA-Controller ermöglicht den direkten Datenaustausch zwischen peripheren Geräten und dem L1-Cache.	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Der DMA-Controller verbindet die CPU mit dem PCH (Platform Controller Hub).	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Bei Coarse-grain Multithreading wird nach jedem Zyklus der Thread gewechselt.	<input checked="" type="checkbox"/>	<input type="checkbox"/>

- (b) Ein Programm P lässt sich zu einem Teil nur sequentiell ausführen. Der Rest von P lässt sich auf beliebig vielen Cores parallel ausführen. Bei der Ausführung von P auf einem System mit 9 Cores (Prozessorkerne) ist der Speedup 3. Wie groß ist der **parallelisierbare** Anteil des Programmes?

P : Anteil der sich parallelisieren lässt

$1-P$: seq. Anteil

C : Anzahl der Cores

Formel für den Speedup:

$$S = \frac{1}{1-P + \frac{P}{C}}$$

$$3 = \frac{1}{1-P + \frac{P}{9}} =$$

$$\frac{1}{3} = 1-P + \frac{P}{9} = 1 - \frac{8}{9}P$$

$$\frac{8}{9}P = 1 - \frac{1}{3} = \frac{2}{3} \quad | \cdot 9$$

$$8P = 6$$

$$P = \frac{6}{8} = \frac{3}{4} = 0.75$$

$$1-P = 0.25$$

- (c) Es stehen 8 Cores (Prozessorkerne) zur Verfügung. Bei der Ausführung eines Programmes P verwenden 40% von P alle, 40% 4 und 20% 2 Cores. Berechnen Sie die Ausnutzung in Prozent.

alle
Cores
werden
genutzt

$$\frac{1}{8}$$

Wünschenswert
Idealfall

$$\frac{0.4}{8} + \frac{0.4}{4} + \frac{0.2}{2} = 50\%$$

- (d) Nennen Sie zwei Vorteile, die eine Vektor-Architektur gegenüber einer Skalar-Architektur hat, die Sie aus der Vorlesung kennen.

Vereinfachte Synchronisation
Reduziert Kontroll-Hardware

10. (____ / 10 Punkte) Ein Programm P wird beschleunigen, indem es teilweise parallel auf einem System mit sechs Cores ausgeführt wird. Dabei wurde ein Speed-Up von $S = 3,3 (= \frac{10}{3})$ erreicht. Bei der Analyse der Programmlaufzeit auf dem Multicore System ist aufgefallen, dass

- 60% des Programmes ($p_1 = 0,6$) beliebig parallelisiert werden können und
- während 10% des Programms ($p_2 = 0,1$) nur ein Core aktiv ist.

(a) Wie viele Cores n sind in den restlichen 30% ($p_3 = 0,3$) des Programms in Verwendung?

$$S = \frac{1}{1 - p + \frac{p}{C}} \rightarrow S = \frac{p_1}{6} + \frac{p_2}{1} + \frac{p_3}{n \text{ Cores}} = 3,3$$

$$C = 3$$

(b) Wie hoch liegt der theoretisch mögliche Speed-Up unter der Annahme, dass der Programmanteil p_3 3 Cores verwendet und eine unbegrenzte Anzahl an Cores zur Verfügung stehen?

$$S = \frac{1}{\underbrace{\frac{0,6}{\infty}}_{\rightarrow 0} + \frac{0,1}{1} + \frac{0,3}{3}} = \frac{1}{0,1 + \frac{0,3}{3}} = \frac{1}{0,2} = 5$$

Man kann es null setzen, da es beliebig parallelisierbar ist und beliebig viele Cores einsetzbar sind.

(c) Wie hoch ist die Ausnutzung der 6 Cores in Prozent, wenn während der Ausführung von

- p_1 (60% des Programms) alle 6 Cores,
- p_2 (10% des Programms) nur 1 Core und
- p_3 (30% des Programms) 3 Cores

verwendet werden?

$$\text{Ausnutzung} = \frac{\text{Speedup optimal}}{\text{Speedup tatsächl.}} = \frac{\frac{1}{6}}{\frac{0,1}{1} + \frac{0,6}{6} + \frac{0,3}{3}} = 55,5\%$$

(d) Wie kann eine Ausnutzung von 100% erreicht werden?

Nur einen Core verwenden.

Technische Grundlagen der Informatik			Test 3 19.01.2018 100 Minuten Gruppe A
Matrikelnr.	Nachname	Vorname	Unterschrift

Deckblatt sofort ausfüllen und unterschreiben!

Bitte deutlich und nur mit **Kugelschreiber** schreiben. Verwenden Sie keine Korrekturhilfsmittel. Streichen Sie Passagen, die nicht gewertet werden sollen, deutlich durch.

Unleserliche Antworten werden nicht gewertet!

Geben Sie bei Rechenaufgaben immer den **Lösungsweg** an!

Es sind keine Hilfsmittel zugelassen. Dies inkludiert Bücher, Mitschriften, Ausdrücke von Folien, Smartphones, Taschenrechner etc.

Zusatzblätter werden nicht akzeptiert!

Bei **Ankreuzfragen** werden Minuspunkte auf Teilaufgaben übernommen. Das Minimum je Gesamtaufgabe beträgt 0 Punkte.

1	[8]	[]
2	[8]	[]
3	[10]	[]
4	[10]	[]
5	[17]	[]
6	[11]	[]
7	[11]	[]
8	[15]	[]
9	[10]	[]
Summe	[100]	[]

1. (____ / 8 Punkte) Kreuzen Sie an, ob es sich um wahre oder falsche Aussagen handelt. (richtig: +2 Punkte, falsch: -2 Punkte, keine Antwort: 0 Punkte)

wahr falsch

☐ ☒ Der DMA-Controller verbindet die CPU mit der Southbridge.

☒ ☐ Die CPU bearbeitet Interrupt-Anfragen.

☒ ☐ Bei einem System mit PCH (Platform Controller Hub) ist PCIe direkt mit der CPU verbunden.

☐ ☒ Bei einem System mit PCH (Platform Controller Hub) kommuniziert der PCH mittels den FSB (Front Side Bus) mit der CPU.

10. (10 Punkte) Peripherie

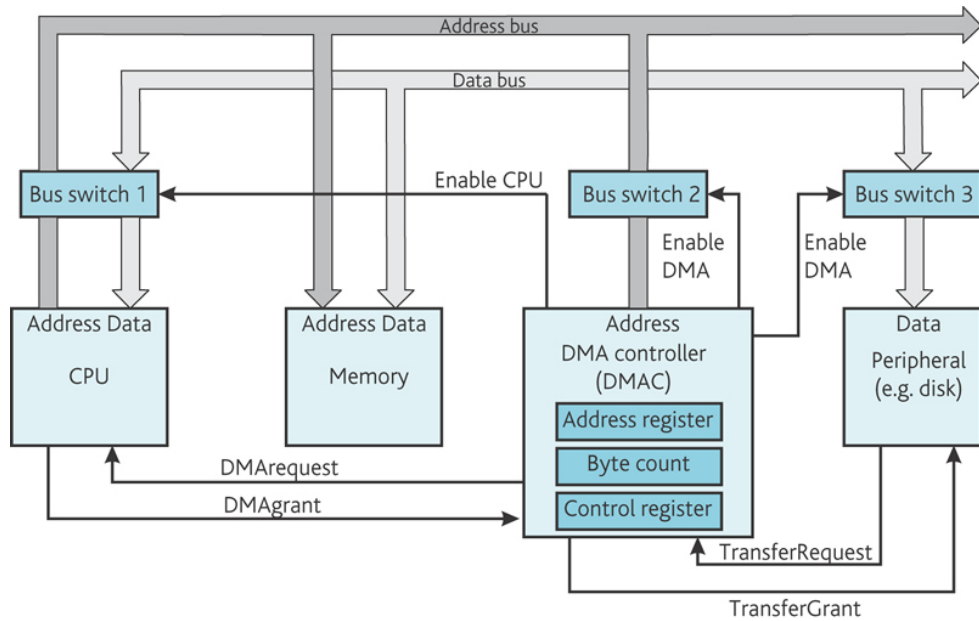
- (a) Kreuzen Sie an, ob es sich um wahre oder falsche Aussagen handelt.

(richtig: +2 Punkte, falsch: -2 Punkte, keine Antwort: 0 Punkte)

wahr falsch

- ☐ ☐ Ein Backup wird durch ein Raid obsolete.
- ☐ ☐ SLC Flashspeicher kann schneller als MLC Flashspeicher beschrieben werden.

- (b) Ein peripheres Gerät will Daten mittels eines DMA Controllers kopieren. Tragen Sie alle erforderlichen Signale in der richtigen Reihenfolge in die untenstehende Tabelle ein, um dem peripheren Gerät die Datenübertragung zu erlauben. Falls Signale gleichzeitig geschaltet werden, schreiben Sie diese in einer Zeile.



Reihenfolge	Signal
1	TransferRequest

- (c) USB 3.1 (SuperSpeed+) verwendet zur Leitungscodierung 128b132b. Wie groß ist der Overhead in MB wenn 128 GB an Nutzdaten via USB 3.1 kopiert werden? Geben Sie den Lösungsweg an.

