Aufgabe 1: Prozessor

Schreiben Sie für jede der folgenden MIPS Operationen die logischen Werte der Signale RegWrite, RegDst, ALUSrc, Branch, MemWrite, MemtoReg und ALUOp (2 Bits) an und erklären Sie den Sinn dieser Steuersignale:

- or $rd, $rs, $rt
- lw $rt, Offset($rs)

Aufgabe 2: Prozessor

Sie haben folgende Befehle gegeben:

- slt $rd, $rs, $rt
- beq $rs, $rt, label
- j label

Welche der folgenden Komponenten des Datenpfads des MIPS-Prozessors werden von den genannten Befehlen benutzt:

- Instruction memory
- Data memory
- Registers
- ALU
- Sign-extend
- ALU control

Erklären Sie, warum eine Komponente für die Ausführung eines Befehls gebraucht wird bzw. nicht gebraucht wird!

Aufgabe 3: Prozessor

Gehen Sie vom Datenpfad auf Folie 23 (Prozessor) aus. Sie möchten mit diesem Datenpfad zusätzlich folgenden Befehl unterstützen:

- addi $rt, $rs, immediate

Beantworten Sie bitte folgende Fragen:

a) Benötigen Sie für diesen Befehl weitere Komponenten (ALU, Speicher etc.) im Datenpfad?

b) Welche Erweiterungen werden bei den Komponenten im aktuellen Datenpfad benötigt?

c) Wie würden für diesen Befehl die logischen Werte der Signale RegWrite, RegDst, ALUSrc, Branch, MemWrite und MemtoReg lauten?

Aufgabe 4: Pipelining - Grundlagen

Gehen Sie von einem MIPS Datenpfad aus und nehmen Sie folgende Verzögerungen in den einzelnen Stufen an: IF = 100 ps, ID = 100 ps, EX = 200 ps, MEM = 300 ps, WB = 100 ps

Beantworten Sie bitte folgende Fragen:

a) Wie groß ist die Taktzykluszeit für einen Prozessor ohne Pipelining?

b) Wie groß ist die Taktzykluszeit für einen Prozessor mit Pipelining?

c) Wie lange benötigt ein lw-Befehl bei einem Prozessor ohne Pipelining?

d) Wie lange benötigt ein lw-Befehl bei einem Prozessor mit Pipelining?

e) Wie lange benötigt ein lw-Befehl bei einem Prozessor mit Pipelining, wenn die MEM-Phase nur mehr 100 ps benötigt?

Aufgabe 5: Pipelining - Abhängigkeiten

Sie haben folgende Befehlssequenz gegeben:

```
or $1, $2, $3
or $2, $1, $4
lw $1, 0($2)
or $1, $1, $2
```

a) Wo gibt es hier Abhängigkeiten?

b) Welche Arten von Konflikten können hier auftreten, wenn diese Befehlsfolge in einer MIPS-Pipeline ohne Forwarding ausgeführt wird? Wie kann man diese Konflikte auflösen?

c) Können Konflikte auftreten, wenn diese Befehlsfolge in einer MIPS-Pipeline mit Forwarding ausgeführt wird? Wenn ja, wie kann man diese Konflikte auflösen?

d) Wie viele Taktzyklen benötigt man bei einer MIPS-Pipeline mit Forwarding für die Abarbeitung der ganzen Sequenz? Wie viele Taktzyklen würde man ohne Pipelining benötigen?