

# Vorlesungsprüfung aus Digitales Design

27. Februar 2020

---

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

**Die nachfolgende Tabelle nicht beschriften!**

Beispiel		Mögliche Punkte	Erhaltene Punkte
Theoriefragen		48	
Rechenbeispiel	1	18	
	2	15	
	3	15	
Gesamt		96	

## Theoriefragen

**Frage 1 (4P):**

Warum benötigt man beim JK-Flip-Flop keinen Clock-Enable-Eingang?

**Frage 2 (4P):**

Warum sind Wafer rund?

**Frage 3 (4P):**

Was bedeutet das „C“ bei CMOS? Worin liegt der Vorteil der CMOS-Logik gegenüber NMOS?

**Frage 4 (4P):**

Was versteht man unter Bonding?

**Frage 5 (8P):**

Geben Sie die Signal-Resolution-Table für die Funktion OR und die Zustände  $\{0,1,X\}$  an!

**Frage 6 (8P):**

Nennen Sie zumindest 4 Schritte im Design Flow eines ASIC und erklären Sie kurz deren Zweck!

**Frage 7 (8P):**

Nennen Sie 3 Möglichkeiten, programmierbare Logikzellen für FPGAs zu realisieren und erläutern Sie diese kurz!

**Frage 8 (8P):**

Wie funktioniert ein Boundary Scan? Wofür wird er verwendet

# Rechenbeispiele

## Beispiel 1

Zu entwerfen ist eine Schaltung mit vier Eingängen ( $a, b, c, d$ ), die ihren Ausgang  $y$  genau dann aktiviert (auf HI setzt), wenn gilt ( $a=b$ ) und ( $c=d$ ).

- (a) Geben Sie die Wahrheitstabelle dieser Schaltung an!
- (b) Zeichnen Sie das KV-Diagramm und leiten Sie daraus die disjunktive und die konjunktive Normalform ab.
- (c) Beschreiben Sie, wie man diese Funktion in einer LUT realisieren kann: Wie beschalten Sie Eingänge und Ausgänge, was ist der Speicherinhalt?
- (d) Ihr Chef ersucht Sie, die Schaltung mit der in Abbildung 1.1 dargestellten PAL-Struktur zu realisieren. Falls eine Implementierung der Schaltung in dieser Struktur möglich ist, kreuzen Sie die benötigten Verbindungen in der Verbindungsmatrix an. Falls nicht, begründen Sie! Welchen Zweck hat das XOR-Gatter am Ausgang? Wie muss der offene Eingang  $h$  beschaltet werden?

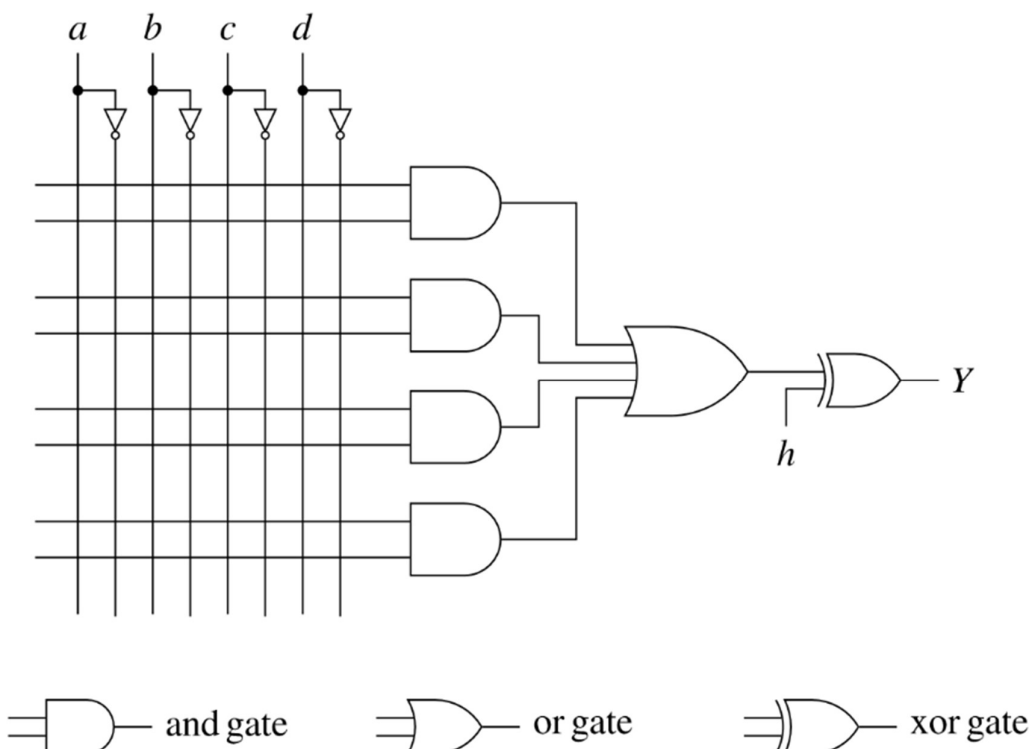


Abbildung 1.1

## Beispiel 2

Gegeben ist die in Abbildung 2.1 dargestellte Open-Drain Schaltung mit den Eingängen ( $a, b, c$ ) und Ausgang  $y$ .

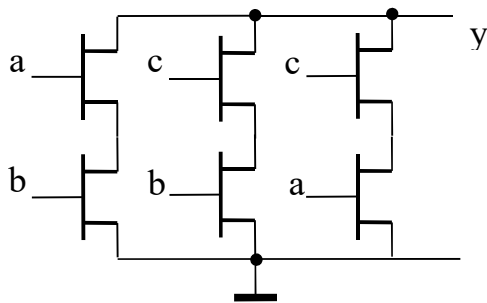


Abbildung 2.1

- Wie muss der Ausgang extern beschaltet werden, damit die Open-Drain-Stufe korrekt funktioniert?
- Dürfen die Ausgänge zweier Open-Drain-Stufen zusammengeschlossen werden? Begründen Sie!
- Die Open-Drain-Stufe soll nun in eine konventionelle CMOS-Stufe umgebaut werden. Ergänzen Sie den p-Stack passend!
- Dürfen die Ausgänge zweier konventioneller CMOS-Stufen zusammengeschlossen werden? Begründen Sie!
- Welche logische Funktion realisiert die Schaltung (geben Sie die DNF an)?

### Beispiel 3

Gegeben ist ein ASIC mit folgenden Daten:

$$V_{DD} = 1,2V \pm 10\%;$$

$$\Theta_{JC} = 2 \text{ K/W};$$

$$\Theta_{CA} = 10 \text{ K/W}$$

Er wird mit einem Kühlkörper ( $\Theta = 4 \text{ K/W}$ ) bei  $20^\circ\text{C}$  betrieben und erreicht bei nominaler Versorgungsspannung  $V_{DD}$  eine Die-Temperatur von  $80^\circ\text{C}$  und eine MTBF von 4 Jahren.

(Nehmen Sie bei allen Berechnungen an, dass die dynamische Verlustleistung überwiegt und die statischen Anteile vernachlässigbar sind)

$$k = 8,6 \cdot 10^{-5} \text{ eV/K} ; E_{act} = 0,7 \text{ eV} ; \gamma = 4,5 \text{ V}^{-1}$$

- (a) Welche Die-Temperatur und MTBF erreicht der ASIC jeweils bei minimal zulässiger und maximal zulässiger Versorgungsspannung?
- (b) Um das Produkt billiger zu machen, soll der Kühlkörper weggelassen werden. Welche Die-Temperatur und MTBF erreicht der ASIC jetzt bei nominaler Versorgungsspannung?



