

Vorlesungsprüfung aus Digitales Design

19. Dezember 2019

Die Arbeitszeit beträgt 90 Minuten. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

Die nachfolgende Tabelle nicht beschriften!

Beispiel		Mögliche Punkte	Erhaltene Punkte
Theoriefragen		48	
Rechenbeispiel	1	18	
	2	18	
	3	12	
Gesamt		96	

Theoriefragen

Frage 1 (4 Punkte):

Was besagt das Theorem von De Morgan? Geben Sie zu Ihrer verbalen Beschreibung auch ein Beispiel!

Frage 2 (4 Punkte):

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand $R = 50\Omega$) zum Eingang eines Gatters G2 (Eingangskapazität $C = 3\text{pF}$) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die Zeitkonstante ergibt und begründen Sie!

Frage 3 (4 Punkte):

Wie lange braucht eine elektromagnetische Welle, um im Vakuum eine Entfernung von 1m zurückzulegen?

Frage 4 (8 Punkte):

Wie realisiert man in einem Flip-Flop ein Clock Enable? Stellen Sie die Realisierung in einem Schaltplan auf Gatterebene dar!

Frage 5 (4 Punkte):

Angenommen Sie finden in Ihrer Chip-Library einen TAP-Controller. Wozu könnten Sie diesen verwenden?

Frage 6 (8 Punkte):

Nennen Sie 8 der Logikpegel der 9-wertigen Logik nach IEEE!

Frage 7 (8 Punkte):

Nennen Sie 3 Möglichkeiten, programmierbare Logikzellen für FPGAs zu realisieren und erläutern Sie diese kurz!

Frage 8 (8 Punkte):

Erläutern Sie das Prinzip des Scan-Tests! Wozu wird er verwendet? Was ist sein entscheidender Vorteil? Wie wird er implementiert?

Rechenbeispiele

Beispiel 1

Gegeben ist die State-Machine in Abbildung 1.1.

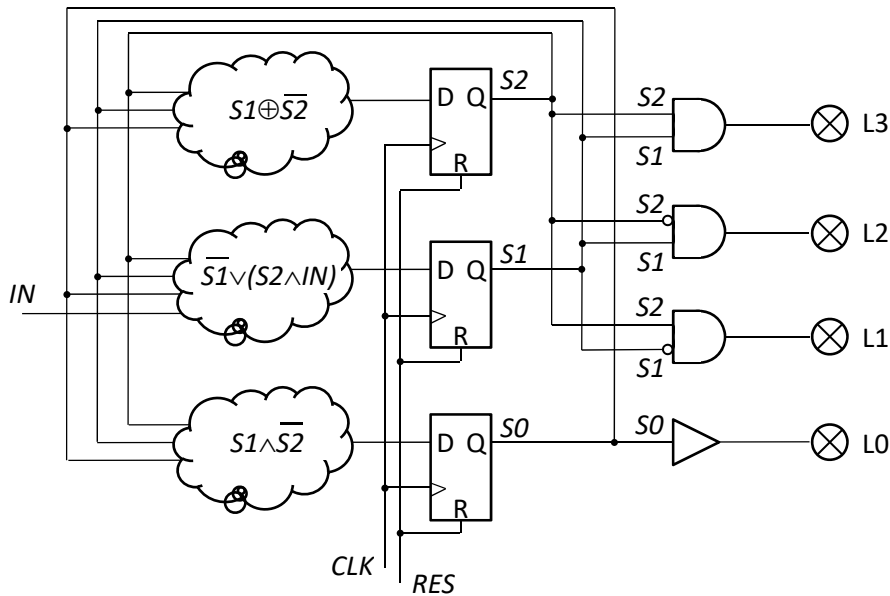


Abbildung 1.1: Schaltbild der gegebenen State Machine

- Kennzeichnen und beschriften Sie die 3 Funktionsblöcke passend, Wählen Sie dazu aus den folgenden Bezeichnungen die für den Block jeweils zutreffende
 - „Input Logic“
 - „State Register“
 - „Next State Logic“
 - „Function Logic“
 - „Output Logic“
 (Hinweis: Zwei dieser Bezeichnungen sind offenbar nicht passend).
- Handelt es sich um eine Moore State Machine oder eine Mealy State Machine? Begründen Sie!
- Durch Aktivieren von RES werden alle Flip Flops auf den Wert „0“ zurückgesetzt. Ausgehend von diesem Zustand, welche Folge von Zuständen (S2,S1,S0) durchläuft die State Machine, nach Deaktivieren von RES, wenn (dauerhaft) IN=1 ?
- Nehmen Sie an, Nach Deaktivieren von RES ist zunächst für 5 Takte IN=0, und danach ist (dauerhaft) IN=1. Welche Zustandsfolge wird nun durchlaufen?
- Geben Sie für die Zustandsfolge aus (d) an, welche Sequenz von Werten der Ausgang (L3,L2,L1,L0) durchläuft!
- Zeichnen Sie das Zustandsdiagramm der State Machine!

Beispiel 2

Gegeben ist die in Abbildung 2.1 dargestellte Schaltung mit 150MHz Takt. Ein asynchrones Eingangssignal mit einer Frequenz von 20MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt $t_{PD} = 2,5\text{ns}$. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 0,5\text{ns} ; \tau_C = 80\text{ps} ; T_0 = 0,1\text{ns} \quad t_{CO} = 0,15\text{ns}$$

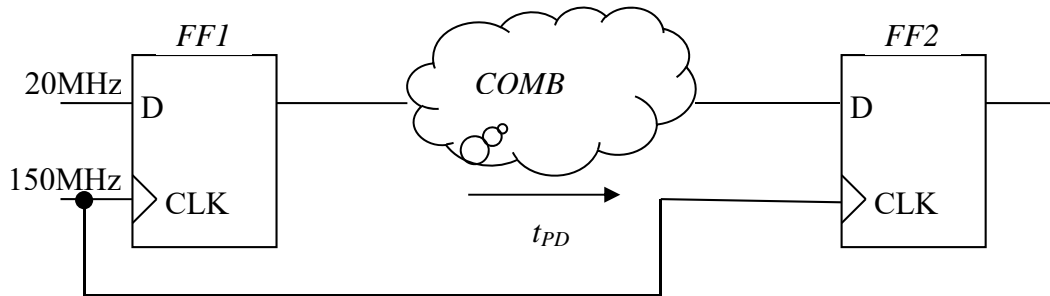


Abbildung 2.1: Kombinatorische Funktion mit synchronisierten Ein- und Ausgängen

(a) Welche MTBU ist bei diesen Nominalwerten zu erwarten?

Die dargestellte Schaltung ist Teil eines größeren Chip-Designs. Zur Erhöhung der Testbarkeit des Chips wird ein Scan-Test eingeführt (full scan).

- (b) Wie muss die dargestellte Schaltung ergänzt werden, um einen full Scan zu unterstützen (zeichnen Sie Ihren Vorschlag in Abbildung 2.1 ein)?
- (c) Nehmen Sie an, jedes zusätzlich in den Datenpfad eingefügte Schaltungselement verursache ein zusätzliches Delay von 2ns. Welche MTBU ergibt sich dann für die erweiterte Schaltung?
- (d) Wie weit müssten Sie die Taktfrequenz reduzieren, um wieder die ursprüngliche MTBU zu erreichen? (Hinweis: Es genügt, wenn Sie den dominanten Term berücksichtigen)

Beispiel 3

In Abbildung 3.1 ist ein analoger Spannungsverlauf U_{in} gegeben.

- Dieses Signal U_{in} wird an einen Eingang eines digitalen Gatters mit Schwellwert $U_{th} = 1,5V$ (ohne Hysterese) gelegt. Ergänzen Sie in Abbildung 3.1 den Spannungsverlauf U_{dig1} nach der Digitalisierung!
- Zwecks besserer Störunterdrückung wird für die Digitalisierung von U_{in} nun ein Schmitt Trigger-Eingang verwendet. U_{dig2} zeigt den resultierenden Verlauf der Ausgangsspannung. Welche Schwellwerte hat dieser Schmitt Trigger? Wie groß ist seine Hysterese (incl. Einheit)?
- Zeichnen Sie die Kennlinie (Ausgangsspannung über Eingangsspannung) dieses Schmitt Trigger! Beschriften Sie die charakteristischen Spannungswerte und kennzeichnen Sie mit Pfeilen, in welcher Richtung die Kennlinie durchlaufen wird.
- Handelt es sich um einen invertierenden Schmitt-Trigger oder einen nicht-invertierenden? Begründen Sie!

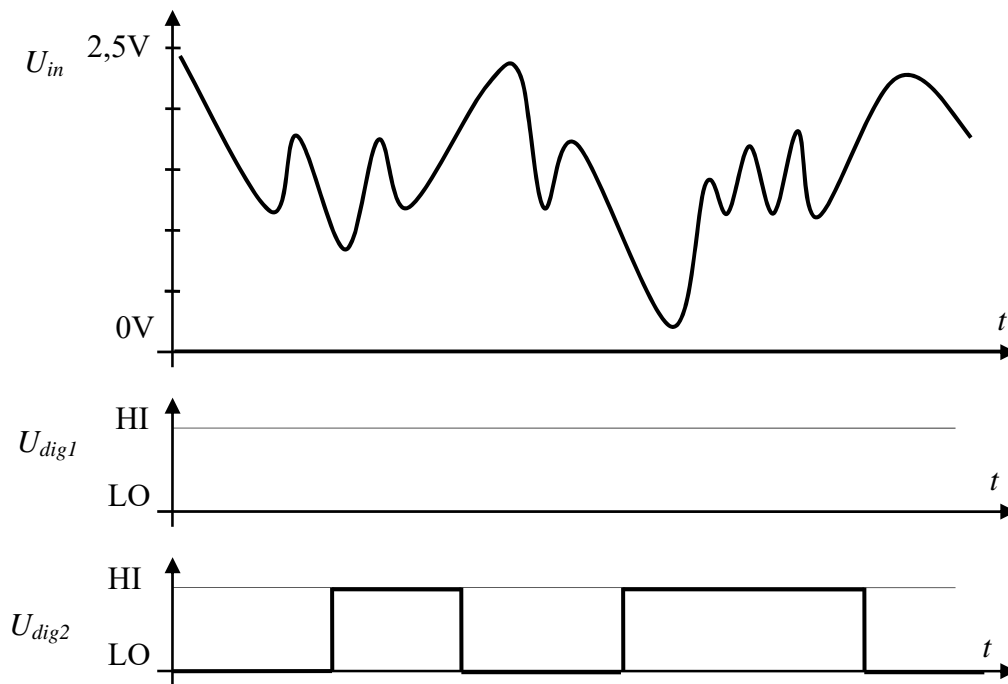


Abbildung 3.1

